

晶片中心

EDA Cloud ADS 軟體使用者手冊

CIC EDA Cloud ADS Software User Manual

國研院晶片中心，李莉娥

ADS 問題

客服專線

TEL：(03) 577-3693 # 885

E-mail：hotline@cic.narl.org.tw

版本更動訊息

版本	生效日	維護者	更動訊息
1.0		許源佳	原始版本。 原名「EDA cloud ADS Flow 使用說明」。
2.0	2015.08	李莉娥	增加第 2 章，EDA Cloud ADS EM 設計流程。

目錄

前言	1
1. EDA Cloud ADS Circuit 設計流程.....	2
1.1 啟動 ADS.....	3
1.2 建立包含 Foundry Design Kit 的 Library	4
1.3 建立電路圖及產生電路的 netlist 檔案	8
1.4 電路模擬及結果顯示	12
2. EDA Cloud ADS EM 設計流程.....	14
2.1 由 EM 軟體繪製 Layout 並輸出 SNP 檔案	15
2.2 將 SNP 檔案納入 ADS Circuit netlist 的模擬流程之中	17
3. 中英名詞對照.....	21

前言

此手冊為國研院晶片中心 (NARLabs CIC) 提供給學研界，採用 **晶片中心** 之 **EDA Cloud** 及 **Keysight ADS** 及 **Momentum** 軟體的使用者，用以實現高頻或高速電路以及使用電磁分析軟體模擬的設計。

有關 CIC EDA Cloud，可見網頁：

[CIC 網頁 > 設計服務 > EDA Cloud](#)

有關各別軟體的簡介，可參考 CIC 網頁或 Keysight 公司網頁：

[CIC 網頁 > 設計服務 > 軟體資訊 > by Vendor > Agilent \(Keysight\) > ADS >](#)

[軟體簡介](#)

[Keysight EDA 網頁](#)

1. EDA Cloud ADS Circuit 設計流程

EDA Cloud ADS Circuit 設計流程和傳統 ADS Circuit 流程不同之處在於以下兩點：

- (i) 模擬時，不是直接使用 ADS 的 Simulate，而是先產生 netlist，再和 TSMC 的 PDK 連結，之後再執行模擬。
- (ii) 模擬完產生之 dataset 因為不是儲存於 /data 的目錄之中，所以必須將它複製過來，之後才能使用 ADS 的 Data Display Window 的功能。

以下詳細說明其設計流程。

- (a) 啟動 ADS
- (b) 建立包含 Foundry Design Kit 的 Library
- (c) 建立電路圖及產生電路之 netlist 檔案
- (d) 電路模擬及結果顯示

1.1 啟動 ADS

先於根目錄下建立放置 ads 資料之資料夾位置，並在該資料夾位置下開啟

ads (\$為 RedHat Linux 之命令提示字元)，步驟如下：

```
$ mkdir ads
```

```
$ cd ads
```

```
$ Rads
```

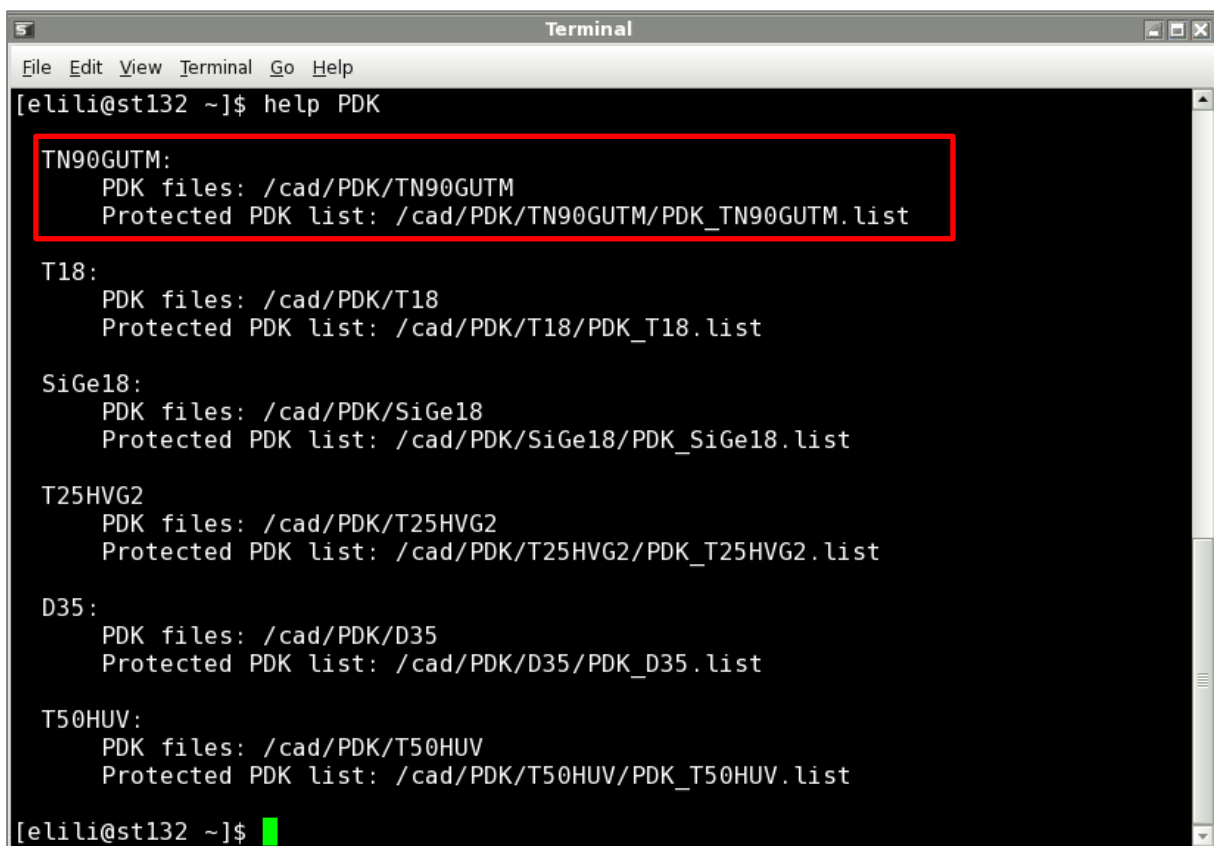
1.2 建立包含 Foundry Design Kit 的 Library

以 TSMC90GUTM 製程為例。

(1) 先查看 TSMC90GUTM 的 ADS Design Kit 所在

另開一個 terminal，在 terminal 下鍵入

\$ help PDK



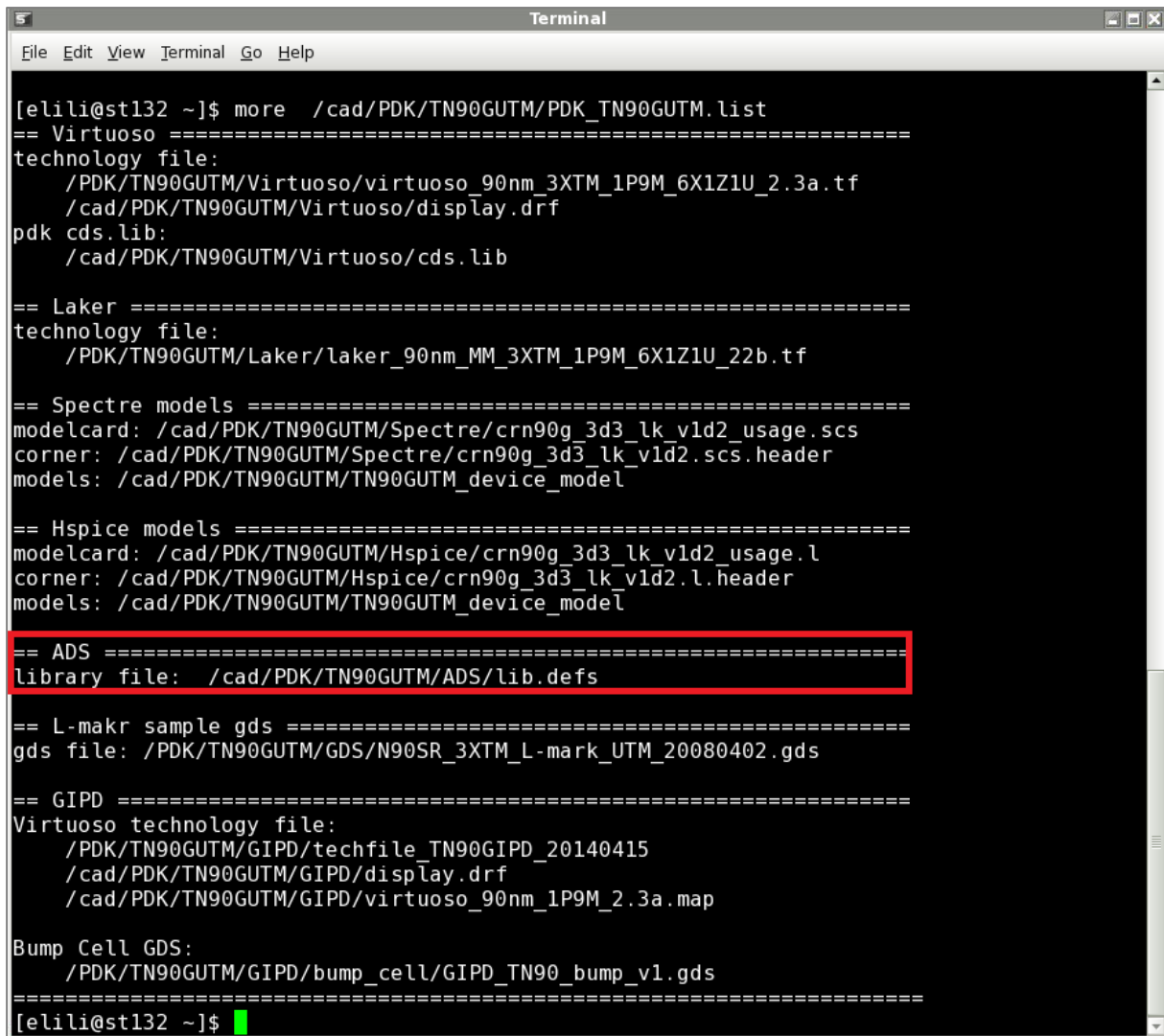
```
Terminal
File Edit View Terminal Go Help
[elili@stl32 ~]$ help PDK
TN90GUTM:
  PDK files: /cad/PDK/TN90GUTM
  Protected PDK list: /cad/PDK/TN90GUTM/PDK_TN90GUTM.list
T18:
  PDK files: /cad/PDK/T18
  Protected PDK list: /cad/PDK/T18/PDK_T18.list
SiGe18:
  PDK files: /cad/PDK/SiGe18
  Protected PDK list: /cad/PDK/SiGe18/PDK_SiGe18.list
T25HVG2
  PDK files: /cad/PDK/T25HVG2
  Protected PDK list: /cad/PDK/T25HVG2/PDK_T25HVG2.list
D35:
  PDK files: /cad/PDK/D35
  Protected PDK list: /cad/PDK/D35/PDK_D35.list
T50HUV:
  PDK files: /cad/PDK/T50HUV
  Protected PDK list: /cad/PDK/T50HUV/PDK_T50HUV.list
[elili@stl32 ~]$
```

圖 1.2-1 \$ help PDK 所產生之 PDK 路徑

接著鍵入

\$ more /cad/PDK/TN90GUTM/PDK TN90GUTM.list

查看 ADS 的 lib.defs 檔案所在。



```
Terminal
File Edit View Terminal Go Help

[elili@st132 ~]$ more /cad/PDK/TN90GUTM/PDK_TN90GUTM.list
== Virtuoso =====
technology file:
/cad/PDK/TN90GUTM/Virtuoso/virtuoso_90nm_3XTM_1P9M_6X1Z1U_2.3a.tf
/cad/PDK/TN90GUTM/Virtuoso/display.drf
pdk cds.lib:
/cad/PDK/TN90GUTM/Virtuoso/cds.lib

== Laker =====
technology file:
/cad/PDK/TN90GUTM/Laker/laker_90nm_MM_3XTM_1P9M_6X1Z1U_22b.tf

== Spectre models =====
modelcard: /cad/PDK/TN90GUTM/Spectre/crn90g_3d3_lk_vld2_usage.scs
corner: /cad/PDK/TN90GUTM/Spectre/crn90g_3d3_lk_vld2.scs.header
models: /cad/PDK/TN90GUTM/TN90GUTM_device_model

== Hspice models =====
modelcard: /cad/PDK/TN90GUTM/Hspice/crn90g_3d3_lk_vld2_usage.l
corner: /cad/PDK/TN90GUTM/Hspice/crn90g_3d3_lk_vld2.l.header
models: /cad/PDK/TN90GUTM/TN90GUTM_device_model

== ADS =====
library file: /cad/PDK/TN90GUTM/ADS/lib.defs

== L-makr sample gds =====
gds file: /cad/PDK/TN90GUTM/GDS/N90SR_3XTM_L-mark_UTM_20080402.gds

== GIPD =====
Virtuoso technology file:
/cad/PDK/TN90GUTM/GIPD/techfile_TN90GIPD_20140415
/cad/PDK/TN90GUTM/GIPD/display.drf
/cad/PDK/TN90GUTM/GIPD/virtuoso_90nm_1P9M_2.3a.map

Bump Cell GDS:
/cad/PDK/TN90GUTM/GIPD/bump_cell/GIPD_TN90_bump_v1.gds
=====
[elili@st132 ~]$
```

圖 1.2-2 檢視 PDK list 中的 ADS lib.defs 檔案所在

由上圖，找到 TSMC90GUTM 製程 ADS Design Kit 定義檔的所在位置如下：

</cad/PDK/TN90GUTM/ADS/lib.defs>

(2) 建立包含 Foundry Design Kit 的 Library

以 TSMC90GUTM 製程為例，執行指令

Main Window > DesignKits > Manage Favorite Design Kits

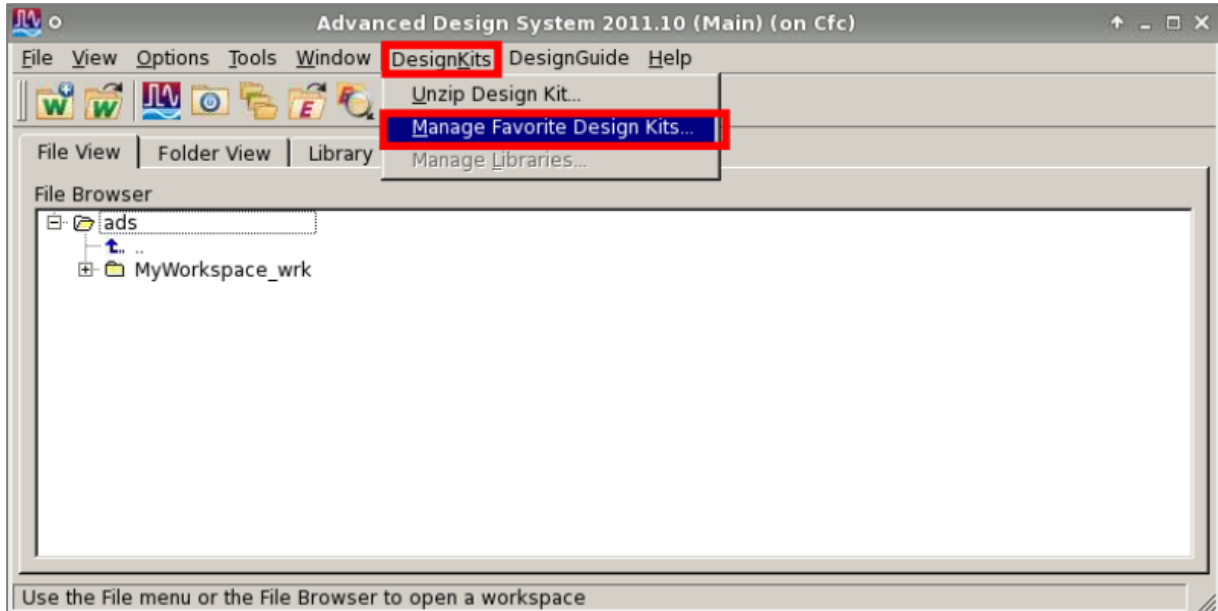


圖 1.2-3 建立包含 Foundry Design Kit 的 Library

新增 library 定義檔，指令

Main Window > DesignKits > Manage Favorite Design Kits > Add Library Definition File

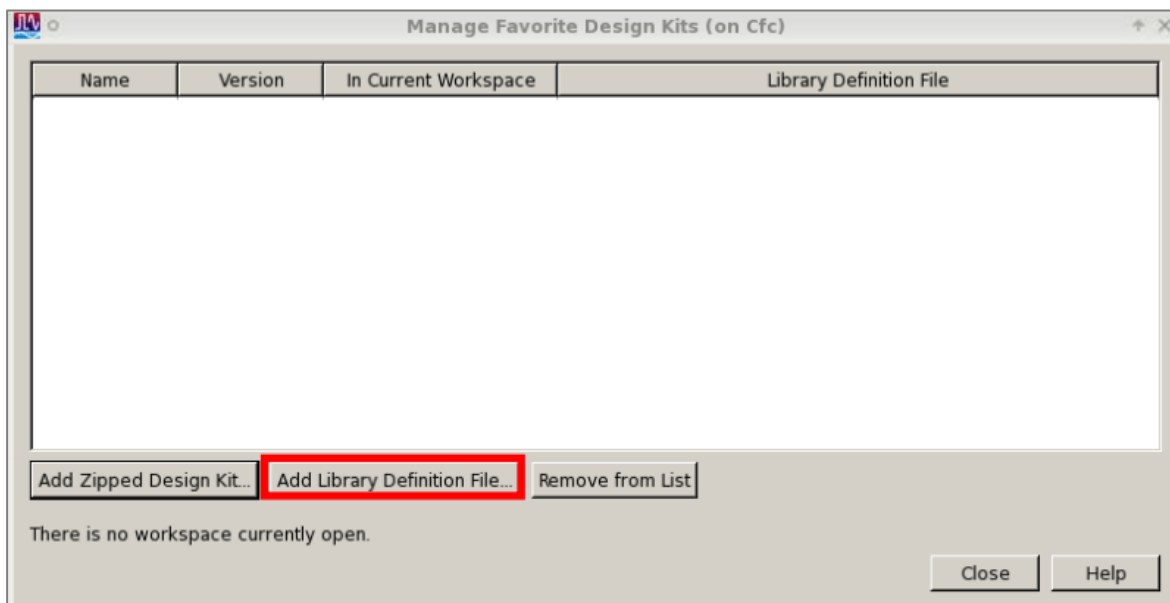


圖 1.2-4 新增 library 定義檔

選擇 Foundry Design Kit 的定義檔 lib.defs

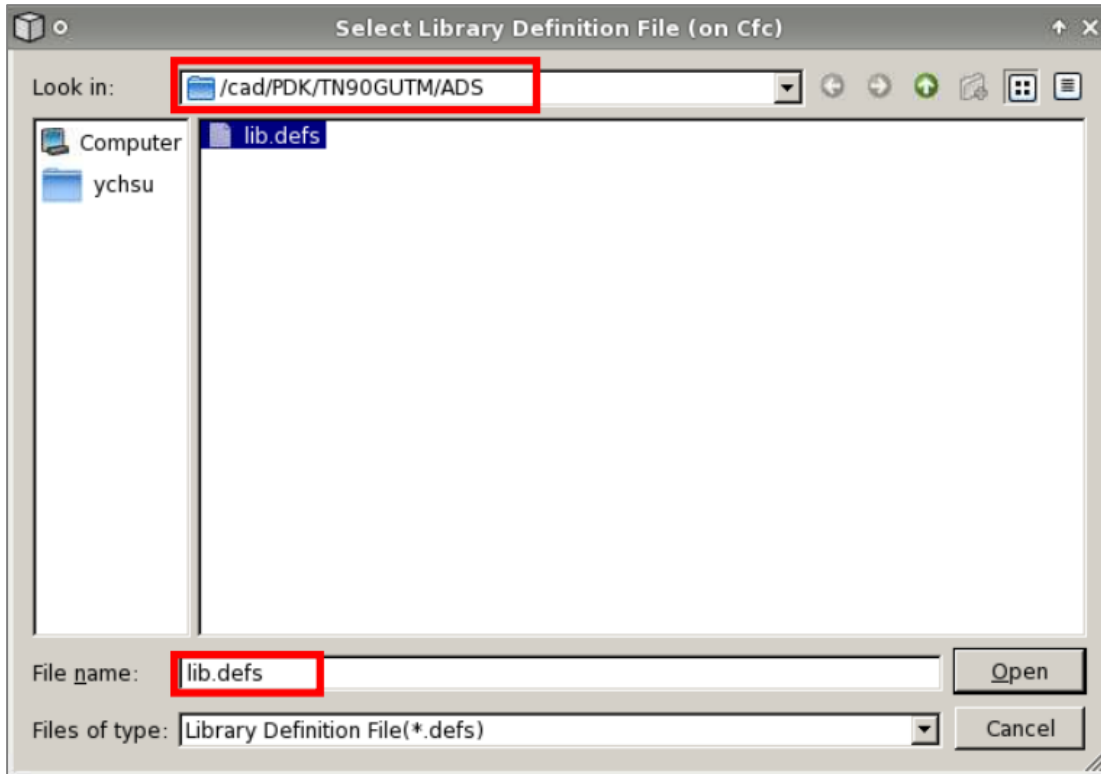


圖 1.2-5 選擇 Foundry Design Kit 的定義檔 lib.defs

完成新增 Foundry Design Kit 的定義檔的顯示圖形如下：

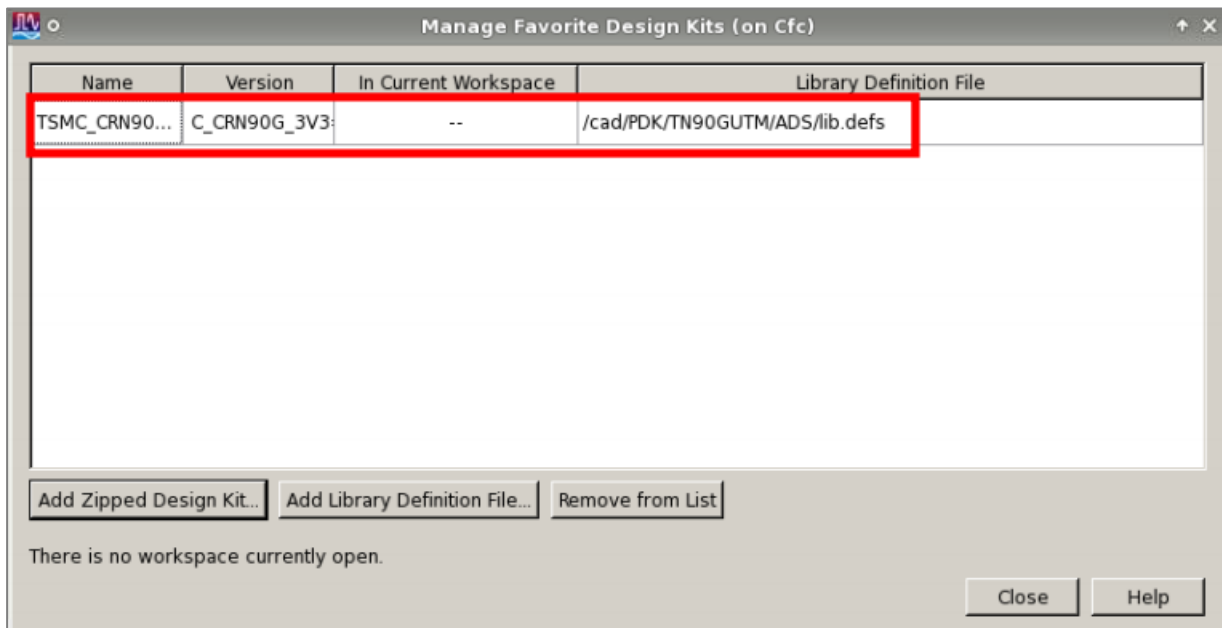


圖 1.2-6 完成新增 Foundry Design Kit 的定義檔

1.3 建立電路圖及產生電路的 netlist 檔案

(1) 新增 Workspace

Main Window > File > New > Workspace

命名為 Myworkspace_wrk (可自行命名)，並將 TSMC90GUTM 製程的 PDK 加入，成為 Library，如下圖：

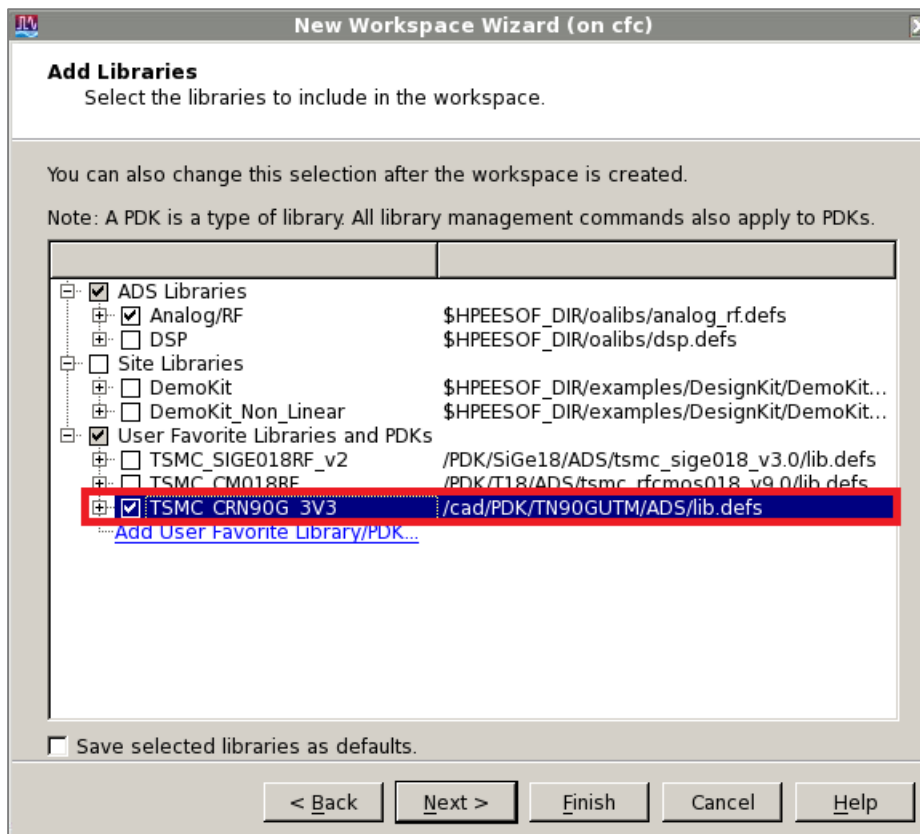


圖 1.3-1 新增 Workspce，並將 TSMC90GUTM 製程 PDK 加入，成為 Library

(2) 新增電路圖

新增電路圖 T90ind_test 的 Schematic View，指令

Main Window > File > New > Schematic

取名 T90ind_test，如下圖示：

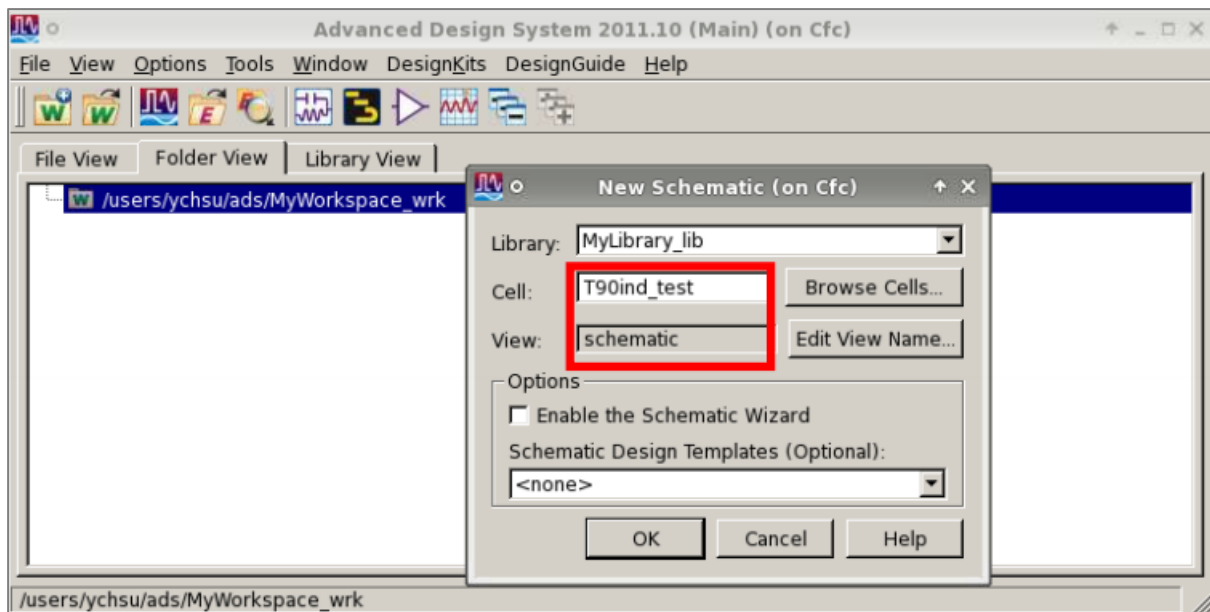


圖 1.3-2 產生新的 Schematic

(3) 建立 ADS 線路圖

找到剛才建好的 Design Kit “RF CMOS 90nm 3.3V v1.1”，並完成電感的 S 參數模擬電路圖，如下圖示：

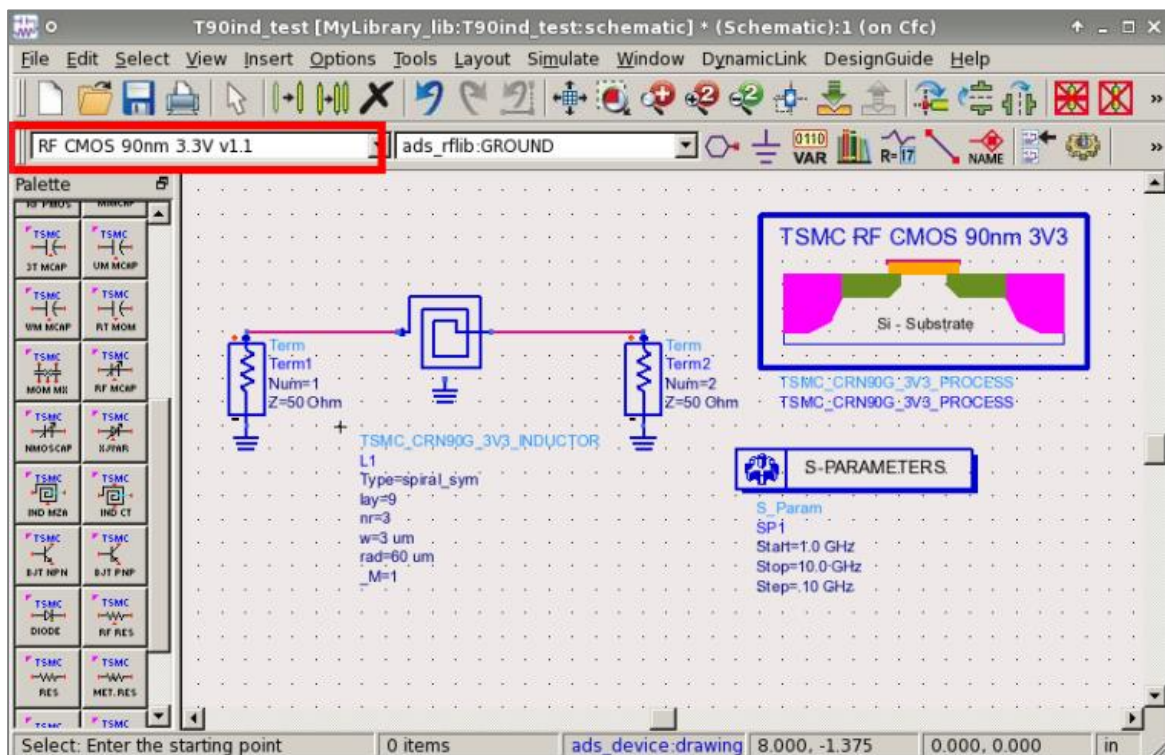


圖 1.3-3 產生含 TN90 製程元件的線路圖

(4) 產生 netlist

Schematic Window > Simulate> Generate Netlist

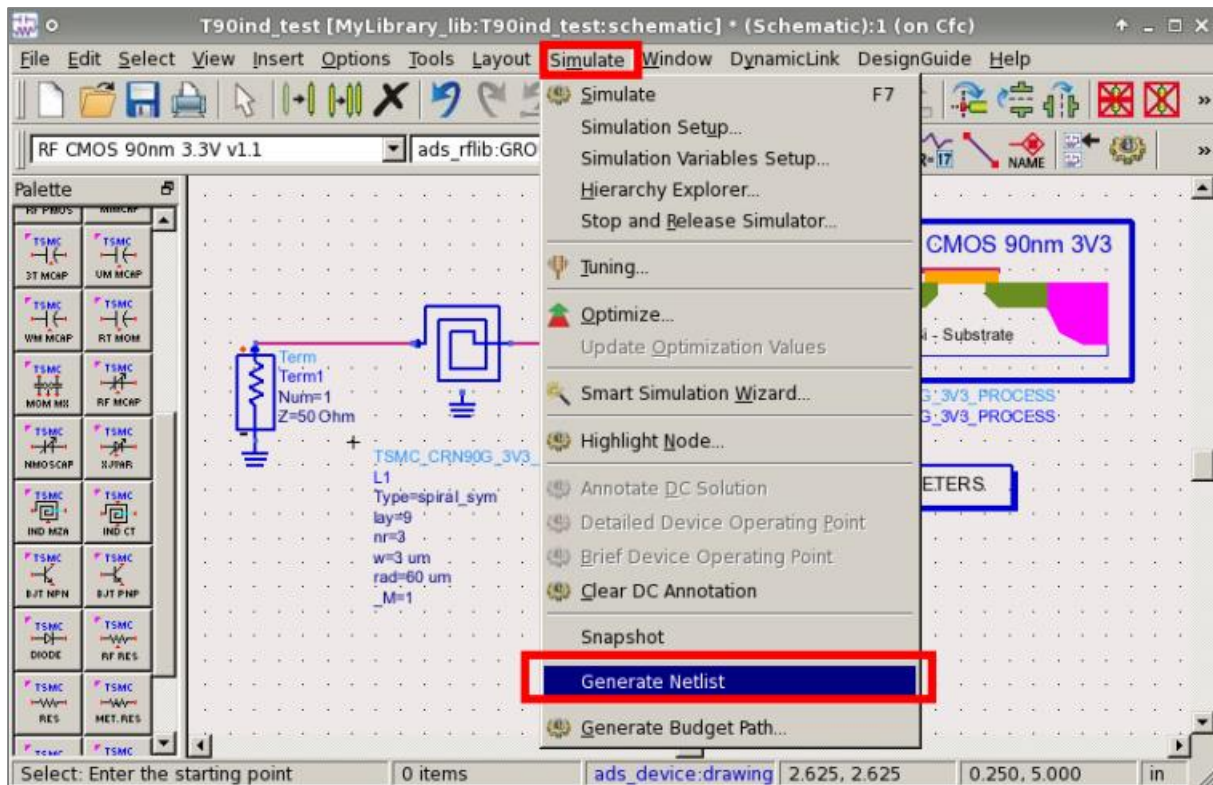


圖 1.3-4 模擬產生 netlist

檢視產生的 netlist 檔案：

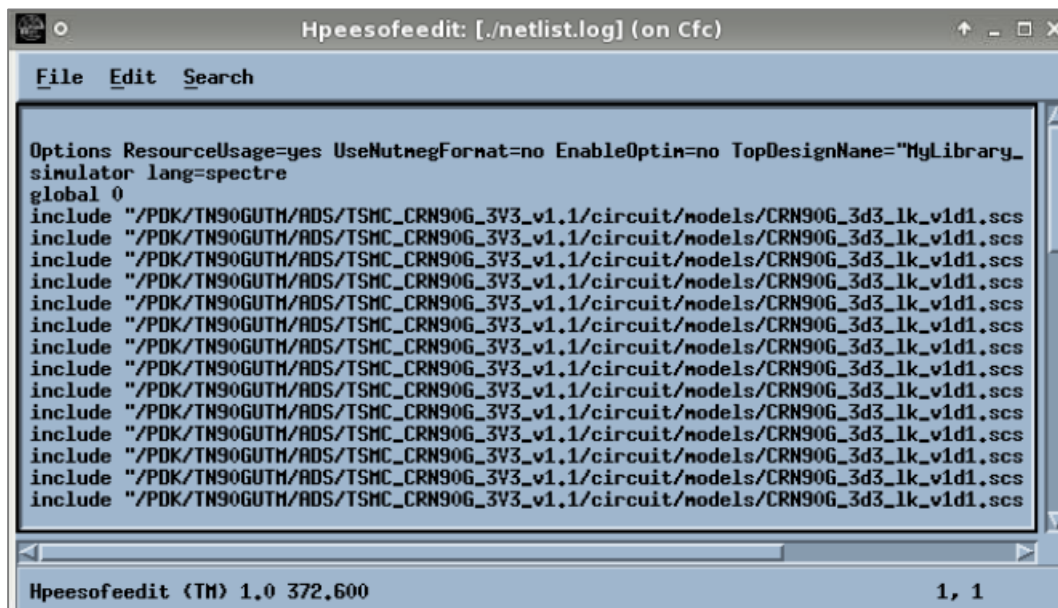


圖 1.3-5 產生的 netlist 檔案

將 netlist 檔案另存為 T90ind_test.net

Save File (on Cfc) Window > File > Save As

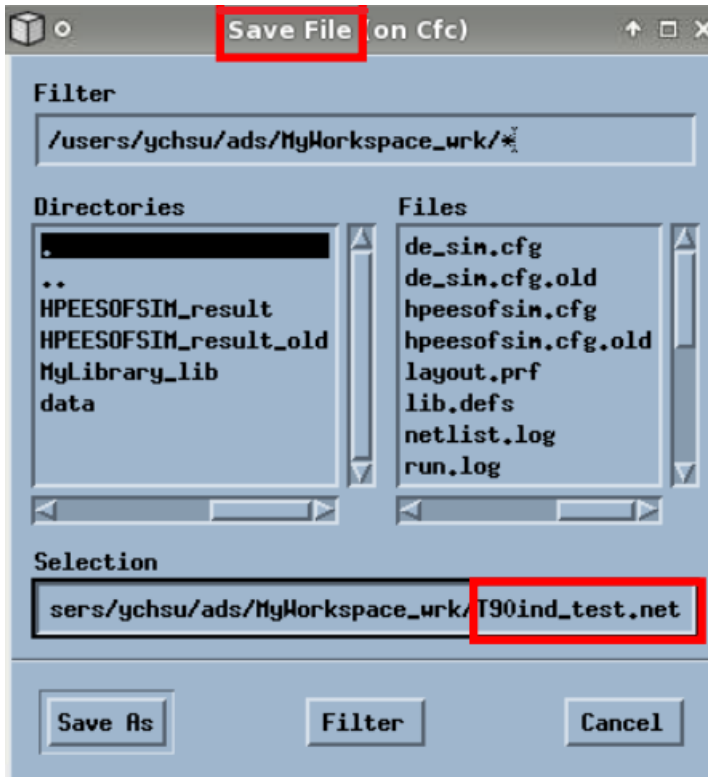


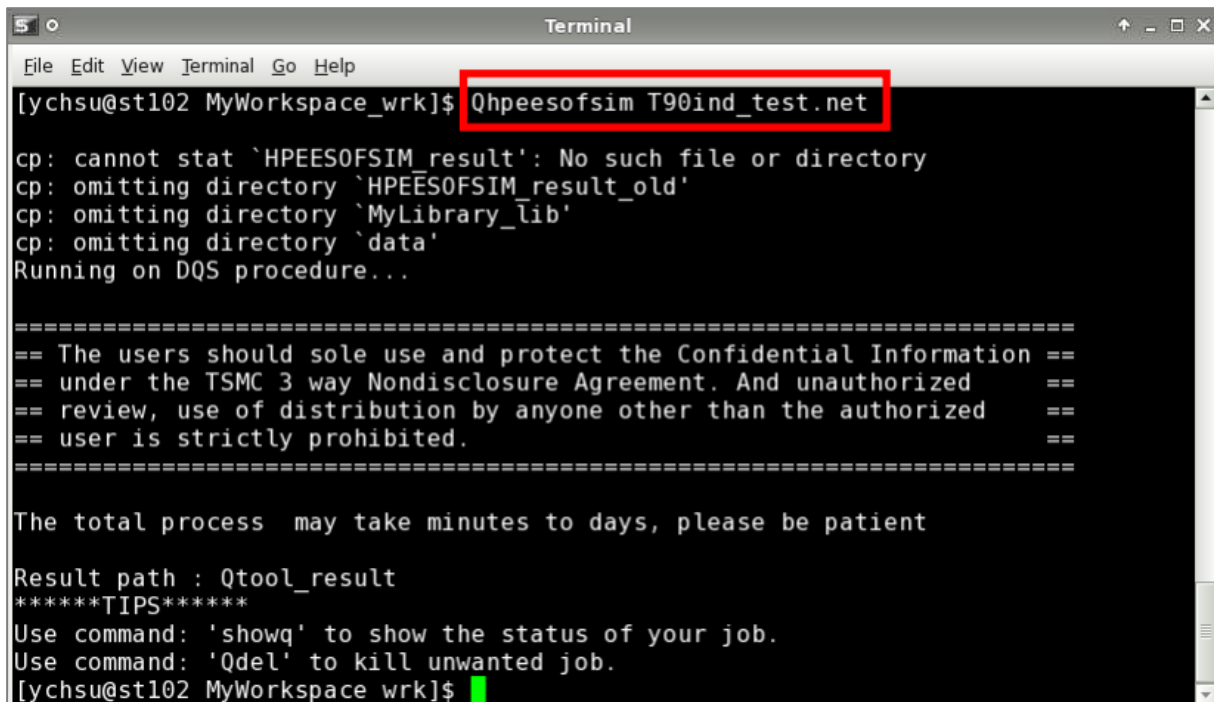
圖 1.3-6 另存 netlist 檔案

1.4 電路模擬及結果顯示

(1) 執行電路模擬

另開一個 terminal，進入電路 netlist 檔存放的 workspace 目錄下，執行

\$ Qhpeesofsim T90ind test.net



```
Terminal
File Edit View Terminal Go Help
[yichsu@stl02 MyWorkspace_wrk]$ Qhpeesofsim T90ind_test.net

cp: cannot stat `HPEESOFSIM_result': No such file or directory
cp: omitting directory `HPEESOFSIM_result_old'
cp: omitting directory `MyLibrary_lib'
cp: omitting directory `data'
Running on DQS procedure...

=====
== The users should sole use and protect the Confidential Information ==
== under the TSMC 3 way Nondisclosure Agreement. And unauthorized ==
== review, use of distribution by anyone other than the authorized ==
== user is strictly prohibited. ==
=====

The total process may take minutes to days, please be patient

Result path : Qtool_result
*****TIPS*****
Use command: 'showq' to show the status of your job.
Use command: 'Qdel' to kill unwanted job.
[yichsu@stl02 MyWorkspace wrk]$
```

圖 1.4-1 執行 Qhpeesofsim 進行電路模擬

(2) 處理模擬數據

模擬結果的 dataset 將會存在 workspace 目錄 (即 netlist 檔存放的目錄)

下的 HPEESOFSIM_result 資料夾內。

將模擬結果 dataset 檔案複製到 /data 的資料夾內

\$ cp ./HPEESOFSIM result/T90ind test.ds ./data

```

Terminal
File Edit View Terminal Go Help
[yvchsu@st102 MyWorkspace_wrk]$ ls
HPEES0FSIM_result      de_sim.cfg.old      run.log              test4.net
HPEES0FSIM_result_old  hpeesofsim.cfg      run2.log             test_90ind.net
MyLibrary_lib          hpeesofsim.cfg.old  saved.wrkstate       test_cell1.net
T90ind_test.net        layout.prf          schematic.prf        workspace.ads
data                   lib.defs            test2.net
de_sim.cfg             netlist.log         test3.net
[yvchsu@st102 MyWorkspace_wrk]$ cp ./HPEES0FSIM_result/T90ind test.ds ./data/

```

圖 1.4-2 將模擬結果 dataset 檔案複製到 /data 的資料夾內

(3) 在 Data Display Window 顯示模擬結果

開啟 Data Display 視窗，依照 ADS 一般的做法顯示數據，即可看到

T90ind_test 的模擬結果，參考如下：

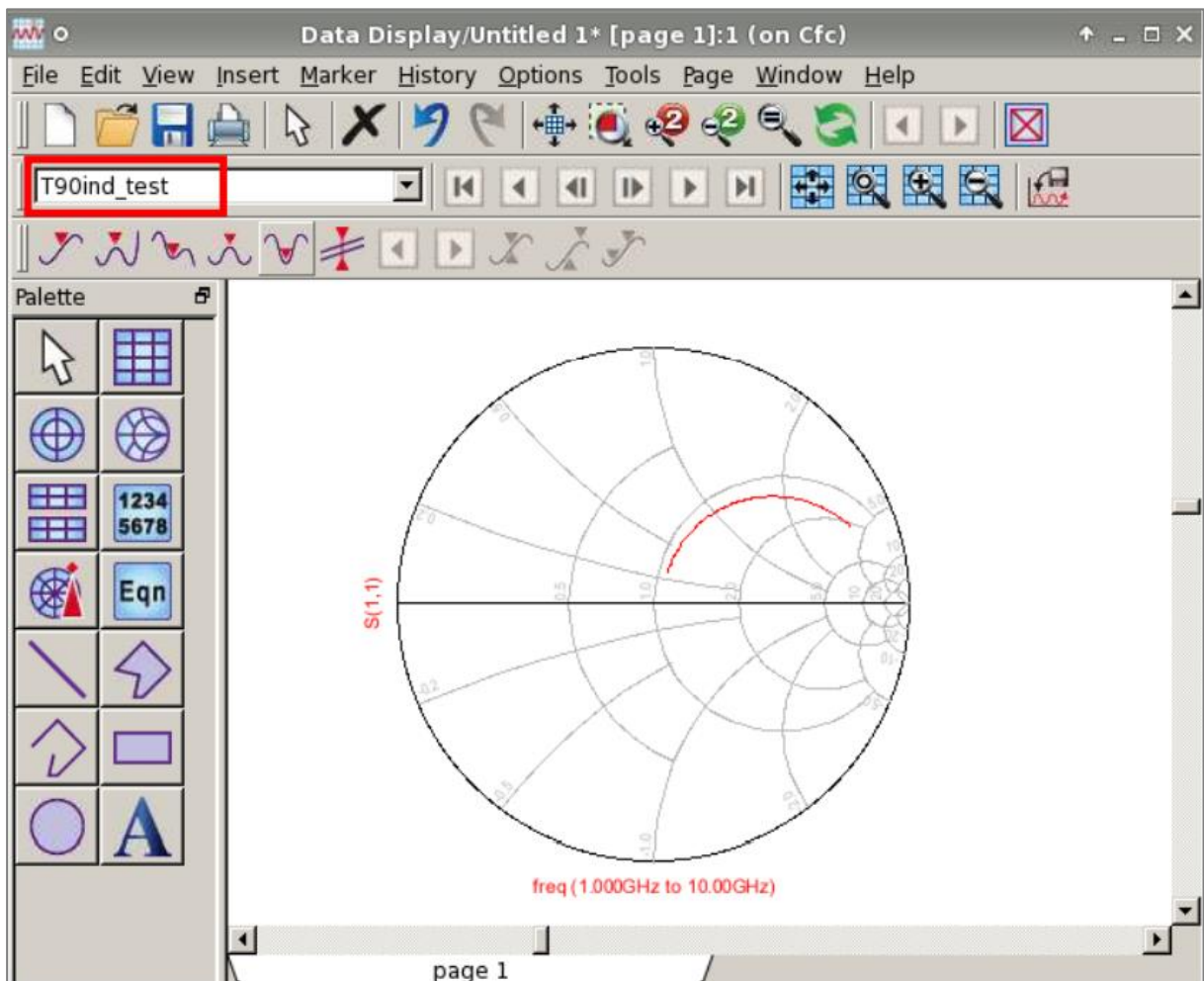


圖 1.4-3 ADS netlist 模擬結果以 Data Display Window 顯示

2. EDA Cloud ADS EM 設計流程

目前由於 EDA Cloud 的限制，無法如同一般 ADS EM- Circuit 共同模擬 (co-sim) 的方式去進行，修正後的步驟如下：

- (1) 由 EM 軟體繪製 layout 、模擬，並將模擬結果產生 SNP 檔案
- (2) 將 SNP 納入 ADS Circuit 模擬的 netlist 流程之中

以下詳細說明。

2.1 由 EM 軟體繪製 Layout 並輸出 SNP 檔案

(1) 繪製 layout、模擬，然後產生 Dataset

同於 ADS Momentum 一般的步驟，繪製 Layout、模擬，然後產生 Dataset。

以下圖形以一段 Transmission Line (TML) 為例做示範：

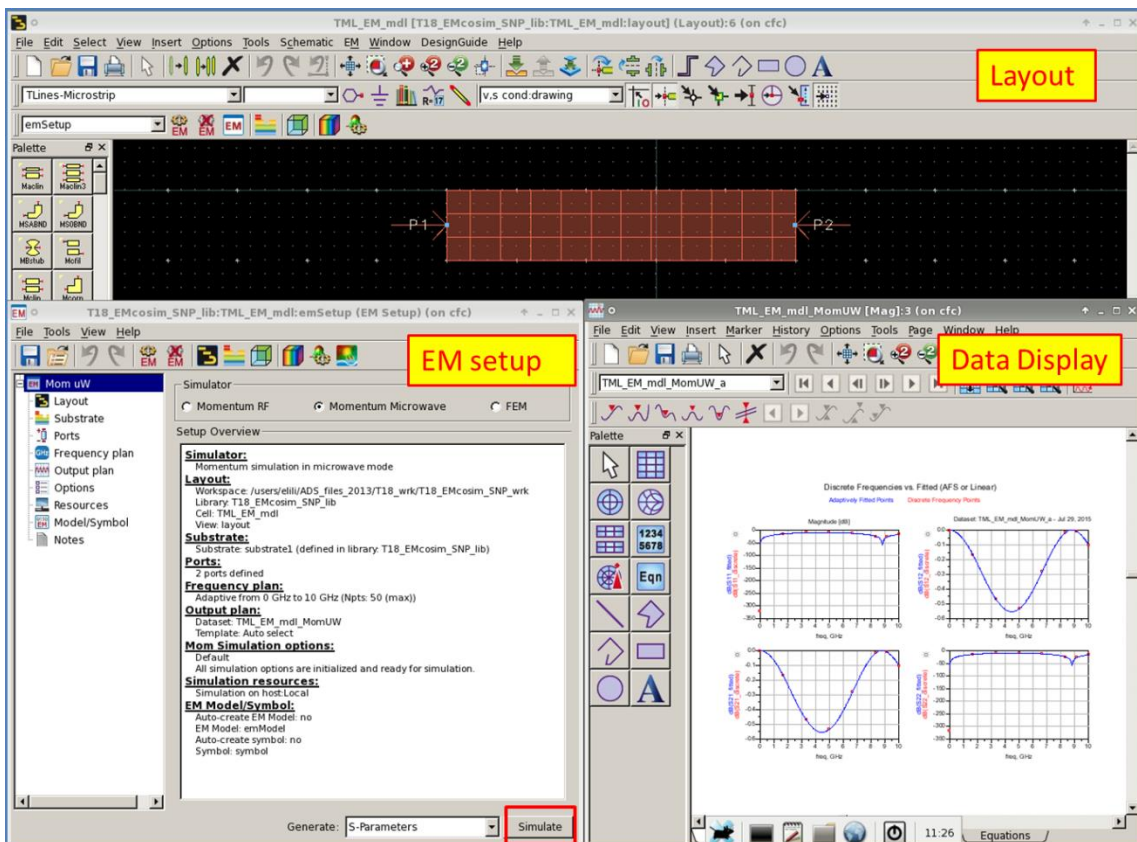


圖 2.1-1 ADS Momentum EM 模擬步驟

(2) 由模擬結果的 dataset 產生 .snp 的檔案

由模擬結果的 dataset 產生 .snp 的檔案，因為此處為 2-port 元件，所以產生 .s2p 檔案。方法如下：

打開 Data Display Window，執行

Data Display Window > Tools > Data File Tool

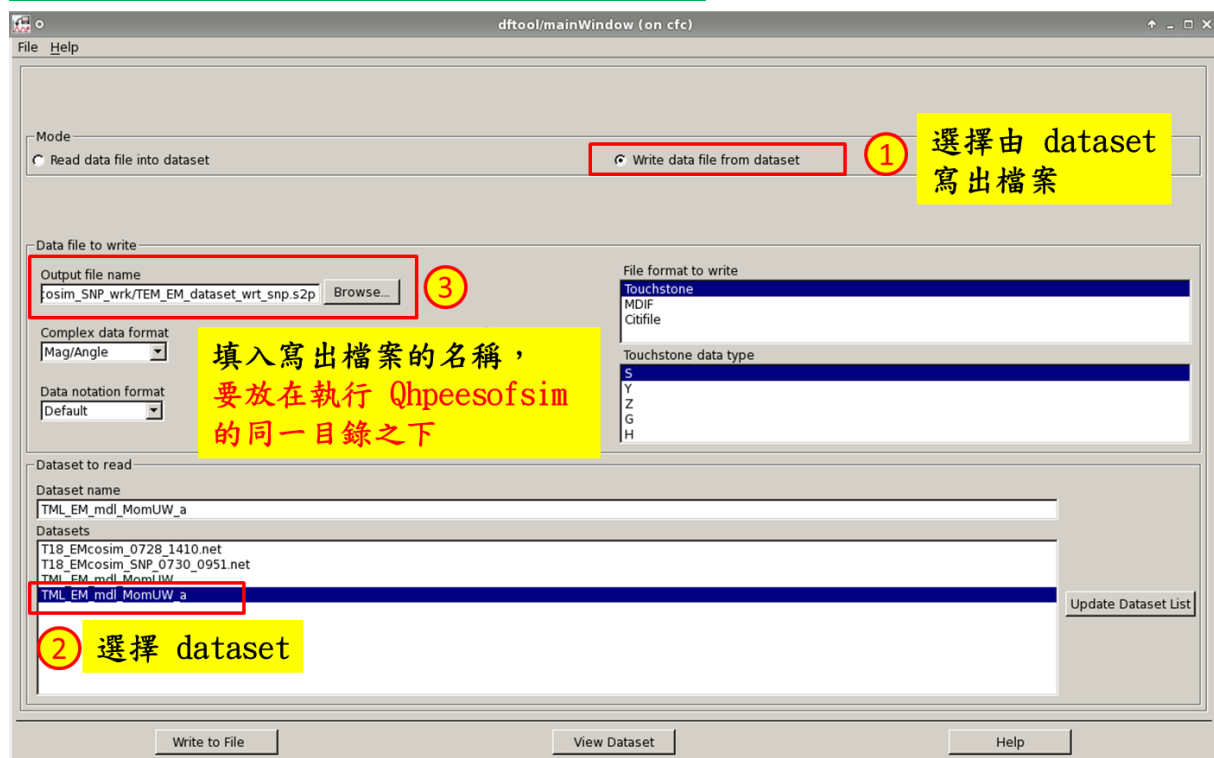


圖 2.1- 2 由模擬結果的 dataset 產生 .snp 的檔案

2.2 將 SNP 檔案納入 ADS Circuit netlist 的模擬流程之中

(1) 繪製 ADS EM- Circuit co-sim 的電路

將 EM 模擬結果 dataset 產生的 .s2p 檔案，納入含有製程元件的線路之中，然後產生 netlist：

Simulate > Generate Netlist

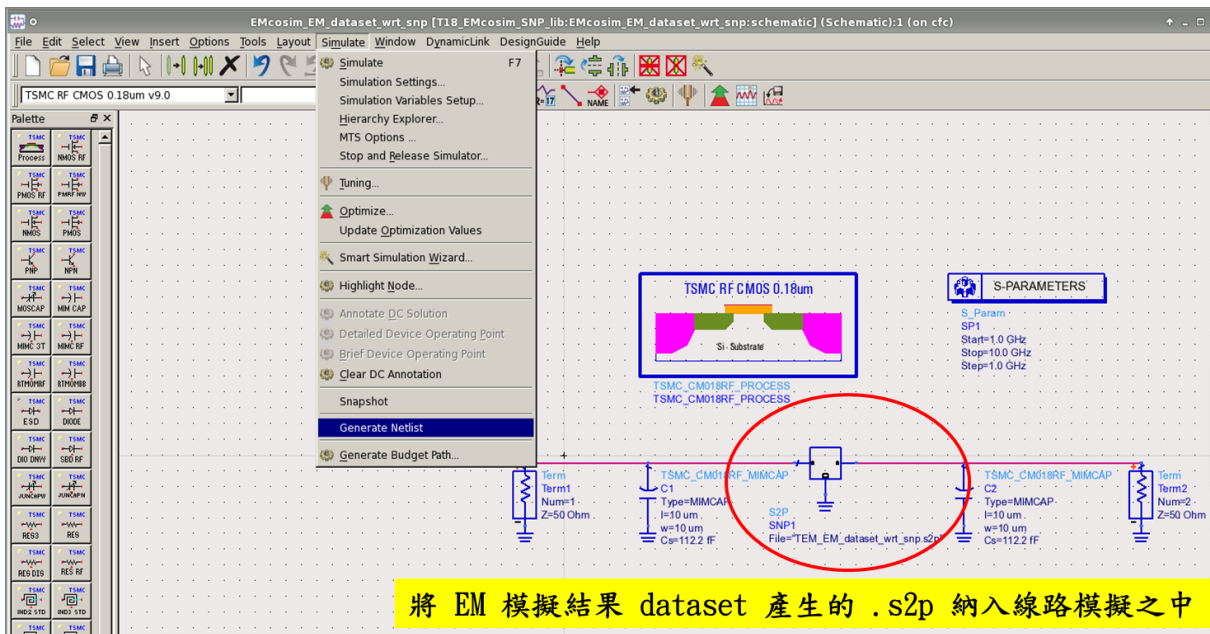


圖 2.2-1 將 EM 模擬結果 dataset 產生的 .s2p 納入線路模擬之中

(2) 修改 netlist 中 .s2p 檔案的路徑

產生的 netlist，需修改 .s2p 的路徑，只留下檔名即可。

注意：.s2p 檔案要放在執行 Qhpeesofsim 的同一目錄之下 (EDA Cloud 的要求)。



圖 2.2-2 產生的 netlist，需修改 .s2p 的路徑

最終的 netlist 檔案如下，之後存檔

File > Save As > xxx.net

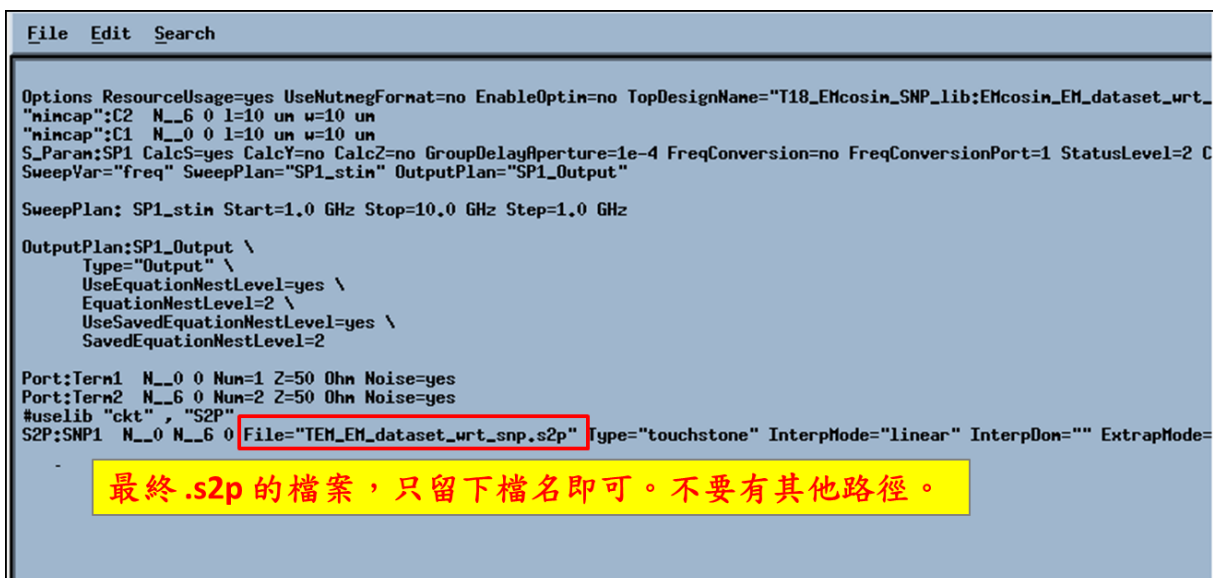


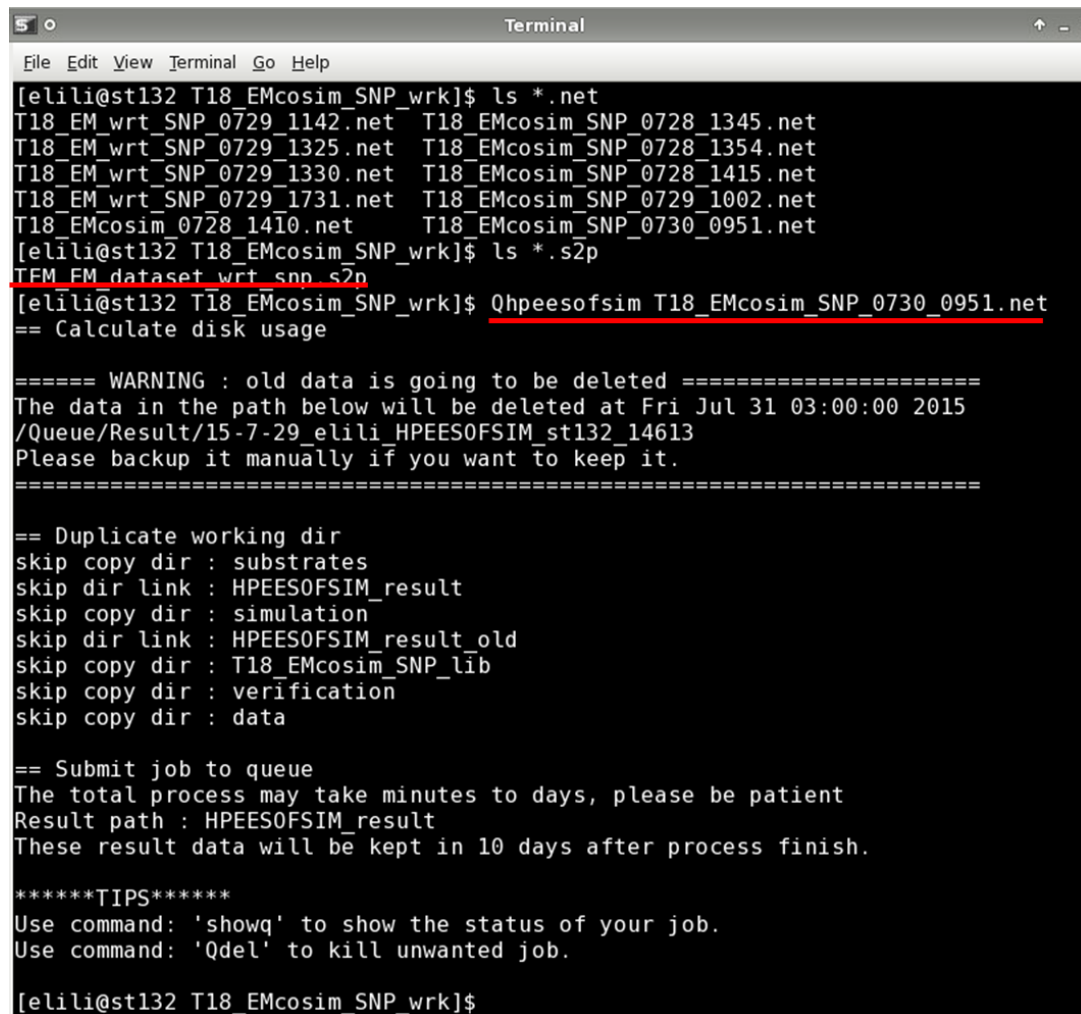
圖 2.2-3 最終的 netlist 檔所含的 .s2p 檔案

(3) 執行電路模擬

之後再執行 Qhpeesofsim，並將 dataset 複製到 /data 之下，同於第 1 章

「EDA Cloud ADS circuit 的設計流程」的模擬步驟。

Qhpeesofsim xxx.net



```

Terminal
File Edit View Terminal Go Help
[elili@st132 T18_EMcosim_SNP_wrk]$ ls *.net
T18_EM_wrt_SNP_0729_1142.net  T18_EMcosim_SNP_0728_1345.net
T18_EM_wrt_SNP_0729_1325.net  T18_EMcosim_SNP_0728_1354.net
T18_EM_wrt_SNP_0729_1330.net  T18_EMcosim_SNP_0728_1415.net
T18_EM_wrt_SNP_0729_1731.net  T18_EMcosim_SNP_0729_1002.net
T18_EMcosim_0728_1410.net     T18_EMcosim_SNP_0730_0951.net
[elili@st132 T18_EMcosim_SNP_wrk]$ ls *.s2p
TFM_EM_dataset_wrt_snp.s2p
[elili@st132 T18_EMcosim_SNP_wrk]$ Qhpeesofsim T18_EMcosim_SNP_0730_0951.net
== Calculate disk usage

===== WARNING : old data is going to be deleted =====
The data in the path below will be deleted at Fri Jul 31 03:00:00 2015
/Queue/Result/15-7-29_elili_HPEES0FSIM_st132_14613
Please backup it manually if you want to keep it.
=====

== Duplicate working dir
skip copy dir : substrates
skip dir link : HPEES0FSIM_result
skip copy dir : simulation
skip dir link : HPEES0FSIM_result_old
skip copy dir : T18_EMcosim_SNP_lib
skip copy dir : verification
skip copy dir : data

== Submit job to queue
The total process may take minutes to days, please be patient
Result path : HPEES0FSIM_result
These result data will be kept in 10 days after process finish.

*****TIPS*****
Use command: 'showq' to show the status of your job.
Use command: 'Qdel' to kill unwanted job.

[elili@st132 T18_EMcosim_SNP_wrk]$

```

圖 2.2-4 含.s2p 檔案 nelist 的 Qhpeesofsim 模擬

(4) 檢視最終的模擬結果

檢視最終 ADS EM-Circuit co-sim 的模擬結果，並且和只有單一 EM Layout 元件(圖 2.1-1)的結果 (粉紅色線) 比較。

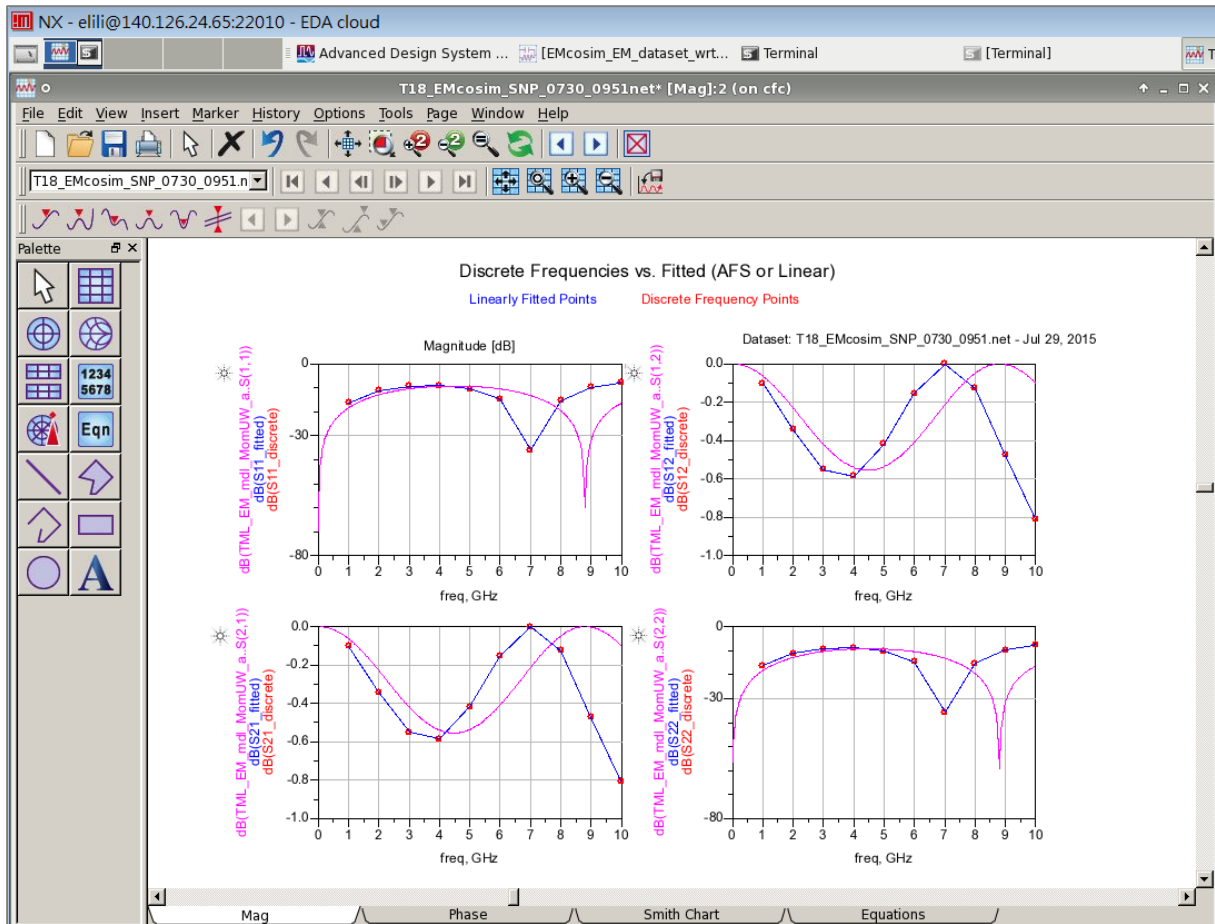


圖 2.2-5 含.s2p nelist 的 hpeesofsim 模擬結果

以上為 CIC EDA Cloud 之 ADS 及 Momentum 設計流程，供使用者參考。

3. 中英名詞對照

英文符號 / 縮寫	英文全名	中文名稱
ADS	Advanced Design System	先進設計系統軟體
EM	Electro Magnetic	電磁
PDK	Process Design Kit	製程設計工具

4. 參考資料

4.1 有關 CIC EDA Cloud，可見網頁：

[CIC 網頁 > 設計服務 > EDA Cloud](#)

4.2 有關各別軟體的簡介，可參考 CIC 網頁或 KeySight 公司網頁：

[CIC 網頁 > 設計服務 > 軟體資訊 > by Vendor > Agilent \(Keysight\) >](#)

[ADS > 軟體簡介](#)

Keysight 公司網頁 www.keysight.com

Keysight EDA 網頁

<http://www.keysight.com/en/pc-1475688/keysight-eesof-electronic-design-automation-EDA-software?nid=-34360.0&cc=US&lc=eng>