



Basic Synopsys User Guide





Setup a New Synopsys User

- Add the contents of `/usr/synopsys/cicSynop/synopsys.cshrc` to your `.cshrc`

```
hsieh> cat /usr/synopsys/cicSynop/synopsys.cshrc >> .cshrc
```

```
hsieh> source .cshrc
```

```
hsieh> design_analyzer&
```

← 完成系統環境設定

← 啓動 Synopsys Design Analyzer
(啓動後畫面見下頁圖)

- Use *online documentation*

```
hsieh> cd
```

```
hsieh> cp /usr/synopsys/cicSynop/Iview .
```

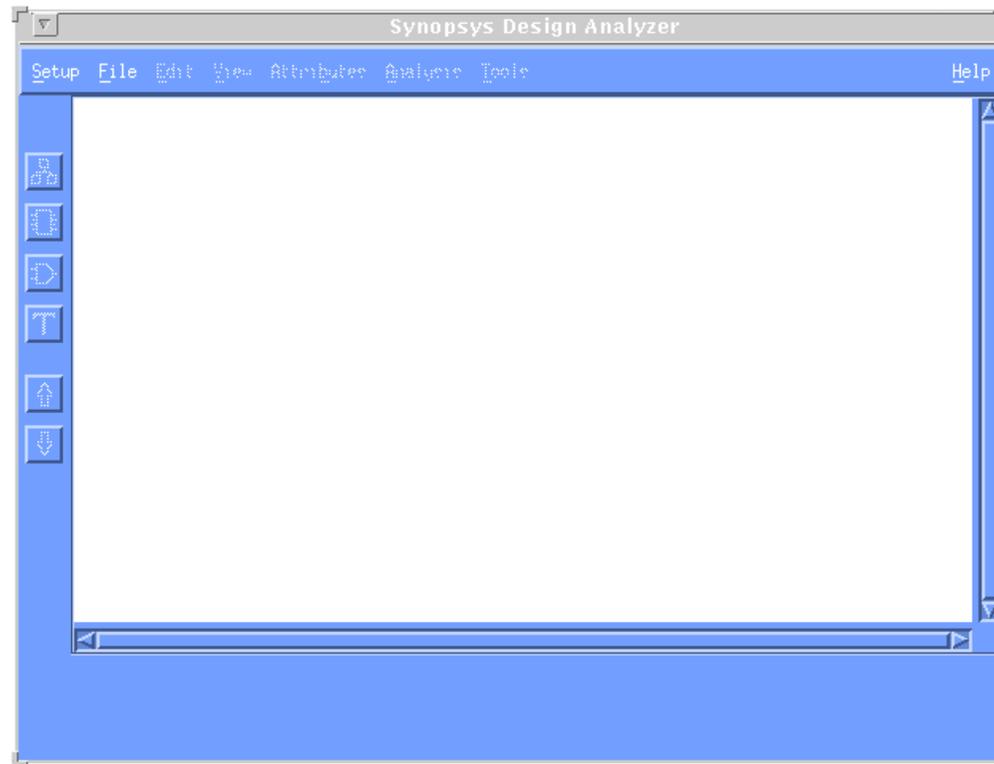
```
hsieh> iview&
```





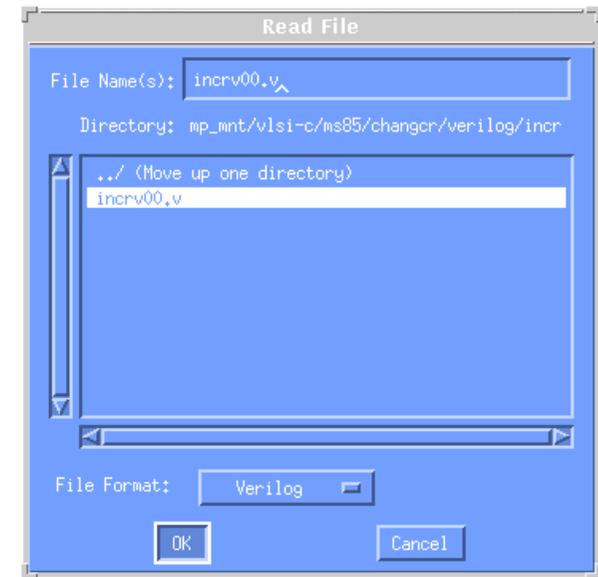
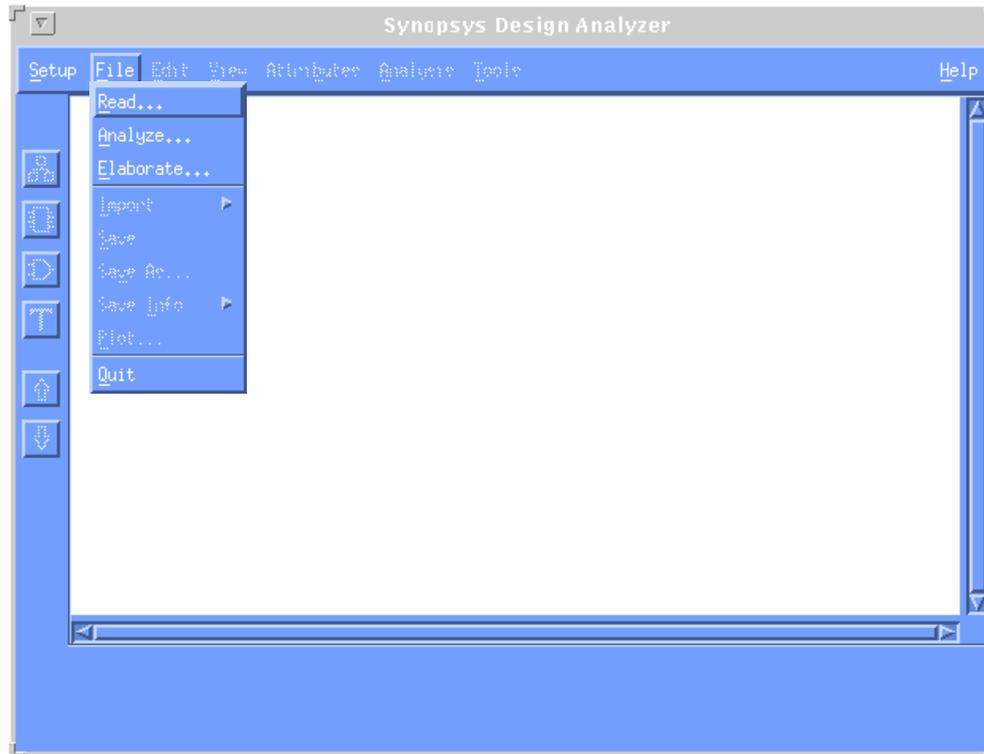
Design Analyzer

啓動 Synopsys Design Analyzer 後的畫面:





Design Analyzer [Read File]



由 **File -> Read** 出現 **Read File** window
在 **Read File** window 中選擇要合成的 verilog file , 然後按 **Ok**
(此時系統會開出一個 **Verilog** window , 見下頁圖)





Design Analyzer [Verilog] (I)

```
Verilog
design_analyzer> Loading verilog file '/tmp_mnt/vlsi-c/ms85/changcr/verilog/RTL/tt.v'
/tmp_mnt/vlsi-c/ms85/changcr/verilog/RTL/tt.v:
Error: Initial statement not supported near symbol "initial" on line 9 in file tt.v (VE-19)
Error: Can't read 'verilog' file '/tmp_mnt/vlsi-c/ms85/changcr/verilog/RTL/tt.v'. (UID-59)
No designs were read
⊙
design_analyzer>
```

接著系統呼叫 Verilog XL去 compile 所輸入的 verilog file，結果顯示於 Verilog window，常犯的錯誤如下：

- Syntax error -- verilog 語法錯誤
- Unsupported statement
- Unsupported definitions and declarations
- Unsupported operator
- Only for gate-level construct





(1) **Unsupported Statement**

delay, initial, repeat, wait, fork, event, deassign, force, release

(2) **Unsupported Definitions and Declarations**

primitive, time, event, trand, trior, tri0, trireg

(3) **Unsupported Operators**

- === and !==
- Division

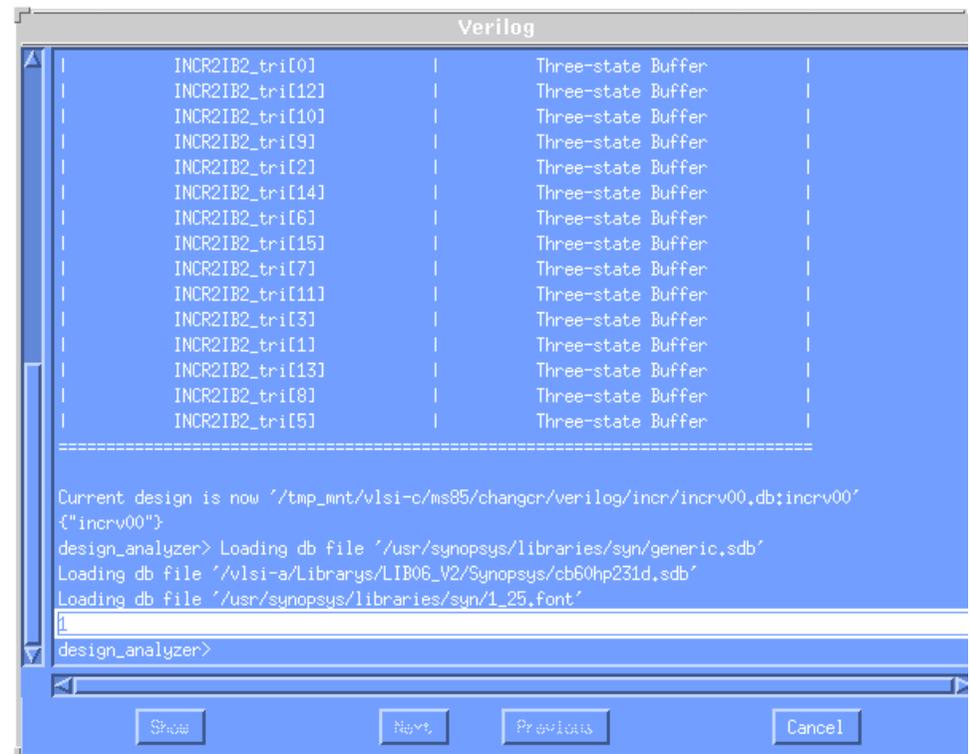
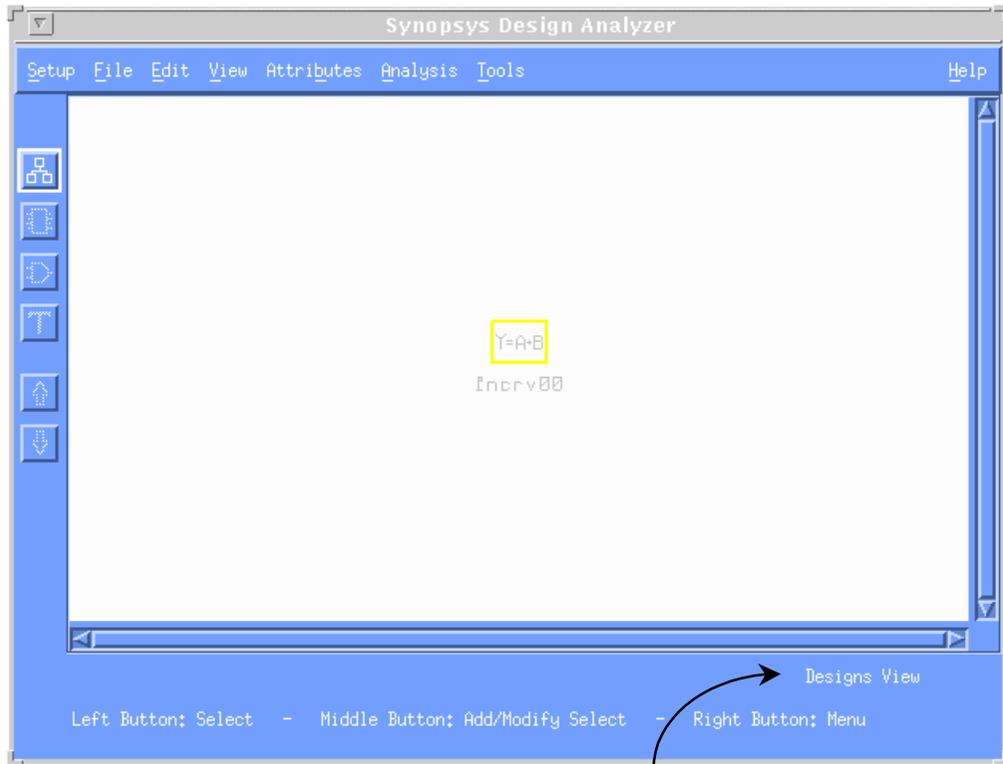
(4) **Only for Gate-Level Construct**

- nmos, pmos, cmos, rnmos, rpmos, rcmos
- pullup, pulldown
- rtran, tranif0, tranif1, rtranif0, rtranif1





Design Analyzer [Verilog] (II)



view name indicator

若是沒有錯誤 (如右圖), 則在左邊的 Designs View window 會出現一個 icon, (icon 的下方顯示你的 verilog file 中的 module name.)

** 此時, Synopsys 已經幫我們合成一個電路了





.synopsys_dc.setup File for Using Compass 0.6um Cell Library

- 在以上的轉換過程當中，牽涉到與 Library 的對映，這個動作在第一次 Read File 時，於 Verilog window 中的訊息可以看出來。
- .synopsys_dc.setup 這個檔案是系統管理者直接給予使用者
- 在 .synopsys_dc.setup 中與 Library 對映的相關設定

```
search_path = {./vlsi-a/Librarays/LIB06_V2/Synopsys /usr/synopsys/libraries/syn};
```

* 路徑要配合系統管理者的規畫設定，以上路徑只是以VLSI CAD 實驗室的設定為例說明

```
target_library = {cb60hp231d.db};
```

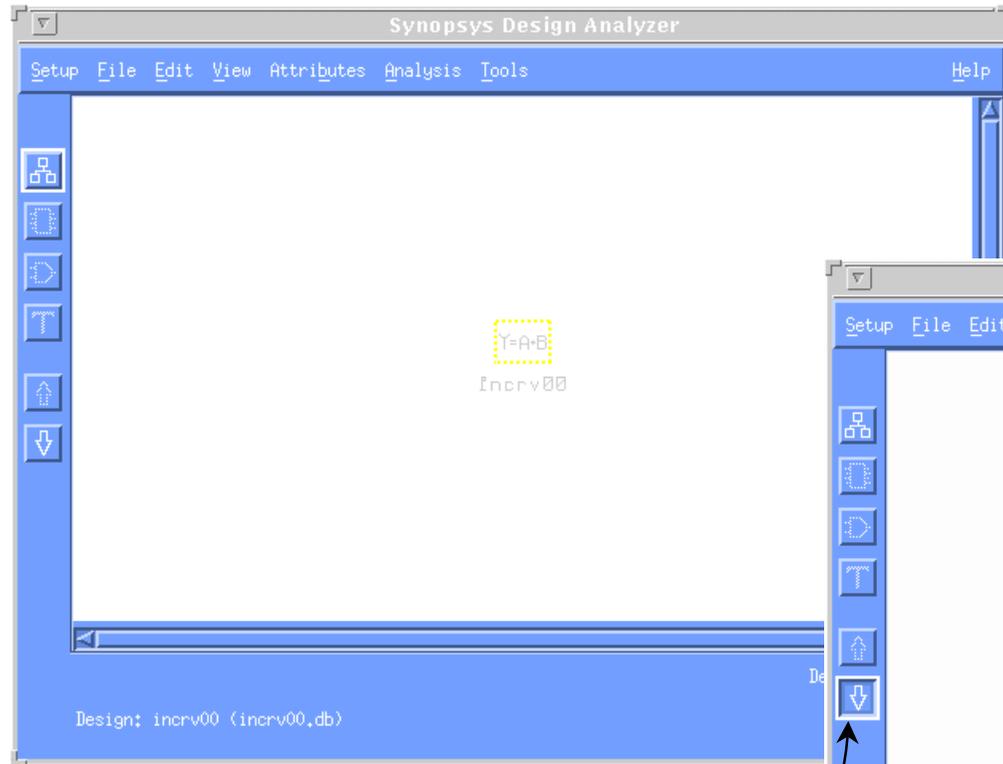
```
link_library = {cb60hp231d.db};
```

```
symbol_library = {cb60hp231d.sdb};
```

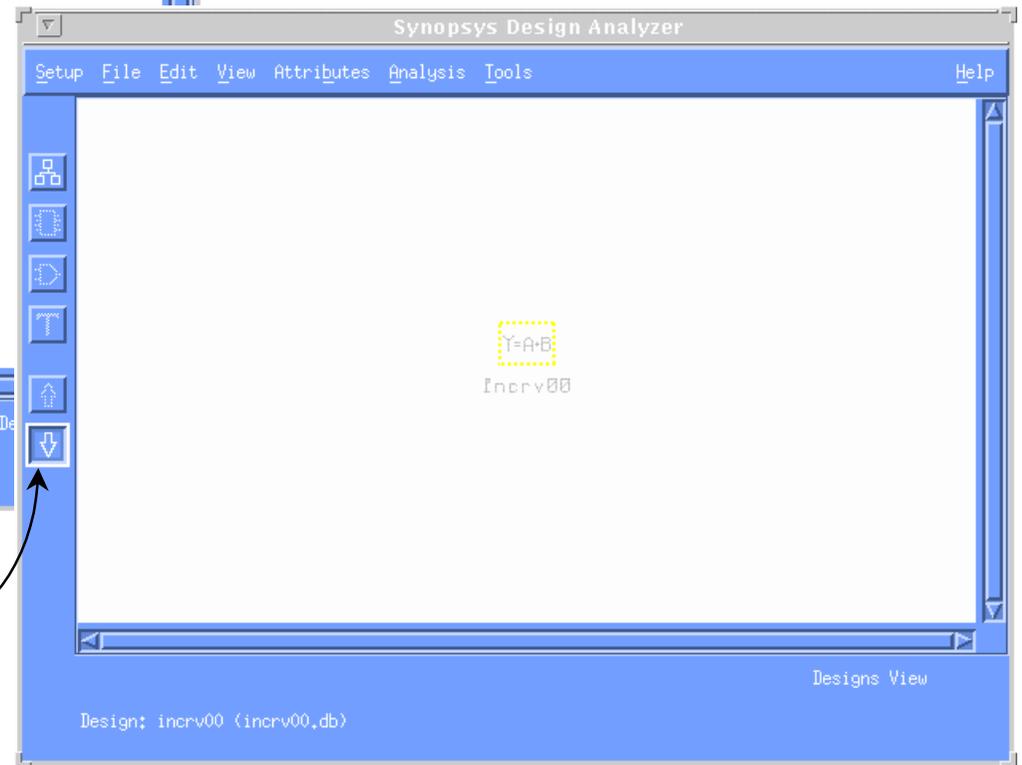




Different view of a circuit : Design View



(1)用滑鼠點選所產生的 icon
icon 呈虛線狀態

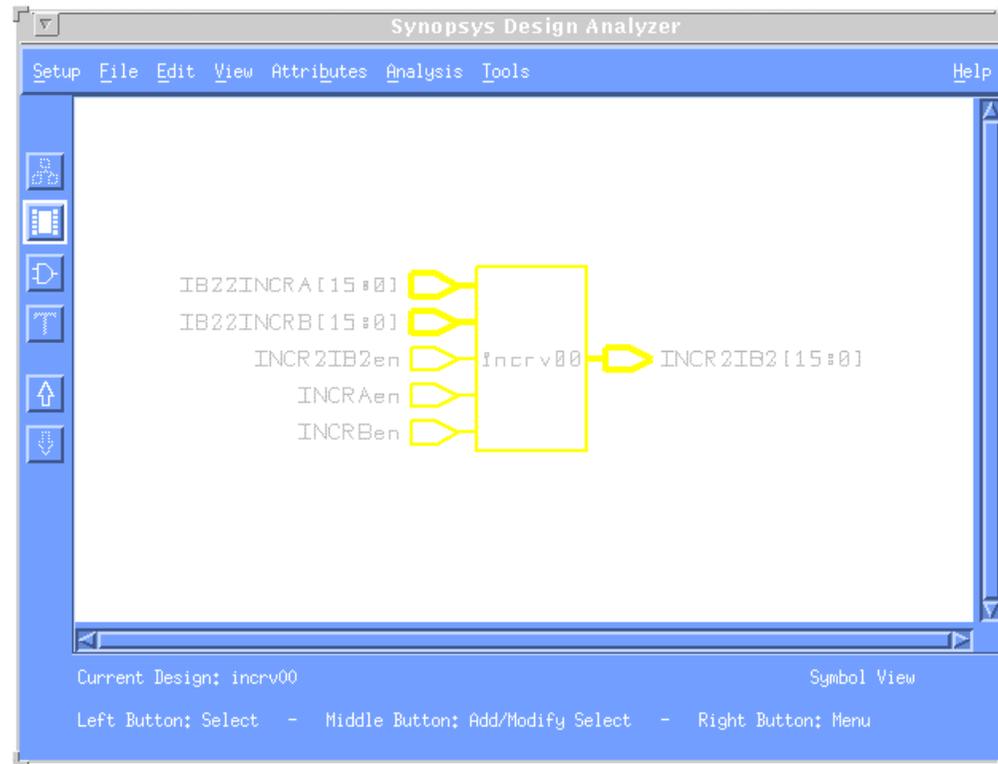


(2)按Design View window 左方往下的箭頭 down 到下一層





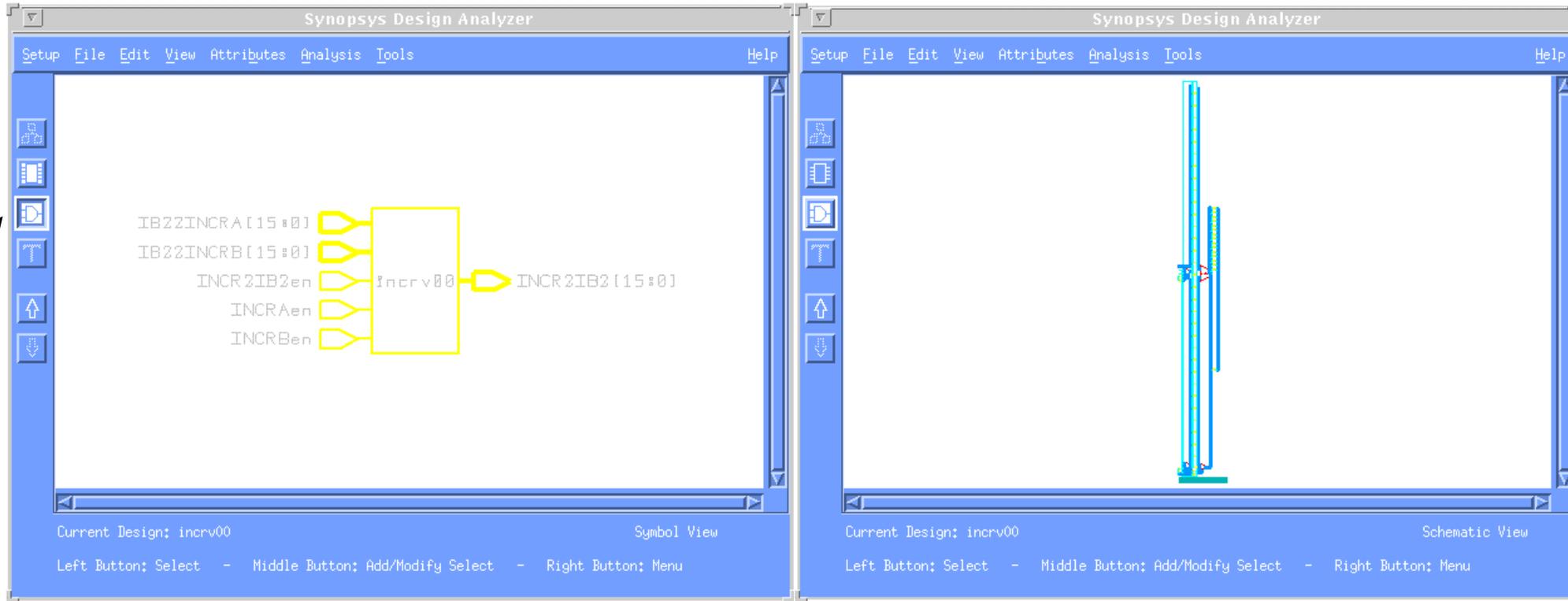
Different view of a circuit : Symbol View



然後，在這個 Symbol View window 會顯示出 module 中所定義的 input/output pin 腳
我們通常在 Symbol View 中設定各個 pin 的屬性



Different view of a circuit : Schematic View



Schematic View
button

點選 Schematic View button 之後，出現電路如右圖





What is Synthesis ?

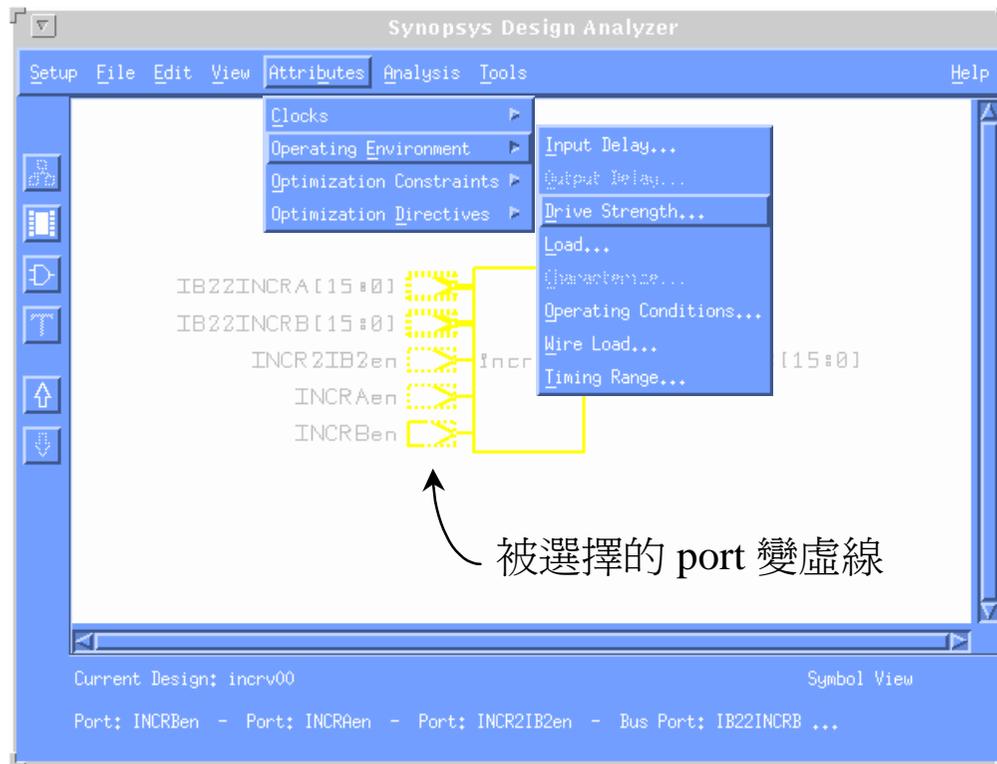
- Synthesis = Translation + Optimization
- 到目前 Synopsys 已經為我們的HDL轉換成電路 (Translation), 但是這電路還不一定能用 (就算能用也不見得是最好的), 因為之前我們並沒有告訴它有關Timing, Loading 等資訊, 所以之後我們要做的便是根據我們的 Spec.去下一些 Constraints, 以便能使我們的 Design 能最佳化 (Optimization).



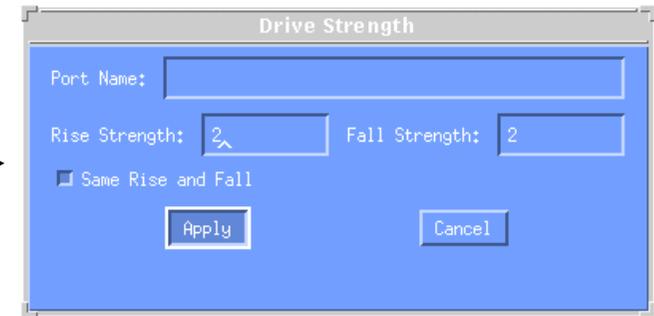


Setting Operating Environment

(一) Setting Input Drive Impedance



被選擇的 port 變虛線



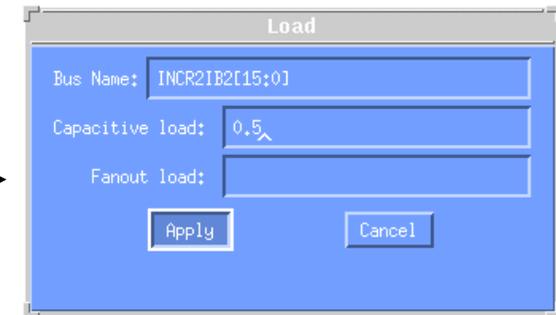
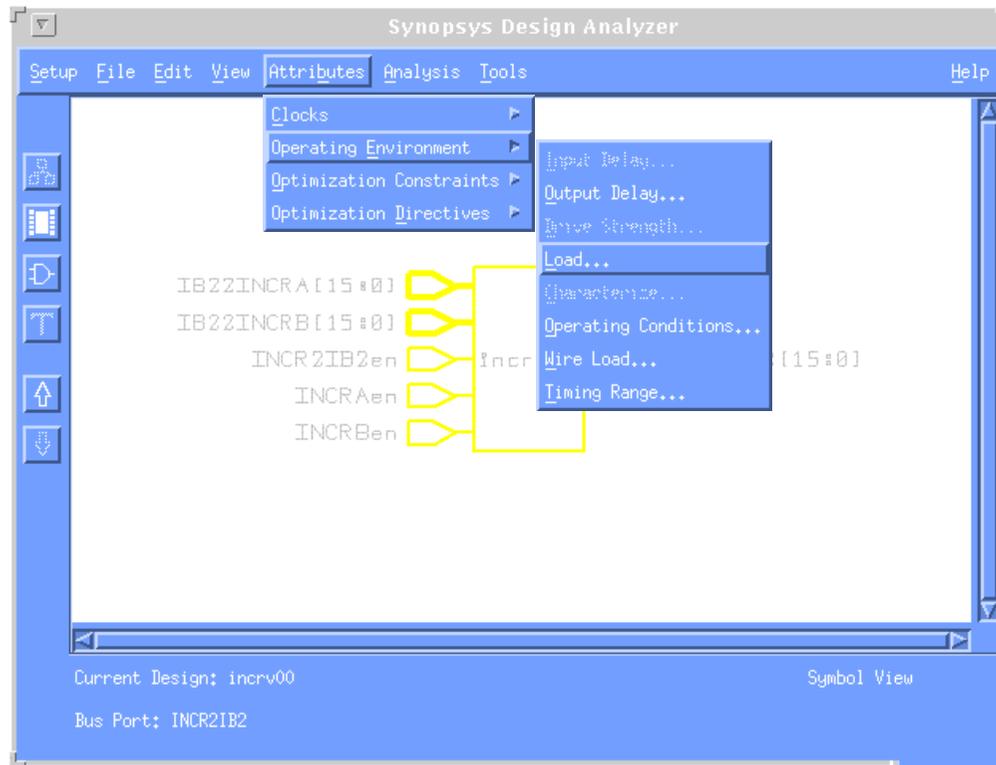
- Select input port (使用 mouse)
- Attributes
 - >Operating Environment
 - >Drive Strength (unit:ns/pf)





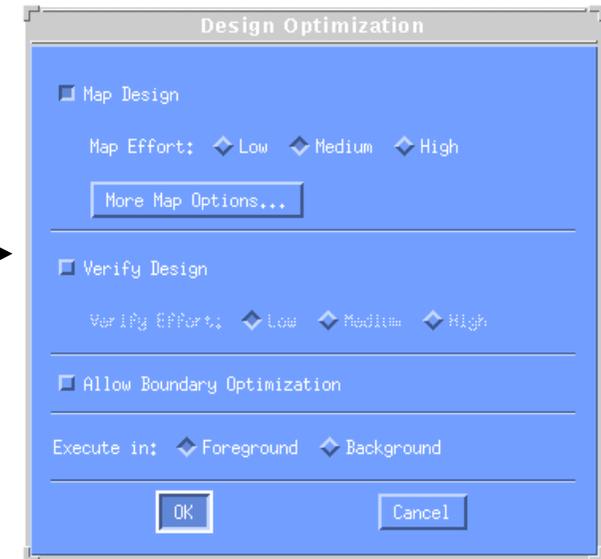
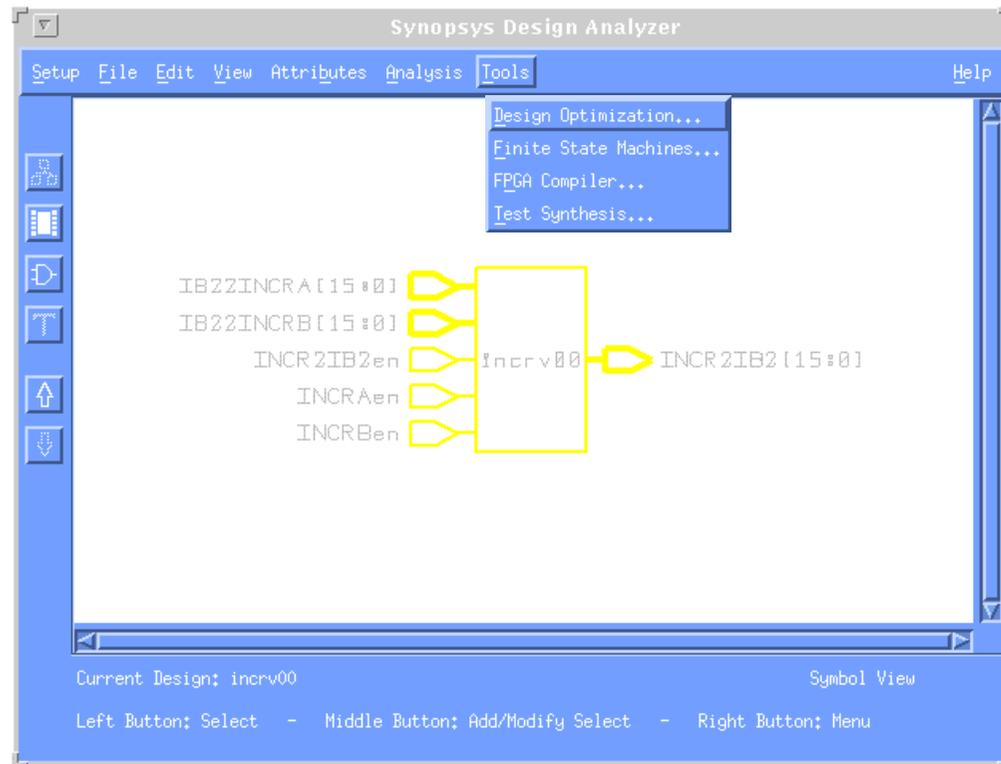
Setting Operating Environment_(cont.)

(二) Setting Capacitive Output Loading



- Select output port
- Attributes
 - >Operating Environment
 - >Load (unit:pf)





我們接著選擇 **Tools -> Design Optimization** , 出現 **Design Optimization** window
在 **Design Optimization** window 中直接選擇 **Ok** 即可
(此時系統會開出一個 **Compile Log** window , 見下頁圖)





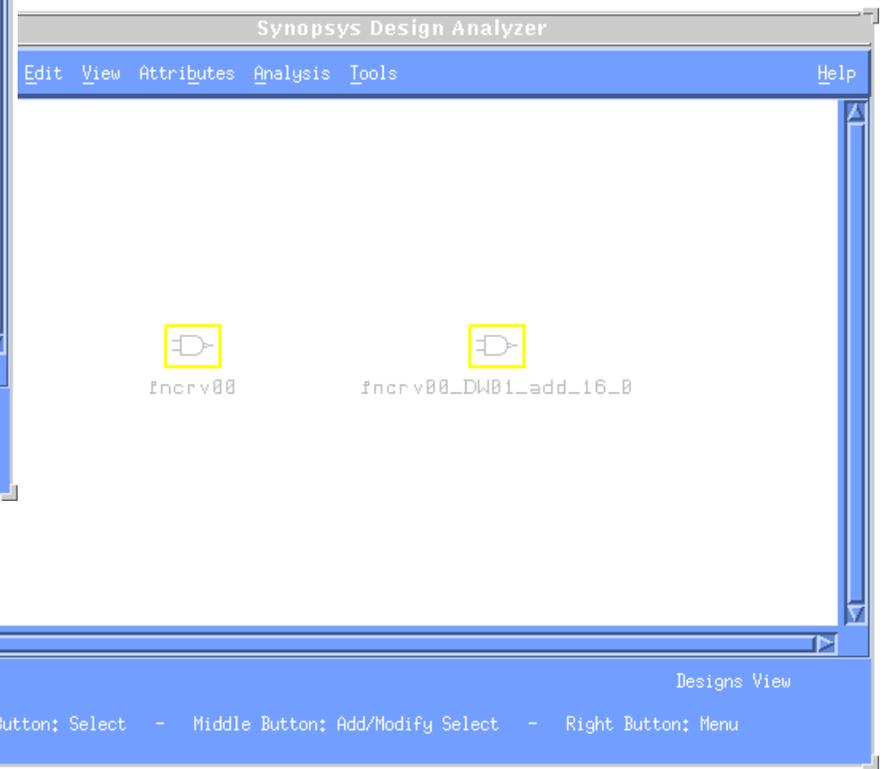
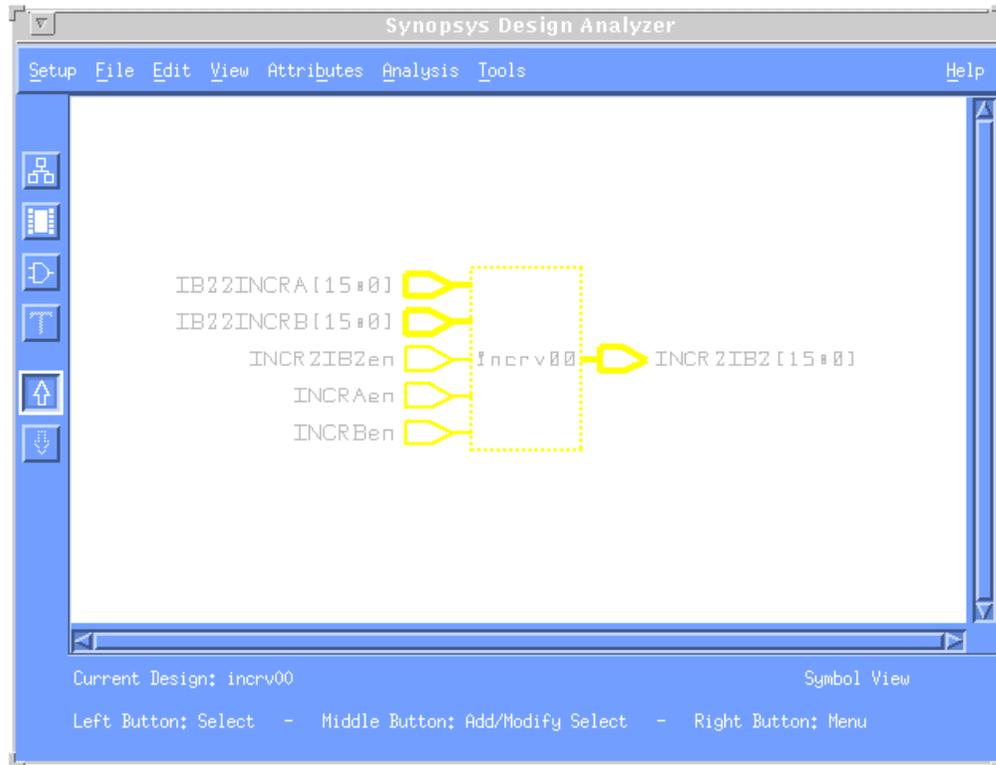
```
Compile Log
Mapping 'incrv00'
Information: Changed wire load model for 'incrv00' from 'ForQA' to '1000'. (OPT-170)

      TRIALS      AREA      DELTA DELAY      OPTIMIZATION      DESIGN RULE
      -----      -
      124
      -----
      124

Optimization complete
-----
Transferring Design 'incrv00_DM01_add_16_0' to database 'incrv00.db'
Transferring Design 'incrv00' to database 'incrv00.db'
Current design is 'incrv00'.
1
design_analyzer> Current design is 'incrv00'.
"/tmp_mnt/vlsi-c/ms85/changcr/verilog/incr/incrv00.db;incrv00"
design_analyzer> 1
design_analyzer> Generating schematic for design: incrv00
The schematic for design 'incrv00' has 1 page(s).
1
design_analyzer>
```

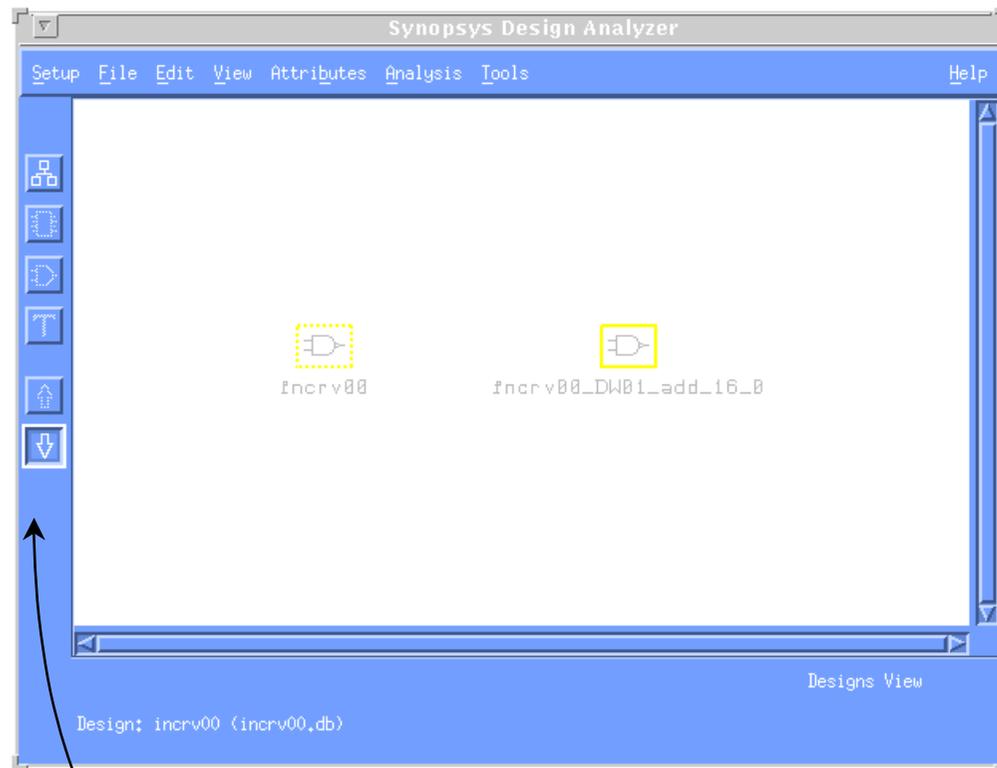
Compile Log window , 顯示 optimization 的相關訊息 ,
Compile 結束後 , 結果顯示如下頁圖所示





點選 **Symbol View** window 左方向上的箭頭，到上一層 **Design View** 結果如右圖





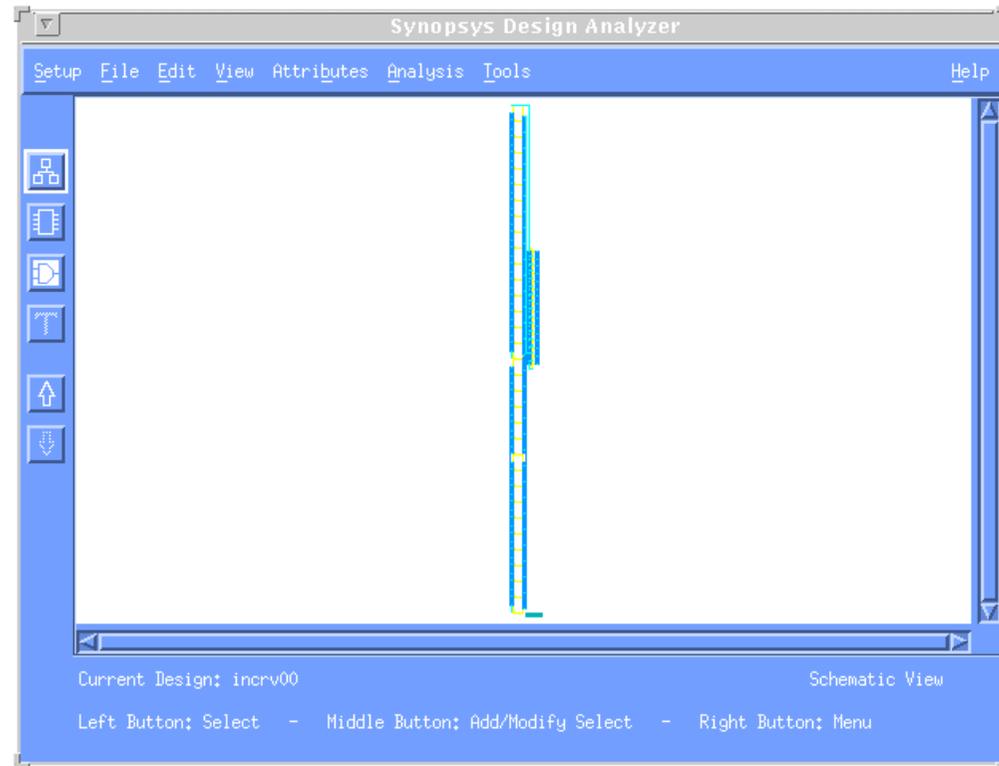
我們原來使用的 verilog file 只有一個 module，經過Optimize 後，產生超過一個 icon，這有可能是以下兩種狀況：

- (1) module 呼叫其它 module
- (2) module 中含有特定的運算
例如：加法器 乘法器
計數器 等等

也就是說，除了主要的 module 外，其它被呼叫的 module 以及 特定的運算也會產生 icon

接著我們再往下一層看看所合成的電路結果如下頁圖





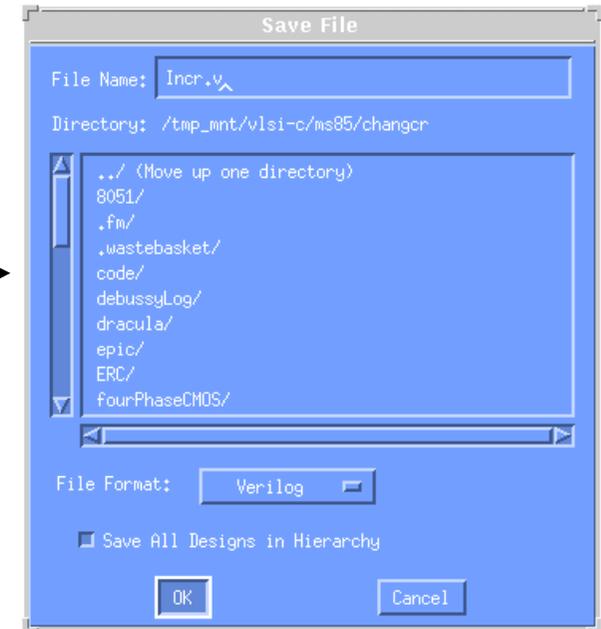
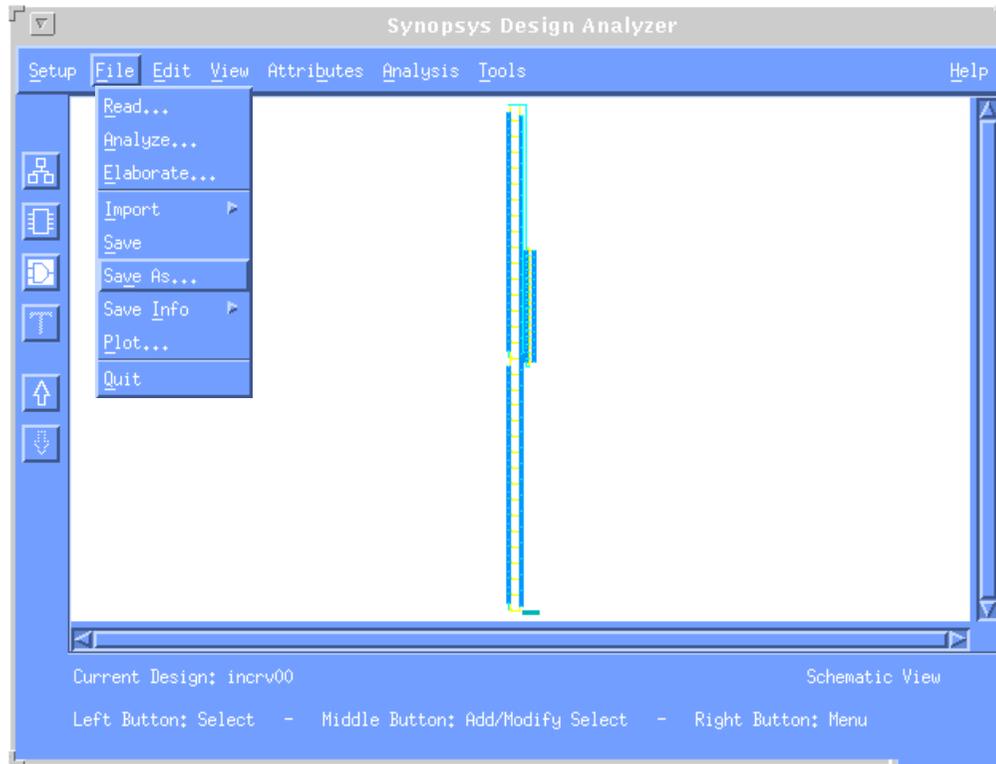
這便是經過簡單的環境設定，以及內定的 Constraint 最佳化後的結果





Simulation the Synthesis Circuit

(1) Save the synthesis circuit as verilog format (*.v)





(2) Simulation

方法一：Verilog XL command line simulation method

ex) 寫一個含測試 pattern 的 test.v

```
hsieh> verilog incr.v test.v -f ~/simopt.f
```

其中, incr.v 是我們由 Synopsys 轉出的 verilog file

simopt.f 是有關 library 的路徑設定 (User 自建, 如下頁)

方法二：Verilog In

Verilog In 是在 Cadence 環境下, 將 netlist 轉成 schematic 的工具. 由於 Verilog In 只接受 netlist, 而我們由 Synopsys 轉出來的 verilog file 含有一些 behavior level 的描述, 因此不能直接用 Verilog In 去得到 schematic 去做模擬. 但是, 只要適當的修改我們由 Synopsys 轉出的 verilog file, 就可以用 Verilog In 去做模擬.

ex) 將產生的 .v 檔當中的 tri 改成 wire,
再將檔案中有關 assign 的敘述 mask 起來即可.





simopt.f 檔案內容如下：

```
+ism  
-v /vlsi-a/Librarys/LIB06_V2/Verilog/cb60hp231d.ismvmd  
-v /vlsi-a/Librarys/LIB06_V2/Verilog/cb60hd231d.ismvmd  
-v /vlsi-a/Librarys/LIB06_V2/Verilog/cb60io420d.ismvmd  
-v /vlsi-a/Librarys/LIB06_V2/Verilog/cb60hp231d/cells/support/udps.vmd  
-v /vlsi-a/Librarys/LIB06_V2/Verilog/cb60hd231d/cells/support/udps.vmd
```