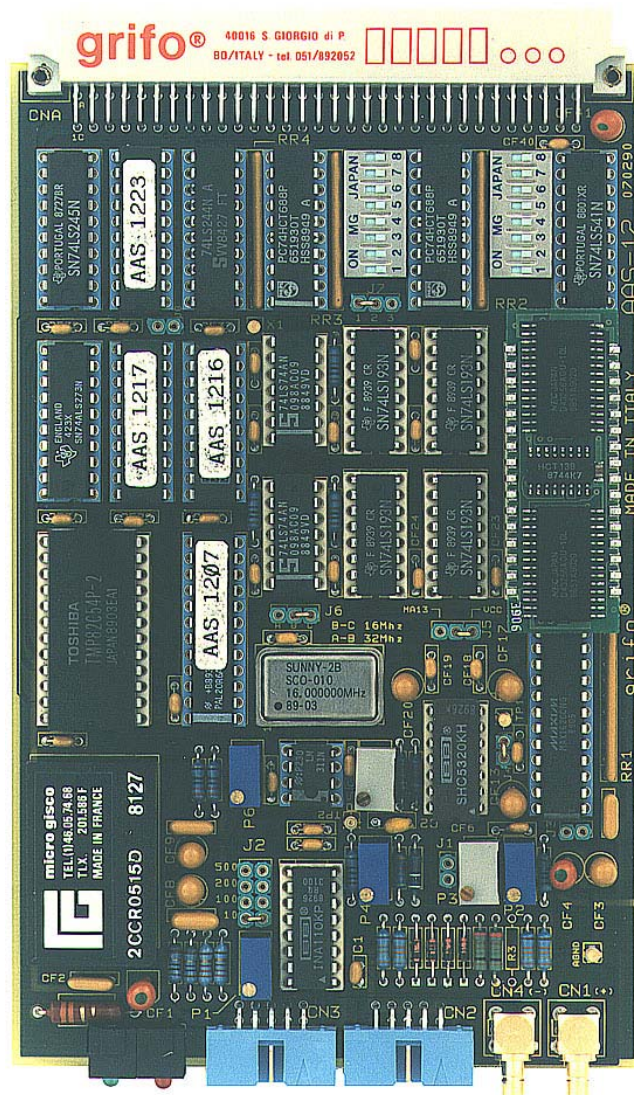


AAS 12

Analog Acquisition System, A/D 12 Bit

MANUALE UTENTE



grifo®
ITALIAN TECHNOLOGY

Via dell' Artigiano, 8/6
40016 San Giorgio di Piano
(Bologna) ITALY
E-mail: grifo@grifo.it



<http://www.grifo.it>

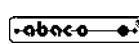
<http://www.grifo.com>

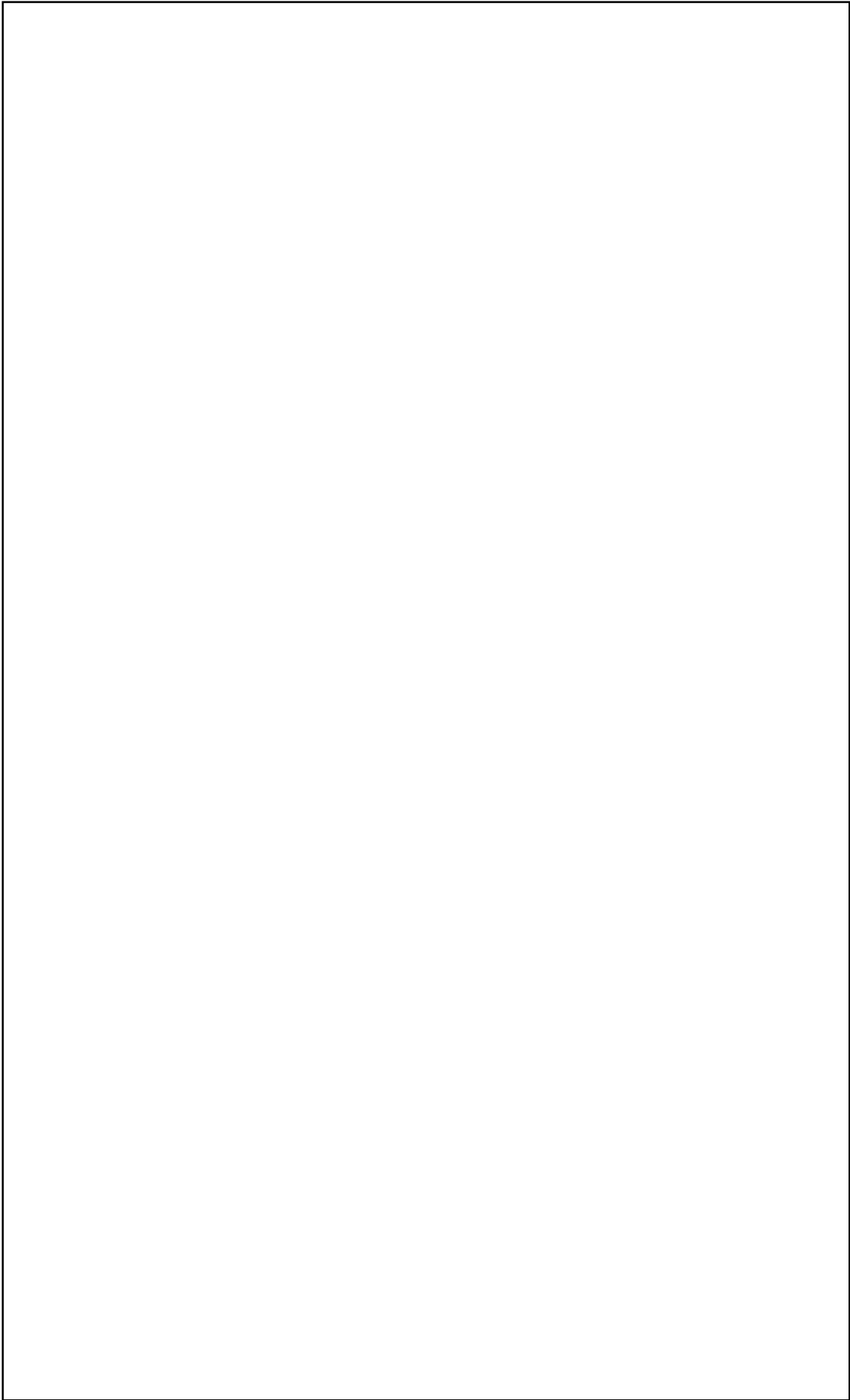
Tel. +39 051 892.052 (r.a.) FAX: +39 051 893.661

AAS 12

Rel. 2.00

Edizione 20 Marzo 1992

 , GPC®, **grifo®**, sono marchi registrati della ditta **grifo®**



AAS 12

Analog Acquisition System, A/D 12 Bit

MANUALE UTENTE

La scheda AAS 12 è una struttura di conversione A/D del tipo storage, nel formato standard Europa da 100x160 mm. Essa opera direttamente sul Bus industriale Abaco® e quindi può essere comandata da una delle numerose schede di CPU o GPC® presenti su tale BUS.

La AAS 12 può essere vista a tutti gli effetti come un oscilloscopio digitale storage con una memoria di 64 K conversioni ed una risoluzione verticale di 12 bit. La programmabilità delle funzioni quali la velocità, il numero delle conversioni e la sorgente del trigger la rendono un sofisticato strumento di indagine per congelare eventi analogici anche molto veloci.

- Interfacciamento con il BUS Industriale Abaco®
- 1 linea di A/D converter a 12 Bit; 3 µs di tempo di conversione
- Range del segnale in ingresso selezionabile tra: +10/-10; 0/+10V; 0/+5V oppure 4-20 mA
- Amplificatore Programmabile d'ingresso con rapporto: x1; x100; x200; x500
- Tempo di campionamento programmabile via software con incrementi di 250 ns, da un minimo di 5 µs ad un massimo di 16,384 ms. Questo significa che alla massima velocità di conversione si possono memorizzare 320 ms di un evento con una risoluzione di 5 µs, oppure superare i 17 minuti di registrazione adoperando il massimo tempo di campionamento
- Il numero di conversioni è programmabile e va da uno fino ad un massimo di 65536 (RAM di bordo da 128 K)
- Selezione del trigger interno, esterno oppure sullo stesso segnale d'ingresso programmabile via software
- Modalità di funzionamento Master/Slave in un sistema di più schede
- Sample/Hold con tempo di sample di 1,5 µs
- Possibilità di gestione in interrupt tramite Bus
- Mappaggio in I/O tramite Dip Switch in modalità estesa o normale 8 byte consecutivi occupati in indirizzamento
- Unica tensione di alimentazione: 5 V; 900 mA

grifo®

ITALIAN TECHNOLOGY

Via dell' Artigiano, 8/6
40016 San Giorgio di Piano
(Bologna) ITALY

E-mail: grifo@grifo.it

<http://www.grifo.it>

<http://www.grifo.com>

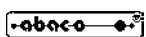
Tel. +39 051 892.052 (r.a.) FAX: +39 051 893.661



AAS 12

Rel. 2.00

Edizione 20 Marzo 1992



, GPC®, **grifo®**, sono marchi registrati della ditta **grifo®**

Nessuna parte del presente manuale può essere riprodotta, trasmessa, trascritta, memorizzata in un archivio o tradotta in altre lingue, con qualunque forma o mezzo, sia esso elettronico, meccanico, magnetico ottico, chimico, manuale, senza il permesso scritto della **grifo®**.

IMPORTANTE

Tutte le informazioni contenute sul presente manuale sono state accuratamente verificate, ciononostante **grifo®** non si assume nessuna responsabilità per danni, diretti o indiretti, a cose e/o persone derivanti da errori, omissioni o dall'uso del presente manuale, del software o dell' hardware ad esso associato.

grifo® altresì si riserva il diritto di modificare il contenuto e la veste di questo manuale senza alcun preavviso, con l' intento di offrire un prodotto sempre migliore, senza che questo rappresenti un obbligo per **grifo®**.

Per le informazioni specifiche dei componenti utilizzati sui nostri prodotti, l'utente deve fare riferimento agli specifici Data Book delle case costruttrici o delle seconde sorgenti.

LEGENDA SIMBOLI

Nel presente manuale possono comparire i seguenti simboli:



Attenzione: Pericolo generico

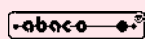


Attenzione: Pericolo di alta tensione



Attenzione: Dispositivo sensibile alle cariche elettrostatiche

MARCHI REGISTRATI



, GPC®, **grifo®** : sono marchi registrati della **grifo®**.

Altre marche o nomi di prodotti sono marchi registrati dei rispettivi proprietari.

INTRODUZIONE

L'uso di questi dispositivi è rivolto - **IN VIA ESCLUSIVA** - a personale specializzato.
Questo prodotto non è un **componente di sicurezza** così come definito dalla direttiva **98-37/CE**.



I pin della scheda non sono dotati di protezione contro le cariche elettrostatiche. Visto che esiste un collegamento diretto tra numerosi pin della scheda ed i rispettivi pin dei componenti di bordo e che quest'ultimi sono sensibili ai fenomeni ESD, il personale che maneggia la scheda è invitato a prendere tutte le precauzioni necessarie per evitare i possibili danni che potrebbero derivare dalle cariche elettrostatiche.

Scopo di questo manuale é la trasmissione delle informazioni necessarie all'uso competente e sicuro dei prodotti. Esse sono il frutto di un'elaborazione continua e sistematica di dati e prove tecniche registrate e validate dal Costruttore, in attuazione alle procedure interne di sicurezza e qualità dell'informazione.

I dati di seguito riportati sono destinati - **IN VIA ESCLUSIVA** - ad un utenza specializzata, in grado di interagire con i prodotti in condizioni di sicurezza per le persone, per la macchina e per l'ambiente, interpretando un'elementare diagnostica dei guasti e delle condizioni di funzionamento anomale e compiendo semplici operazioni di verifica funzionale, nel pieno rispetto delle norme di sicurezza e salute vigenti.

Le informazioni riguardanti installazione, montaggio, smontaggio, manutenzione, aggiustaggio, riparazione ed installazione di eventuali accessori, dispositivi ed attrezzature, sono destinate - e quindi eseguibili - sempre ed in via esclusiva da personale specializzato avvertito ed istruito, o direttamente dall'ASSISTENZA TECNICA AUTORIZZATA, nel pieno rispetto delle raccomandazioni trasmesse dal costruttore e delle norme di sicurezza e salute vigenti.

I dispositivi non possono essere utilizzati all'aperto. Si deve sempre provvedere ad inserire i moduli all'interno di un contenitore a norme di sicurezza che rispetti le vigenti normative. La protezione di questo contenitore non si deve limitare ai soli agenti atmosferici, bensì anche a quelli meccanici, elettrici, magnetici, ecc.

Per un corretto rapporto coi prodotti, é necessario garantire leggibilità e conservazione del manuale, anche per futuri riferimenti. In caso di deterioramento o più semplicemente per ragioni di approfondimento tecnico ed operativo, consultare direttamente l'Assistenza Tecnica autorizzata.

Al fine di non incontrare problemi nell'uso di tali dispositivi, é conveniente che l'utente - PRIMA DI COMINCIARE AD OPERARE - legga con attenzione tutte le informazioni contenute in questo manuale. In una seconda fase, per rintracciare più facilmente le informazioni necessarie, si può fare riferimento all'indice generale e all'indice analitico, posti rispettivamente all'inizio ed alla fine del manuale.

1. INTRODUZIONE

Questo manuale fornisce tutte le informazioni hardware e software per consentire all'utente il miglior utilizzo della scheda **AAS 12**.

2. CARATTERISTICHE GENERALI DELLA SCHEDA

La scheda **AAS 12 (Analog Acquisition System A/D 12 bit)** e' una potente periferica provvista di 1 linea di conversione analogica digitale.

Il formato della scheda e' quello unificato standard **EUROPA** da **100 X 160 mm**.

Le principali caratteristiche della scheda sono le seguenti:

- 1 linea di conversione da 12 bit;
- Ingresso differenziale in tensione o in corrente;
- Tempo di conversione pari a 3 ysec;
- 2 segnalazioni visive;
- Connessioni con il mondo esterno tramite connettori normalizzati del tipo A/D Abaco(R) e tramite connettori professionali di tipo UHF miniatura;
- Memoria locale per i risultati delle conversioni per una profondita' massima di 128 KByte;
- Circuiteria di trigger per sincronizzare le conversioni anche con un segnale esterno;

Il tutto puo' essere comodamente gestito da software, tramite l'interfaccia al **BUS ABACO(R)** di cui la scheda e' provvista.

Il sistema coincide con una macchina a stadi in cui la successione degli eventi e' gestita autonomamente dalla stessa scheda.

In questo modo la **AAS 12** e' in grado di catturare anche fenomeni molto veloci pur operando con linguaggi tipicamente comodi ma lenti, quali gli interpreti **BASIC**, senza dover scrivere delle apposite procedure in linguaggio macchina.

Infatti la scheda di **CPU** o **GPC** che la comanda si deve limitare a programmare la scheda con gli appositi parametri, che specificano il tipo di funzionamento, e a conversioni ultimate, andare a leggere i risultati di queste nella memoria locale della scheda.

La **AAS 12** puo' essere vista a tutti gli effetti come un oscilloscopio digitale storage con una memoria di **64K** conversioni ed una risoluzione verticale di **12** bit.

La programmabilita' delle funzioni quali la velocita' ed il numero delle conversioni e la sorgente del trigger la rendono un preciso e sofisticato strumento di indagine.

2.1. Sezione Analogica.

La scheda **AAS 12** e' dotata di una sofisticata sezione analogica a cui e' affidato il condizionamento del segnale d'ingresso e la sua conversione. In particolare questa sezione e' caratterizzata da:

- Amplificatore d'ingresso programmabile con rapporto di **x10; x100; x200; x500;**
- Selezione hardware del range di variazione della tensione d'ingresso che puo' essere settato in **+10/-10; 0/+10; 0/+5;**
- **Sample/Hold** sul segnale d'ingresso con tempo di sample di **1,5 ysec.;**
- **A/D Converter** da **12** bit con tempo di conversione di **3 ysec.** che sfrutta il principio delle approssimazioni successive (**SAR**);

2.2. Dispositivo di Clock.

La scheda **AAS 12** e' provvista di 1 segnale di clock su cui sono basate tutte le regolamentazioni temporali della macchina a stati della scheda.

La frequenza di lavoro della scheda e' ottenuta a partire da un oscillatore da **16** MHz che opportunamente diviso puo' fornire alla logica della scheda una frequenza di **4** o **2** Mhz a seconda della posizione di un apposito jumpers.

2.3. Sezione di Controllo.

Con sezione di controllo s'intende la circuiteria della **AAS 12** che regola automaticamente la successione dei vari stati della scheda.

Questa sezione e' completamente realizzata tramite logiche combinatorie programmabili (**PAL**) e, basandosi sui parametri di programmazione e sullo stato dei segnali d'interfaccia, provvede a generare tutti i segnali che governano l'operazione di conversione. Questa operazione e' del tutto indipendente dalla **CPU** di controllo che quindi, durante il tempo di conversione, puo' effettuare altre operazioni.

Questa sezione di controllo provvede direttamente a gestire tutti i componenti della sezione analogica, la sezione di salvataggio dati e la sezione d'interfaccia al **BUS Industriale Abaco(R)**.

In fase di programmazione della scheda devono essere impostati alcuni parametri che vengono gestiti direttamente da questa sezione:

- **Tempo di campionamento programmabile via software con incrementi di 250 nsec, da un minimo di 5ysec. fino ad un massimo di 16,384 msec.;**
- **Numero di conversioni programmabile da un minimo di 1 fino ad un massimo di 65535;**
- **Tipo di funzionamento della scheda (master o slave);**
- **Selezione del trigger da utilizzare;**

Tramite i primi due parametri si stabilisce indirettamente il tempo di acquisizione del segnale d'ingresso che variera' quindi da un minimo di **5 ysec** (pari ad una conversione con tempo di campionamento di **5 ysec**) ad un massimo di circa **17 minuti** (pari a **65535** conversioni con tempo di campionamento di **16,384 msec.**).

2.4. Sezione di Salvataggio Dati.

Fa parte della sezione di salvataggio dati un'apposita circuiteria in cui vengono memorizzati i risultati delle conversioni impostate.

Il numero massimo di conversioni memorizzabili puo' variare a seconda del tipo di configurazione della scheda fino ad un massimo di **65535**; tali dati vengono salvati direttamente dalla sezione di controllo e possono essere rilette dalla **CPU** anche per piu' volte.

2.5. Sezione di Interfaccia al BUS Industriale ABACO(R).

In questa sezione viene gestito il colloquio tra la sezione di controllo e la scheda di comando (**CPU** o **GPC**); in particolare tutti i dati di programmazione e tutti i risultati delle conversioni passano attraverso questa sezione, che inoltre provvede a:

- Gestire il mappaggio della scheda in I/O tramite comodi dip switch in modalita' estesa o normale;
- Gestire la generazione di interrupt su Bus;

2.6. Trigger.

La scheda **AAS 12** e' provvista di una circuiteria programmabile via software con cui si puo' selezionare il tipo di trigger.

Tra questi:

- **Trigger software interno:** e' generato dalla sezione di controllo in corrispondenza della programmazione software della stessa;
- **Trigger hardware interno:** e' generato dalla sezione analogica in corrispondenza della variazione del segnale d'ingresso in relazione ad un set tarabile tramite apposito trimmer;
- **Trigger hardware esterno:** deve essere generato da una circuiteria esterna;
- **Ogni tipo di trigger puo' inoltre essere programmato a livello di fronte di attivazione, ovvero si puo' stabilire se il trigger si attiva in corrispondenza del fronte di salita o di discesa.**
Da notare comunque che in ogni caso l'attivazione del trigger provoca l'inizio delle conversioni precedentemente programmate via software.

Piu' schede **AAS 12** possono essere collegate in parallelo: in questo modo si programma via software una delle schede come master e le rimanenti come slave.

Il trigger, di conseguenza, ha effetto solo sulla scheda master e tutte le rimanenti slave saranno automaticamente comandate da quest'ultima.

3. SPECIFICHE TECNICHE DELLA SCHEDA

3.1. Caratteristiche Generali.

Tipo di BUS ABACO(R)
N.ro di linee di I/O 1 Input analogico
1 Input di trigger esterno
1 Input di sincronismo esterno
N.ro Byte indirizzamento 256 in modalita' normale
8192 in modalita' estesa
N.ro Byte occupati 8
Memoria indirizzabile U9: RAM
da 32K x 8 fino a 128K x 8 Convertitore di bordo MAX 162
Tempo di conversione 3 ysec.
Numero di conversioni programmabile da 1 a 65535
Tempo di campionamento programmabile da 5 ys a
16,384 ms con steps di 250 ns
Range d'ingresso settabile in: -10/+10; 0/+10; 0/+5

3.2. Caratteristiche Fisiche.

Dimensioni Formato Singola EUROPA: 100 X 160 mm.
Peso 1 85 g
Connettori BUS 64 pin DIN 41612 Corpo C
CN2,CN3: 10 vie scatolino 90 gradi
CN1,CN4: UHF miniatura
Range di temperatura da 10 a 40 gradi Centigradi
Umidita' relativa 20% fino a 90% (senza condensa)

3.3. Caratteristiche Elettriche.

Tensione di alimentazione +5 Vdc
Corrente assorbita 900 mA

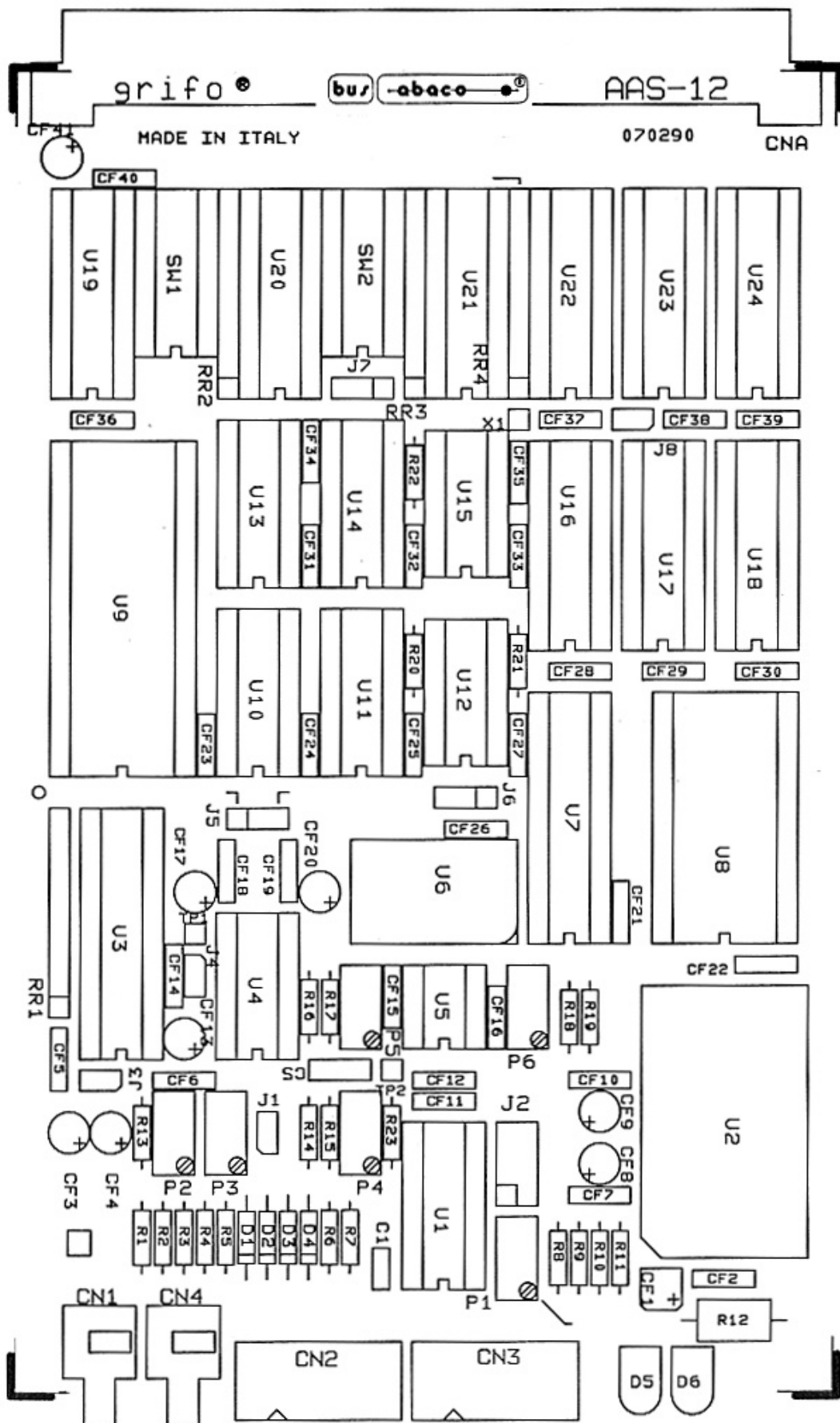


Fig. 3-1: Pianta Componenti

4. INSTALLAZIONE DELLA SCHEDA

4.1. Introduzione.

In questo capitolo sono illustrate tutte le operazioni da compiere per il corretto funzionamento della scheda.

A questo scopo viene riportata l'ubicazione e la funzione degli strip, dei connettori, dei led, dei trimmer e dei test point presenti sulla **AAS 12**.

4.2. Connessioni con il Mondo Esterno.

Viene di seguito riportato il pin out dei cinque connettori presenti sulla scheda **AAS 12**; per quanto riguarda la disposizione di tali connettori si faccia riferimento alla **fig. 4.2** di **pag. 10**.

4.2.1. CN1 - Connettore per Segnale Positivo

Il connettore **CN1** e' un connettore **UHF** miniatura a cui puo' essere collegato il segnale positivo dell'ingresso differenziale. Tale connettore e' da utilizzarsi al posto del **CN2** nel caso si operi in un ambiente rumoroso e su lunghe distanze.

Del connettore il contatto centrale e' collegato all'ingresso positivo, mentre la carcassa esterna e' collegata alla massa della scheda.

4.2.2. CN4 - Connettore per Segnale Negativo

Il connettore **CN4** e' un connettore **UHF** miniatura a cui puo' essere collegato il segnale negativo dell'ingresso differenziale.

Tale connettore e' da utilizzarsi al posto del **CN2** nel caso si operi in un ambiente rumoroso e su lunghe distanze.

Del connettore il contatto centrale e' collegato all'ingresso negativo, mentre la carcassa esterna e' collegata alla massa della scheda.

4.2.3. CNA - Connettore per BUS ABACO(R)

Il connettore **CNA** e' formato da un insieme di 64 pin con cui e' possibile effettuare il collegamento della scheda con il **BUS ABACO(R)**.

Nella tabella seguente e' rappresentato il Pin-Out del **BUS** e quindi anche del relativo connettore, con le variazioni per l' utilizzo di **CPU a 16 bit** rispetto a quelle a 8 bit.

A	A	A	pin	C	C	C
CPU 16 bit	CPU 8 bit	AAS 12		AAS 12	CPU 8 bit	CPU 16 bit
	GND	GND	1	GND	GND	
	+5V	+5V	2	+5V	+5V	
	D0	D0	3		*	D8
	D1	D1	4		*	D9
	D2	D2	5		*	D10
	D3	D3	6	/INT	/INT	
	D5	D5	8		/HALT	D11
	D6	D6	9		/MREQ	
	D7	D7	10	/IORQ	/IORQ	
	A0	A0	11	/RD	/RD	/RDLDS
	A1	A1	12	/WR	/WR	/WRLDS
	A2	A2	13		/BUSAK	D12
	A3	A3	14		/WAIT	
	A4	A4	15		/BUSRQ	D13
	A5	A5	16	/RESET	/RESET	
	A6	A6	17	/M1	/M1	/IACK
	A7	A7	18		/RFSH	D14
	A8	A8	19		/MEMDIS	
	A9	A9	20		VDUSEL	A22
	A10	A10	21		/IEI	D15
	A11	A11	22		*	Ris.
	A12	A12	23		CLK	
	A13	A13	24		*	/RDUDS
	A14	A14	25		*	/WRUDS
	A15	A15	26		*	A21
A16	*		27		*	A20
A17	*		28		*	A19
A18	*		29		R. T.	
	+12V		30		-12V	
	+5V	+5V	31	+5V	+5V	
	GND	GND	32	GND	GND	

Fig. 4-1: Connettore CNA - Pin out del BUS ABACO(R).

LEGENDA:

Viene di seguito riportata la corrispondenza tra i segnali descritti nella precedente tabella ed il loro significato.

CPU A 8 BIT

A0-A15= Address Bus - Bus degli indirizzi ;
D0-D7= Data Bus - Bus dei dati ;
INT= Interrupt request - Richiesta di interruzione ;
NMI= Non Mascherable Interrupt - Richiesta di interruzione non mascherabile;
HALT= Halt State - Stato di Halt ;
MREQ= Memory Request - Richiesta di memoria ;
IORQ= Input/Output Request - Richiesta di Input/Output ;
RD= Read Cycle Status - Richiesta di lettura ;
WR= Write Cycle Status - Richiesta di scrittura ;
BUSAK= BUS Aknowledge - Riconoscimento del Bus ;
WAIT= Wait - Attesa ;
BUSRQ= Bus Request - Richiesta del Bus ;
RESET= Azzeramento ;
M1= Machine Cycle One - Primo Ciclo Macchina ;
RFSH= Refresh - Rinfresco ;
MEMDIS= Memory Display - Viene emesso dal dispositivo periferico che si sta mappando nell' area di memoria ;
VDUSEL= VDU Selection - Abilita il dispositivo periferico ad ad essere mappato nell' area di memoria ;
IEI FIO 02,03= Abilitazione interrupt FIO 02 , 03 CLK= Clock di sistema
R.T.= Tasto di Reset

CPU A 16 BIT

A0-A21= Address Bus - Bus degli indirizzi
D0-D15= Data Bus - Bus dei Dati
RD UDS= Read Upper Data Strobe - Lettura del byte superiore bus dati ;
WR UDS= Write Upper Data Strobe - Scrittura del byte superiore bus dati ;
IACK= Interrrupt Acknowledge - Riconoscimento della richiesta di Interrupt da parte della CPU ;
RD LDS= Read Lower Data Strobe - Lettura del byte inferiore bus dati ;
WR LDS= Write Lower Data Strobe - Scrittura del byte inferiore bus dati ;

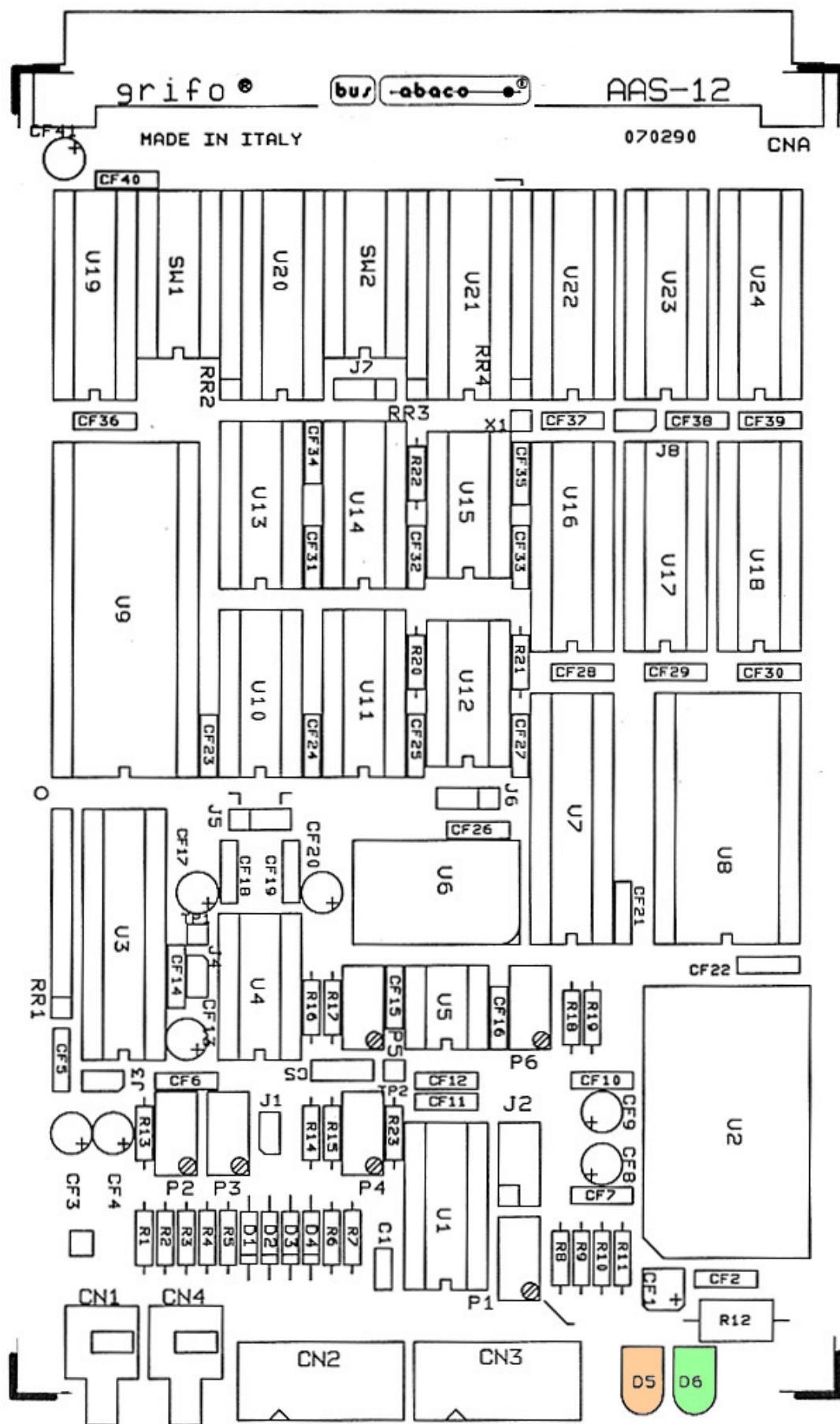


Fig. 4-2: Disposizione Connettori, LEDs, Dip Switch

4.2.4. CN2 - Connettore per Ingresso Analogico

Il connettore **CN2** e' composto da un insieme di **10** pin, con cui e' possibile collegare i **2** segnali dell'ingresso analogico differenziale alla sezione analogica della scheda.

Riportiamo di seguito la corrispondenza tra i pin del connettore ed i segnali collegatevi.

	+-----+	
AN_IN+...._	1 2	GND
AN_IN-...._	3 4	GND
NC....._	5 6	NC
NC....._	7 8	NC
NC....._	9 10	NC
	+-----+	

Fig. 4-3: Connettore CN2 - Ingresso Analogico

LEGENDA:

GND	=	- Segnale di massa della scheda.
AN_IN+= I	-	Segnale positivo dell'ingresso differenziale.
AN_IN-= I	-	Segnale negativo dell'ingresso differenziale.
NC	=	- Non Collegato.

4.2.5. CN3 - Connettore per Sincronismi e Trigger

Il connettore **CN3** e' composto da un insieme di **10** pin, con cui e' possibile collegare tutti i segnali di sincronismo, per il collegamento di piu' schede in parallelo, e di un eventuale trigger esterno.

Riportiamo di seguito la corrispondenza tra i pin del connettore ed i segnali collegatevi.

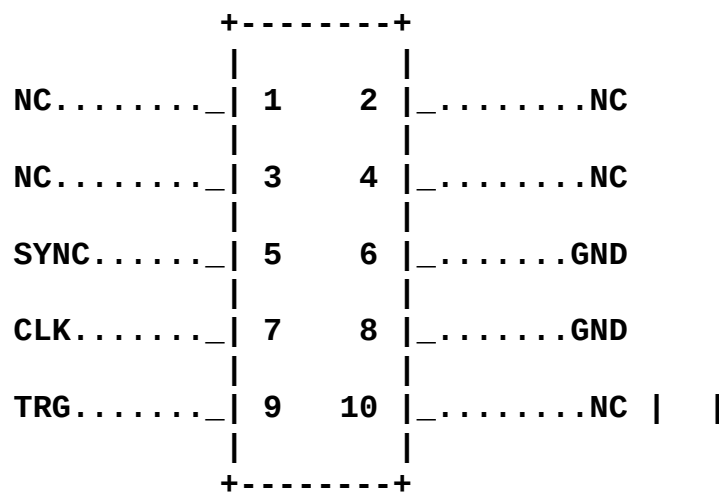


Fig. 4-4: Connettore CN3 - Sincronismi e trigger

LEGENDA:

GND = - Segnale di massa della scheda.
 SYNC = I/O - Segnale di sincronismo da scheda master.
 CLK = I/O - Segnale di sincronismo per schede slave.
 TRG = I - Segnale di trigger esterno.
 NC = - Non Collegato.

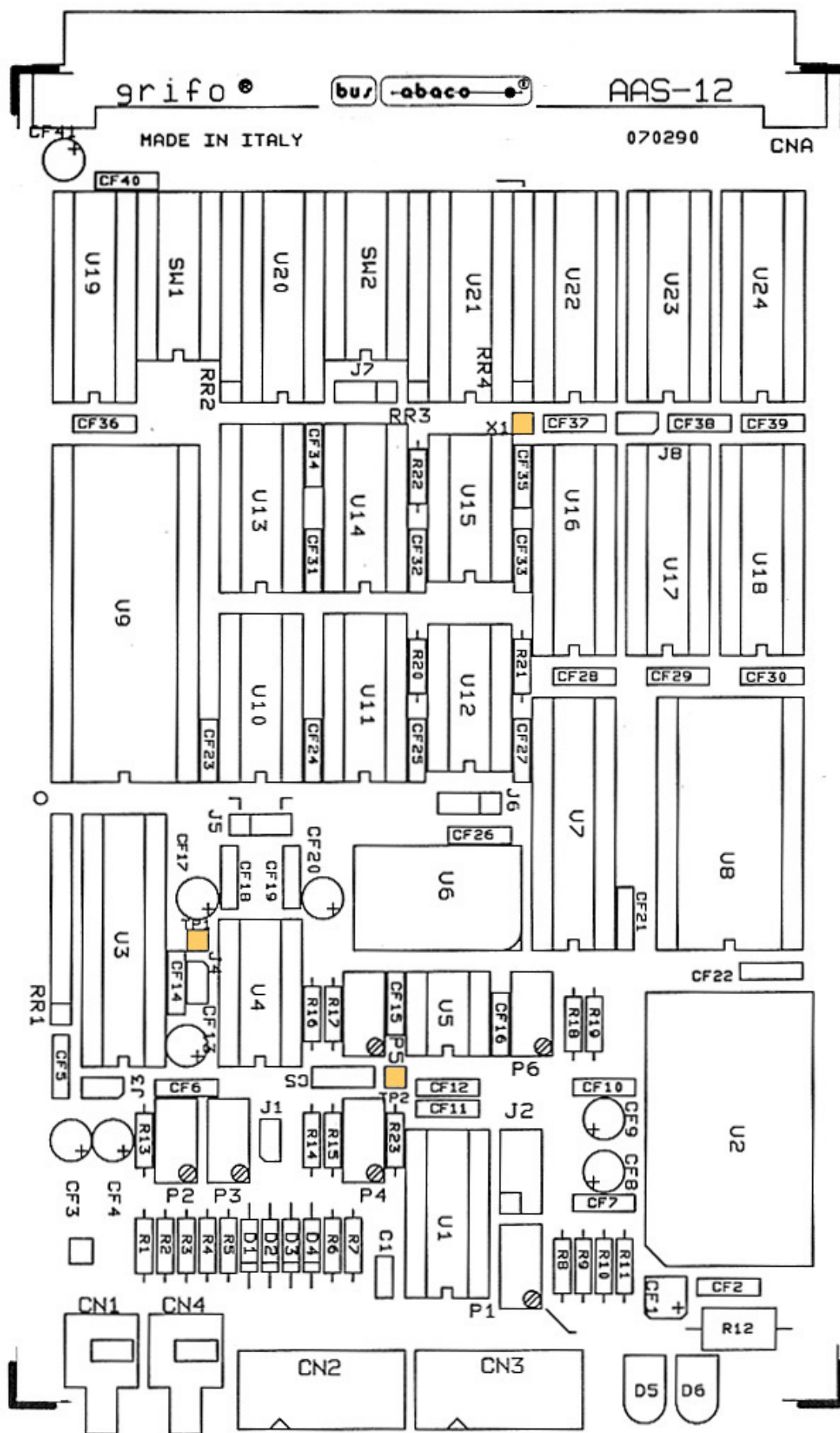


Fig. 4-5: Disposizione Test Point e Trimmer

4.3. Test Point.

Viene di seguito riportato il significato dei quattro **Test Point** presenti sulla scheda **AAS 12**; per quanto riguarda la disposizione di tali punti di misura si faccia riferimento alla **fig. 4.5** di pag. **12**.

AGND -> Il test point **AGND** e' collegato alla massa della scheda ed e' quindi da utilizzare come punto di riferimento per tutti gli strumenti di misura.

X1 -> Il test point **X1** e' collegato ad uno dei segnali ausiliari della sezione di controllo e serve per verificare la corretta successione di stati da parte di questa sezione.

TP1 -> Il test point **TP1** e' collegato al segnale analogico d'ingresso all'**A/D Converter MAX 162** della scheda.

TP2 -> Il test point **TP2** e' collegato al segnale analogico d'ingresso al **Sample & Hold SHC5320** della scheda.

La funzione principale dei test point e' quella di facilitare l'operazione di collaudo e taratura della scheda, quindi il loro uso da parte dell'utente e' abbastanza improbabile.

4.4. Segnalazioni Visive.

La scheda **AAS 12** segnala, tramite una serie di due **LED**, alcune particolari condizioni di stato:

D5 -> Di colore **Rosso** si accende durante la fase di conversione, ovvero da quando viene attivata la prima conversione, a quando viene completata l'ultima.

D6 -> Di colore **Verde** si accende in corrispondenza dell'attivazione del trigger hardware interno, ovvero quando il segnale d'ingresso ha superato il livello di trigger impostato con il trimmer **P6**.

Per quanto riguarda la disposizione di questi due led si faccia riferimento alla **fig. 4.2** di pag **10**.

4.5. Jumpers.

Esistono a bordo della **AAS 12 9** strip, di cui uno su un **Dip Switch**, con cui e' possibile effettuare alcune selezioni che riguardano il modo di funzionamento della scheda.

Di seguito ne e' riportato l'elenco, l'ubicazione e la loro funzione.

JUMPER	N.VIE	UTILIZZO
J1	2	Seleziona attenuazione del segnale analogico d'ingresso.
J2	8	Seleziona rapporto di amplificazione del segnale analogico d'ingresso.
J3	2	Seleziona tipo di funzionamento del S/H.
J4	2	Seleziona tipo di funzionamento del S/H.
J5	3	Seleziona dimensioni della RAM montabile su U9.
J6	3	Seleziona frequenza di lavoro della scheda.
J7	3	Seleziona tipo di indirizzamento della scheda.
J8	2	Collega segnale di interrupt al Bus ABACO(R)
SW2.1	2	Collega segnale di M1 dal Bus ABACO(R).

Table 4-1: Tabella riassuntiva jumpers

Il jumper **SW2.1** e' caratterizzato da una denominazione diversa da quella dei rimanenti jumpers in quanto e' l'unico strip incluso nel dip switch **SW2**.

Di seguito e' riportata la descrizione delle possibili connessioni dei **9** jumpers con la relativa funzione.

Per riconoscere tali connessioni sulla scheda si faccia riferimento alla serigrafia della stessa, dove viene sempre riportata l'indicazione del pin numero 1 da cui si ottiene la numerazione adottata nella seguente descrizione.

4.5.1. Jumpers a 2 vie

J	CONNESSIONE	UTILIZZO	DEF.
J1	connesso	Disattiva circuiteria di attenuazione del segnale analogico d'ingresso.	*
	non connesso	Attiva circuiteria di attenuazione del segnale analogico d'ingresso tramite il trimmer P3.	
J3	connesso	Collega segnale di riferimento del S/H alla tensione di riferimento dell'A/D (S/H con guadagno costante).	
	non connesso	Non collega segnale di riferimento del S/H alla tensione di riferimento dell'A/D.	*
J4	connesso	Collega segnale di riferimento del S/H al segnale in ingresso all'A/D converter (S/H con guadagno unitario).	*
	non connesso	Non collega segnale di riferimento del S/H al segnale in ingresso all'A/D converter.	
J8	connesso	Collega segnale di conversioni ultimate al segnale di /INT del BUS industriale Abaco(R).	
	non connesso	Non collega segnale di conversioni ultimate al segnale di /INT del Bus.	*
SW 2.1	connesso	Collega segnale di /M1 del Bus industriale Abaco(R) alla sezione di interfaccia al Bus.	
	non connesso	Non collega segnale di /M1 del Bus Abaco(R) alla sezione di interfaccia al Bus.	*

Table 4-2: Tabella jumpers a 2 vie

L' * contrassegna qual' e' la connessione di default, ovvero la connessione effettuata al momento del montaggio della stessa scheda.

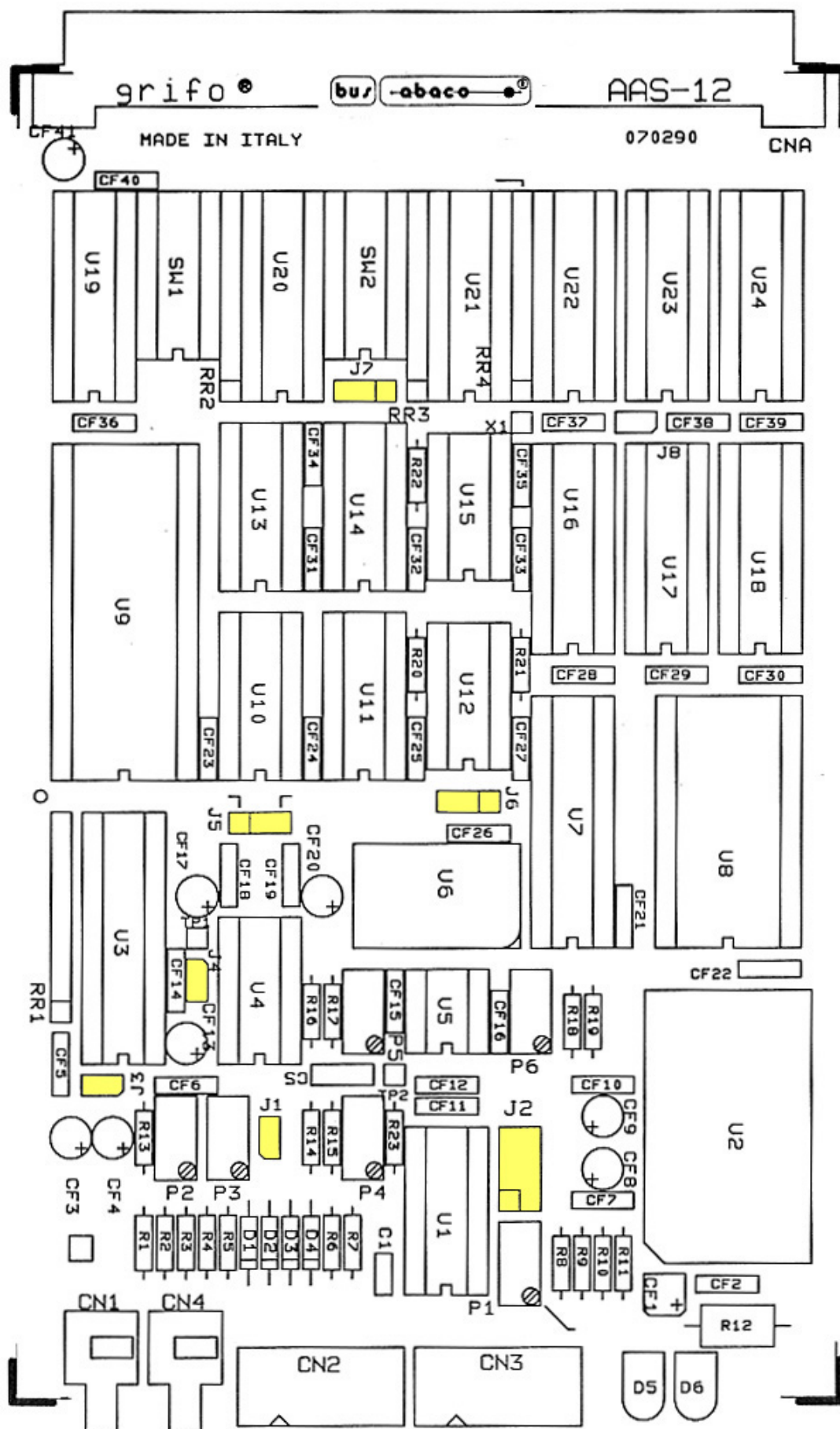


Fig. 4-6: Disposizione Jumpers

4.5.2. Jumpers a 3 vie

J_	POSIZIONE	UTILIZZO	DEF
J5	1-2	Seleziona dispositivi RAM da 8K x 8 sullo zoccolo di U9.	
	2-3	Seleziona dispositivi RAM da 32K x 8 o 128K x 8 sullo zoccolo di U9.	*
J6	1-2	Seleziona frequenza di lavoro della scheda pari ad 1/4 della frequenza dell'oscillatore di U6.	*
	2-3	Seleziona frequenza di lavoro della scheda pari ad 1/8 della frequenza dell'oscillatore.	
J7	1-2	Seleziona tipo di indirizzamento normale della scheda.	*
		Seleziona tipo di indirizzamento esteso della scheda.	

Table 4-3: Tabella Jumpers a 3 vie

4.5.3. Jumpers a 8 vie

J_	POSIZIONE	UTILIZZO	DEF.
J8	1-2	Seleziona rapporto di amplificazione x 10 sul segnale analogico d'ingresso	
	3-4	Seleziona rapporto di amplificazione x100 sul segnale analogico d'ingresso	
	5-6	Seleziona rapporto di amplificazione x200 sul segnale analogico d'ingresso	
	7-8	Seleziona rapporto di amplificazione x500 sul segnale analogico d'ingresso	
	nessuna	Seleziona rapporto di amplificazione x 1 sul segnale analogico d'ingresso	

Table 4-4: Tabella Jumpers a 8 vie

L' * contrassegna qual' e' la connessione di default, ovvero la connessione effettuata al momento del montaggio della stessa scheda.

4.6. Trimmer.

A bordo della scheda **AAS 12** sono presenti **6** trimmer con cui effettuare la taratura della sezione analogica della scheda e con cui impostare alcuni segnali di riferimento.

Tutti i trimmer che riguardano esclusivamente la taratura della scheda vengono già' forniti nella posizione ottimale di lavoro, quindi non devono essere variati dall'utenza se non per reali esigenze.

Viene di seguito riportata una breve descrizione dei trimmer in questione specificandone la loro funzione, mentre per quanto riguarda la loro disposizione fare riferimento alla **fig. 4.5** di **pag. 12**.

P1 -> Consente di variare un eventuale offset del segnale differenziale d'ingresso.

P2 -> Consente di variare un eventuale offset del segnale d'uscita dal **S/H** della scheda.

P3 -> Consente di variare il rapporto di attenuazione del segnale analogico d'ingresso al **S/H** della scheda, nel caso che il jumper **J1** sia sconnesso.

P4 -> Consente di variare un eventuale offset sul segnale analogico d'ingresso al **S/H**.

P5 -> Consente di variare il guadagno del **S/H** nel caso che i jumpers **J3** e **J4** non selezionano un guadagno unitario.

P6 -> Consente di variare il livello per il trigger hardware interno.

Il range di variazione di questo segnale può variare nel range **-10/+10 Vcc**, corrispondente al massimo range d'ingresso.

4.7. Note.

Vengono riportate di seguito una serie di indicazioni con cui si descrive in modo piu' dettagliato quali sono le operazioni da eseguire per effettuare il giusto collegamento ed il giusto strippaggio della scheda.

4.7.1. Ingresso in Corrente

Il segnale differenziale d'ingresso alla scheda **AAS 12** puo' essere sia in tensione che in corrente.

La selezione di quale tipo di ingresso utilizzare avviene come descritto di seguito:

ingresso in Tensione

La scheda viene normalmente fornita per un ingresso differenziale in tensione, sprovvista della resistenza **R2**.

Ingresso in Corrente

La predisposizione della scheda per un ingresso in corrente la si effettua montando sulla scheda la resistenza **R2** di un valore tale da garantire comunque che la tensione che si viene a formare ai suoi capi, rimanga all'interno del range della tensione differenziale d'ingresso selezionato.

Per semplificare questa operazione fare riferimento alla **fig.4.7**.

4.7.2. Selezione del Range d'Ingresso

La scheda **AAS 12** ha la possibilità di essere settata in tre diverse condizioni corrispondenti a tre diversi range della tensione differenziale d'ingresso. In particolare lo strippaggio della scheda è il seguente:

Range -10/+10 Vcc

J1 -> Connesso;
J3 -> Connesso;
J4 -> Non connesso;

Range 0/+10 Vcc

J1 -> Non connesso;
J3 -> Non connesso;
J4 -> Connesso;

Range 0/+5 Vcc

J1 -> Connesso;
J3 -> Non connesso;
J4 -> Connesso;

Nel caso di selezione di un rapporto di amplificazione sul segnale analogico d'ingresso > 1 , il range della tensione d'ingresso alla scheda **AAS 12** si riduce di un rapporto pari a quello di amplificazione.

4.7.3. Collegamento Parallelo di piu' Schede AAS 12

Nel caso sia necessario esaminare l'andamento di piu' segnali contemporaneamente in corrispondenza di un segnale master di riferimento, e' possibile collegare piu' schede **AAS 12** sul **BUS Industriale ABACO(R)** che svolgono questo compito. In particolare le operazioni da effettuare sono le seguenti:

- Mappare le n schede ad indirizzi diversi;
- Collegare i vari segnali da esaminare agli appositi connettori d' ingresso (**CN2** o **CN1+CN4**);
- Collegare assieme tutti i connettori **CN3** a **10** vie delle **N** schede da utilizzare;
- Programmare la scheda collegata al segnale analogico di riferimento come Master (si veda par. **6.1**) con i parametri di conversione desiderati;
- Programmare tutte le rimanenti schede come **Slave** (si veda par. **6.1**) con gli stessi parametri di conversione.

A questo punto in corrispondenza dell'attivazione del trigger sulla scheda master, vengono effettuate tutte le conversioni su tutte le schede.

5. MAPPAGGIO DELLA SCHEDA

5.1. Introduzione

La scheda **AAS 12** viene indirizzata in uno spazio fisico di **8** byte che possono essere allocati a partire da un indirizzo di base diverso a seconda di come viene mappata la scheda.

Questa prerogativa consente di poter montare piu' schede **AAS 12** sullo stesso **BUS ABACO(R)**, oppure di montare la scheda su di un Bus su cui sono gia' montate altre schede periferiche, ottenendo cosi' una struttura espandibile senza difficolta' e senza alcuna modifica del software gia' realizzato.

5.2. Indirizzamento della Scheda

L'indirizzo di mappaggio della scheda e' definibile tramite l'apposita circuiteria di interfaccia al **BUS** presente sulla stessa scheda; questa circuiteria utilizza due **Dip Switch** ad **8** vie da cui preleva l'indirizzo di mappaggio impostato dall'utente.

Di seguito viene riportata la corrispondenza dei **Dip Switch**, mentre per la selezione del tipo di indirizzamento si faccia riferimento al capitolo **4.5.2**.

Gli **8** byte occupati sono utilizzati sia in fase di output che di input, quindi saranno utilizzati sia per la programmazione della scheda che per la lettura del suo stato e la lettura delle combinazioni determinate dal convertitore.

SW1.1	->	Bit A8
SW1.2	->	Bit A9
SW1.3	->	Bit A10
SW1.4	->	Bit A11
SW1.5	->	Bit A12
SW1.6	->	Bit A13
SW1.7	->	Bit A14
SW1.8	->	Bit A15
SW2.1	->	/M1
SW2.2	->	N.C.
SW2.3	->	N.C.
SW2.4	->	Bit A3
SW2.5	->	Bit A4
SW2.6	->	Bit A5
SW2.7	->	Bit A6
SW2.8	->	Bit A7

N.B. Tali **Dip Switch** sono collegati con logica negata, quindi se posto in **ON** genera uno Zero logico, mentre se posto in **OFF** genera un **Uno** logico.

Se ad esempio si dovesse mappare la scheda **AAS 12** con indirizzamento normale, all'indirizzo di base **040H**, la scheda deve essere configurata come segue:

J7	->	Connessione 1-2.
SW1.n	->	Indifferente.
SW2.1	->	Dipende dal tipo di scheda CPU o GPC utilizzata
SW2.2	->	Indifferente.
SW2.3	->	Indifferente.
SW2.4	->	ON
SW2.5	->	ON
SW2.6	->	ON
SW2.7	->	OFF
SW2.8	->	ON

Se invece si dovesse mappare la scheda **AAS 12** con indirizzamento

esteso, all'indirizzo di base **0400H**, la scheda deve essere configurata come segue:

J7	->	Connessione 2-3.
SW1.1	->	ON
SW1.2	->	ON
SW1.3	->	OFF
SW1.4	->	ON
SW1.5	->	ON
SW1.6	->	ON
SW1.7	->	ON
SW1.8	->	ON
SW2.1	->	Dipende dal tipo di scheda CPU o GPC utilizzata
SW2.2	->	Indifferente.
SW2.3	->	Indifferente.
SW2.4	->	ON
SW2.5	->	ON
SW2.6	->	ON
SW2.7	->	ON
SW2.8	->	ON

Per quanto riguarda la disposizione dei due **Dip Switch**, si faccia riferimento alla fig. 4.2 di pag. 10.

5.3. Indirizzamento Registri Interni

Indicando con **<indbase>** il primo indirizzo degli 8 in cui e' allocata la scheda, ovvero l'indirizzo impostato tramite i dip switch come descritto nel paragrafo precedente, i registri interni della scheda sono visti agli indirizzi riportati nella seguente tabella:

INDIRIZZO	REGISTRO IN LETTURA	REGISTRO IN SCRITTURA
<indbase>+0	ADCNTR	
<indbase>+1	ADSTAT	
<indbase>+2	DATL	INDL
<indbase>+3	DATH	INDH
<indbase>+4	STIME	STIME
<indbase>+5	NCONV	NCONV
<indbase>+6	COUNT2	COUNT2
<indbase>+7		ADCOUNT

Table 5-1: Tabella di indirizzamento registri interni

N.B.

In fase di utilizzo di piu' schede sul **BUS ABACO(R)**, in fase di impostazione dell'indirizzo di mappaggio delle schede, fare attenzione a non allocare piu' schede agli stessi indirizzi (considerare indirizzo di allocazione e numero di byte occupati).

Nel caso questa condizione non venga rispettata si viene a creare una conflittualita' sul **BUS** che pregiudica il funzionamento di tutto il sistema e delle stesse schede.

6. GESTIONE SOFTWARE

In questo capitolo vengono riportate tutte le informazioni che riguardano l'utilizzo software della scheda **AAS 12**; in particolare viene riportata la descrizione di tutti i registri interni che sono stati descritti nel capitolo precedente e la sequenza di operazioni da effettuare per il giusto utilizzo della scheda.

II Registri interni, significato

6.1. Significato dei Registri Interni.

Come descritto nel paragrafo 5.3 la scheda **AAS 12** occupa 8 byte di indirizzamento in cui sono allocati 10 registri da utilizzare per la programmazione della scheda.

Tali registri hanno il seguente significato:

ADCNTR = ENA EEN M/S 1SH DEL INV TS1 TS0

dove:

ENA = Abilitazione generale della sezione di controllo:
se a 1 -> abilitato e viceversa;

EEN = Abilitazione esterna nel caso di programmazione come slave:
se a 1 -> abilitazione esterna e viceversa;

M/S = Selezione del funzionamento Master o Slave:
se a 1 -> Master e viceversa;

1SH = Selezione del funzionamento One Shot pari ad una sola conversione: se a 1 -> One Shot, viceversa normale;

DEL = Attivazione ritardo dell'inizio conversione rispetto all'attivazione del trigger: se a 1 -> ritardo e viceversa;

INV = Seleziona eventuale inversione del livello attivo del trigger: se a 1 -> Trigger invertito e viceversa;

TS1 TS0 = Seleziona il tipo di trigger:

0	0	-> Combinazione di start ciclo di conversione;
0	1	-> Trigger hardware esterno;
1	0	-> Trigger hardware interno;
1	1	-> Trigger software interno;

ADSTAT = RDY RUN TRG TST NC NC NC NC

dove:

RDY = Indica se e' terminata la sequenza di conversioni:
se a 1 -> conversioni ultimate e viceversa;
RUN = Indica se la scheda sta' eseguendo un ciclo di conversione:
se a 1 -> ciclo di conversione in corso e viceversa;
TRG = Indica se il trigger selezionato e' stato attivato:
se a 1 -> trigger attivato e viceversa;
TST = Segnale di controllo ausiliario portato sul test point X1: se
a 1 -> segnale attivo e viceversa;
NC = Bit privo di significato;

DATL e DATH = Corrispondono ai due byte che contengono la
combinazione a **12** bit determinata dalla conversione.

In particolare la combinazione complessiva a **12** bit e' costituita,
partendo dal bit meno significativo, dagli 8 bit di **DATL** piu' i 4
bit meno significativi di **DATH**.

INDL e INDH = Devono essere utilizzati per impostare l'indirizzo
RAM della sezione di salvataggio dati.

In pratica i due registri costituiscono l'indirizzo a **16** bit (di
cui **INDL** costituisce il byte meno significativo e **INDH** quello
piu' significativo) che puo' essere utilizzato per:

- Stabilire l'indirizzo da cui la sezione di controllo deve
iniziare la scrittura delle combinazioni dell'A/D;
- Stabilire l'indirizzo da cui prelevare i dati in memoria;

STIME = Tramite questo registro puo' essere impostato il **Sample
Time** delle conversioni da effettuare (scrittura) e verificare a
che punto di questo tempo si trova la sezione di controllo
(lettura).

Tale valore e' espresso in numero di periodi di clock (si veda
strippaggio del jumper J6) e puo' variare da un minimo di 15H ad
un massimo di **FFFFH**.

Da notare che anche se il registro e' unico (**8** bit) la scrittura/
lettura di dati a **16** bit avviene tramite una doppia **Scrittura/
Lettura** allo stesso registro; di queste due **Scritture/Lecture**, la

prima coincide con il byte meno significativo e la seconda con quello piu' significativo.

NCONV = Tramite questo registro puo' essere impostato il numero di conversioni da effettuare (scrittura) e verificare quante conversioni siano state effettuate in un certo istante (lettura).

Tale valore coincide esattamente con il numero di conversioni e puo' variare da un minimo di 01H ad un massimo di **FFFFH**.

Da notare che anche se il registro e' unico (8 bit) la **Scritture/Lecture** di dati a 16 bit avviene tramite una doppia **Scritture/Lecture** allo stesso registro; di queste due **Scritture/Lecture**, la prima coincide con il byte meno significativo e la seconda con quello piu' significativo.

COUNT2 = Tale registro e' relativo ad un contatore della sezione di controllo che al momento non viene pero' utilizzato per le operazioni di conversione. Dal punto di vista software non deve quindi essere utilizzato in nessun caso.

ADCOUNT = Con questo registro si effettua la programmazione della circuiteria di conteggio appartenente alla sezione di controllo.

Al fine di utilizzare correttamente questa sezione, si devono effettuare due scritture consecutive su questo registro; i dati da programmare sono rispettivamente: **34H** e **70H**.

6.2. Programmazione della Scheda.

In questo paragrafo vengono riportate tutte le informazioni necessarie al fine di poter programmare correttamente la scheda **AAS 12** in relazione al tipo di funzionamento desiderato. Di seguito e' riportato un elenco di operazioni che devono obbligatoriamente essere effettuate in sequenza:

- 1) Inizializzazione della circuiteria di conteggio scrivendo i due dati **34H** e **70H** nel registro **ADCOUNT**;
- 2) Programmazione del **Sample Time** mediante la scrittura del valore a 16 bit nel registro **STIME**;
- 3) Programmazione del numero di conversioni da effettuare mediante la scrittura del valore a 16 bit nel registro **NCONV**;
- 4) Programmare l'indirizzo iniziale di salvataggio delle

combinazioni determinate dall'**A/D Converter** mediante la scrittura dell'indirizzo a 16 bit nei due registri **INDL** e **INDH**;

5) Abilitare la sezione di controllo provvedendo a specificare solo il tipo di funzionamento **Master** o **Slave** ed il tipo di trigger corrispondente allo start del ciclo di conversione mediante una scrittura nel registro **ADCNTR**;

6) Abilitare la sezione di controllo nella maniera utilizzata al punto 5 provvedendo a definire anche tutti gli altri parametri come tipo di trigger da utilizzare, il suo livello attivo, ecc., mediante una scrittura nel registro **ADCNTR**;

7) Attendere la fine della sequenza di conversioni mediante il test del registro di stato **ADSTAT**;

8) Disabilitare la sezione di controllo in modo da garantire la stabilità dei dati durante la loro lettura, mediante una scrittura nel registro **ADCNTR**;

9) Programmare l'indirizzo iniziale di lettura dei dati allo stesso valore programmato al punto 4, sempre mediante una scrittura dell'indirizzo a 16 bit nei registri **INDL** e **INDH**;

10) Leggere un numero di combinazioni desiderate, dove il numero di tali combinazioni deve essere $\leq$ al numero di conversioni impostate al punto 3. La lettura di tali combinazioni avviene tramite letture successive dei due registri **DATL** e **DATH**, quindi alla prima lettura di questi registri si ottiene la prima combinazione, alla seconda lettura si ottiene la seconda combinazione, ecc (autoincremento dell'indirizzo di lettura);

Tali operazioni sono state illustrate facendo riferimento alla descrizione dei registri interni della scheda, quindi per completezza si faccia riferimento ai **par. 5.3 e 6.1**.

7. SCHEDE ESTERNE A CUI COLLEGARE LA AAS 12.

La scheda **AAS 12** ha la possibilita' di accettare come processori la maggior parte di quelli presenti sul **BUS ABACO(R)** aumentando, cosi', la sua gia' notevole versatilita'.

A titolo di esempio ne riportiamo un breve elenco:

GPC 535 (General Purpose Controller 80535)

Basata sul potente 80535 Siemens comprende, 16 linee di I/O, 3 linee di acquisizione Encoder bidirezionali a 16 bit, 32K RAM tamponati con batteria al Litio, Real Time Clock, 8 linee di A/D converter da 8 o 10 bit, linea di comunicazione in RS 232 o RS 422-485, Buzzer, unica tensione di alimentazione.

GPC 65 (General Purpose Controller 6501AQ)

La compatibilita' software del 6501AQ Rockwell con il noto 6502, consente l' utilizzo immediato di quanto gia' sviluppato. 32K RAM tamponati con batteria al Litio, 4 linee di A/D converter da 10 bit, Key Display Controller, linea RS 422 o 423, unica tensione di alimentazione.

GPC 97 (General Purpose Controller 8097)

Potente controllore a 16 bit basato sullo 8097 Intel con una linea RS 232 ed una in TTL, 32 linee di I/O, 8 linee di A/D converter da 10 bit, Real Time Clock, 16K RAM con batteria al Litio, unica tensione di alimentazione, comodo sviluppo su personal, ecc.

CPU 01 (Central Processor Unit Z80)

CPU Zilog Z80 B da 6 MHz con 64K RAM dinamica ed uno zoccolo per ospitare un massimo di 32K Bytes di EPROM. Interfaccia al Bus ABACO(R) con una ampia dotazione di Firmware e Software. Disponibilita' di sistemi operativi tipo CP/M, ZCPR3, SCDOS, ecc.

CPU 03 (Central Processor Unit Z80)

CPU Z80 H da 8MHz con due linee seriali in RS 232 C con Baud Rate settabile da software tra 50 e 38K Baud. Una delle linee e' settabile in RS 485 od in RS 422. Zoccoli per un massimo di 448K Bytes di RAM-EPROM di cui 192K RAM e 256K EPROM. Disponibile CP/M.

GPC 02 (General Purpose Controller)

Scheda in grado di supportare la famiglia 51 Intel compreso il tipo mascherato Basic. 16 linee di I/O, 3 Counter, linea RS 232, 4 linee di A/D converter da 10 bit, Buzzer, EPROM programmer su scheda, 32K RAM con Back Up al Litio, Key Display Controller, ecc.

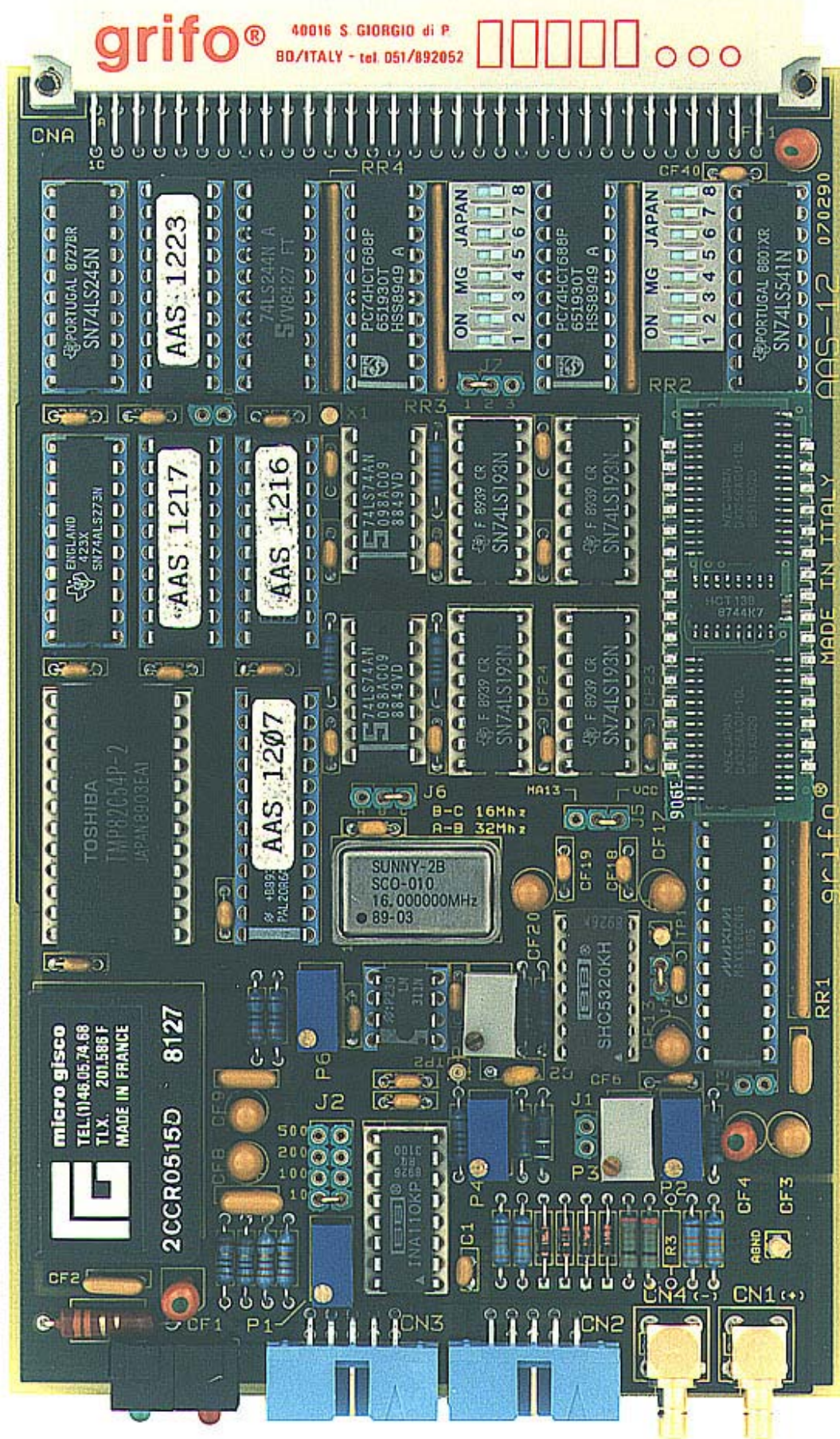


Fig. 7-1: Foto Scheda AAS 12.

GPC F2 (General Purpose Controller Fam. 8052)

Scheda in grado di supportare la famiglia 51 Intel compreso il tipo mascherato Basic. 16 linee di I/O gestite da 8255, 2 linee RS 232, Buzzer, EPROM programmer, 32K RAM su 64K indirizzabili, Real Time Clock con batteria al Litio, 2 Timer Counter tipo 8253.

GPC 51 (General Purpose Controller Fam. 8051)

Scheda in grado di supportare la famiglia 51 Intel compreso il tipo mascherato Basic. 16 linee di I/O, 3 Counter, linea RS 232, 4 linee di A/D converter da 10 bit, Buzzer, EPROM programmer su scheda, 32K RAM con Back Up al Litio, Orologio, Key Display Controller.

GPC 68 (General Purpose Controller Fam. 68000)

Due linee RS 232 con Baud Rate settabile da software fino a 38 KBaud piu' una linea RS 485 o RS 422, 3 port paralleli a 8 bit e tre timer gestiti dal 68230, CPU costituita dal 68000 ad 8 MHz, 768 KByte di RAM-EPROM, Watch Dog hardware disinseribile, vari supporti software.

GPC 80 (General Purpose Controller 84C00)

Potente controllore o SBC basato sullo Z80. Unica tensione di alimentazione con componenti CMOS. Gestisce le FIO e dispone di implementazioni di CP/M, SCDOS, ZCPR3 ecc. 256 K EPROM, 256 K RAM tamponata con batteria al Litio; Real Time Clock; 2 linee seriali; 16 linee di I/O TTL; 4 counter.

GPC 451 (General Purpose Controller 80C451)

Scheda in grado di supportare 80C451 compresa la versione con EPROM. Codice compatibile 8031. 32 linee di I/O TTL; Real Time Clock; 96K a bordo di cui 32K RAM con batteria al Litio. Linea in RS 232 o 422-485. BASIC, FORTH, MONITOR in ROM, PASCAL, C, ecc.

GPC 552 (General Purpose Controller 80C552)

Potente controllore con 96K a bordo di cui 32K RAM con batteria al Litio; Real Time Clock; 8 linee di A/D converter da 10 bit; Watchdog; I²C BUS; Linea in RS 232 o 422; 4 capture Timer; 3 counter; 2 PWM; I/O TTL; BASIC, FORTH, MONITOR, C, PASCAL ecc. in ROM o su PC.

GPC 188 (General Purpose Controller 80C188)

Controllore basato sull'80C188 Intel fino a 12.5 Mhz; 256K Eprom e 256K Ram con batteria al Litio e protezione in scrittura; Real Time Clock; 4 linee di A/D converter a 13 bit; Watchdog; 2 linee seriali in RS 232, una delle quali puo' essere settata in RS 422485; 24 linee di I/O a livello TTL; vasta disponibilita' di software tra cui MONITOR DEBUGGER, compilatore PASCAL, ecc.

MRR 16 (Multiplexers Reed Relay a 16 linee)

Scheda periferica di multiplexaggio linee analogiche tramite Reed Relè; 16 linee di multiplexing doppie (per segnali in corrente o differenziali); visualizzazione del canale prescelto; gestione software semplificata; connettori standardizzati per il collegamento con le schede di A/D.

MSS 16 (Multiplexers Solid State a 16 linee)

Scheda periferica di multiplexaggio linee analogiche tramite commutatori statici; 16 linee di multiplexing doppie (per segnali in corrente o differenziali); visualizzazione del canale prescelto; gestione software semplificata; connettori standardizzati per il collegamento con le schede di A/D.

RCV 420 (Receiver Current to Voltage 4-20 mA.)

Scheda periferica provvista di 10 linee di multiplexing doppie (per segnali in corrente) e di sezione di interfaccia segnali in corrente 4-20 mA. con segnali in tensione 0-5V.; separazione galvanica tra la sezione ricevente e quella di trasformazione; connettori standardizzati per il collegamento con le linee di A/D.

A. DISPOSIZIONE JUMPERS

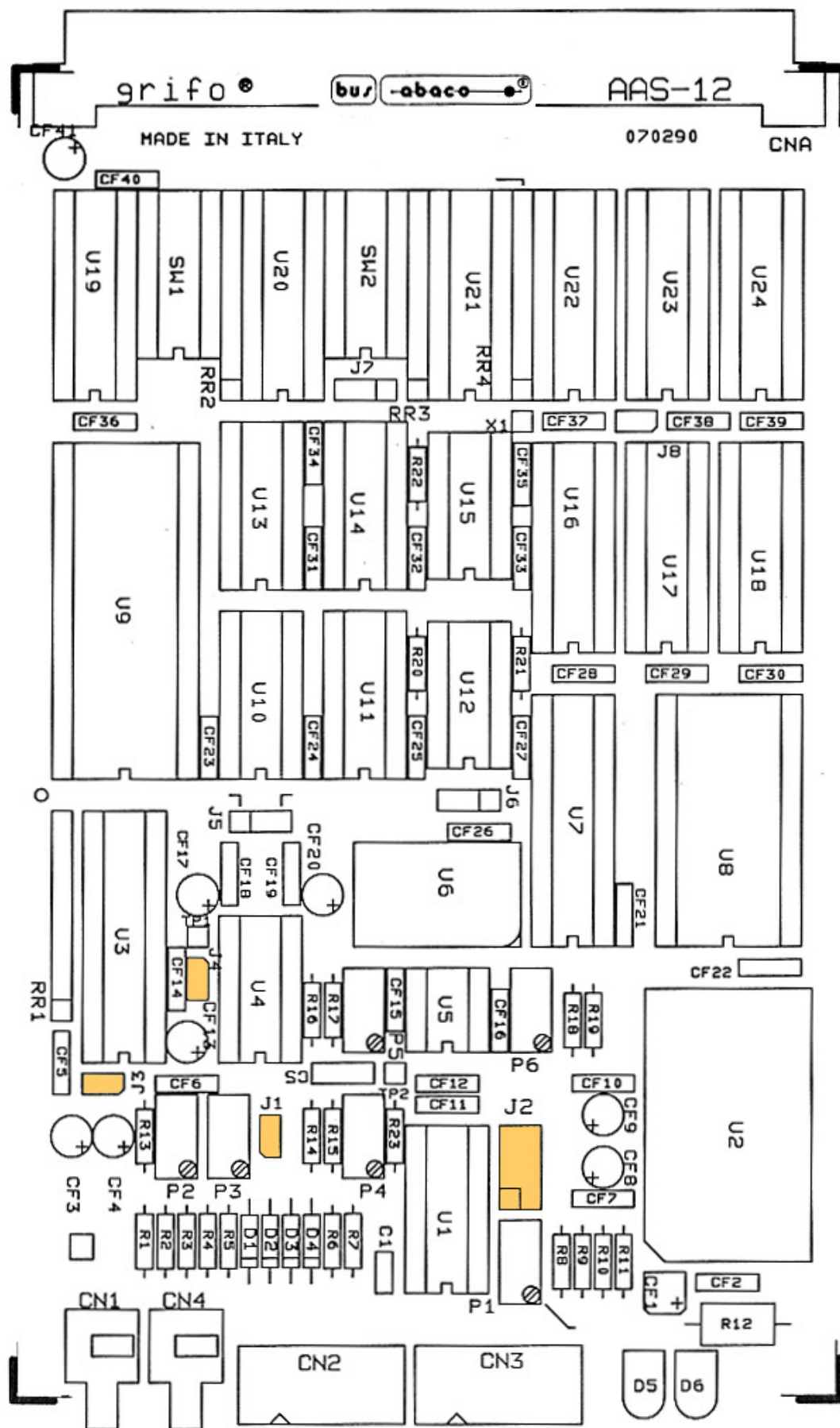


Fig. A-1: Disposizione Jumpers per Sezione Analogica

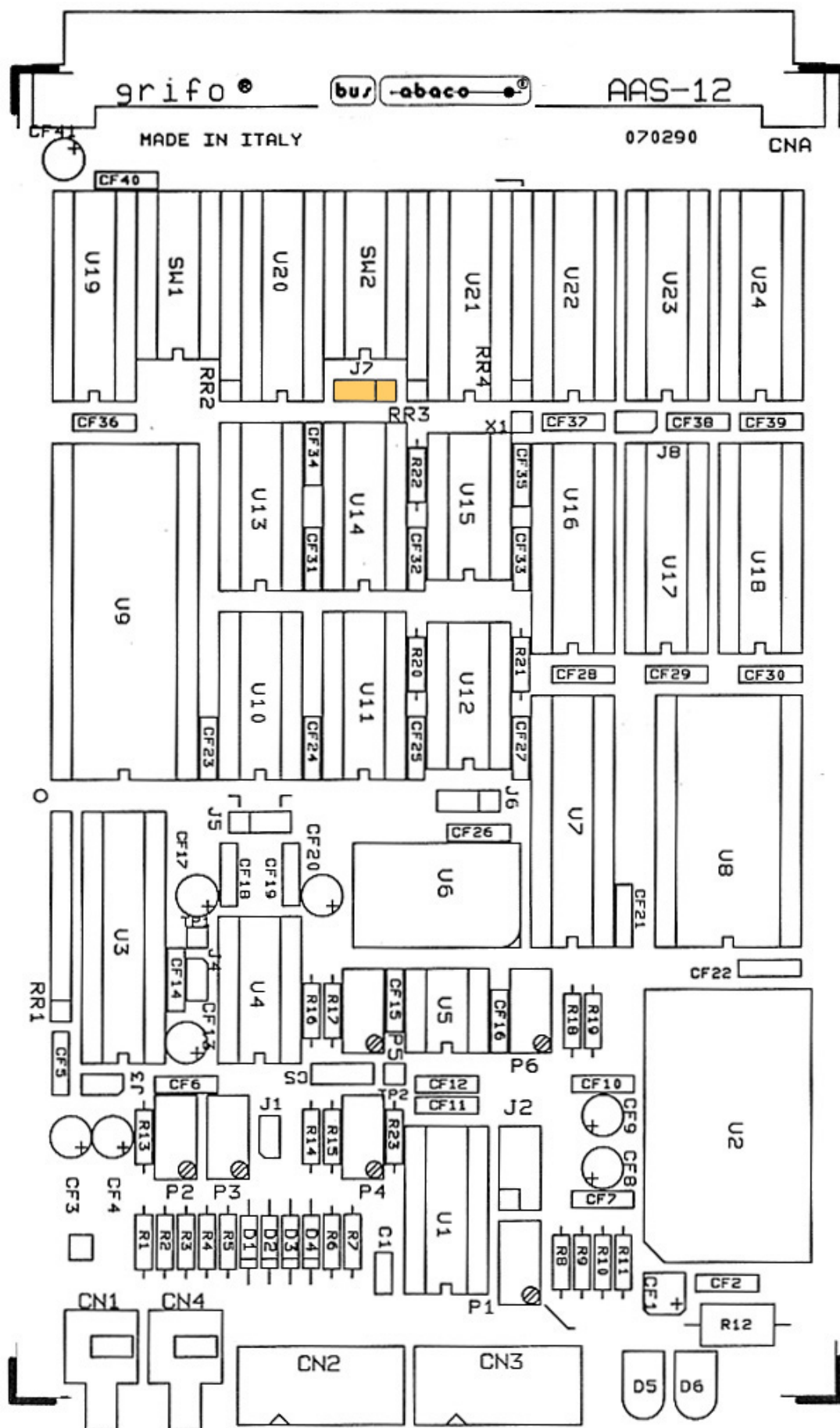
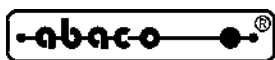


Fig. A-2: Disposizione Jumpers per Indirizzamento



grifo®

ITALIAN TECHNOLOGY



APPENDICE B: DESCRIZIONE COMPONENTI DI BORDO

19-0895; Rev 1; 3/91

MAXIM**Complete High-Speed CMOS 12-Bit ADC****General Description**

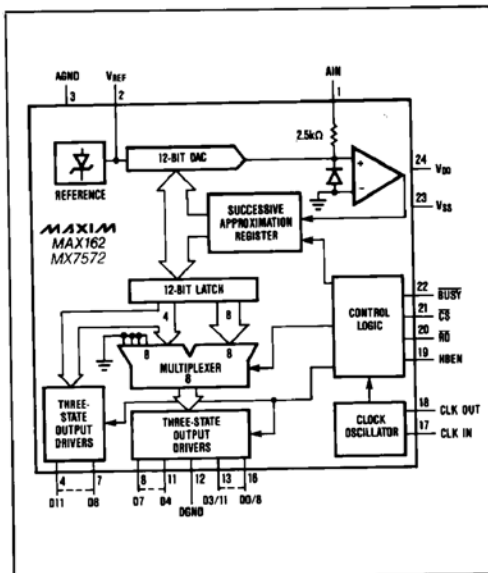
The MAX162 and MX7572 are complete 12-Bit analog-to-digital converters (ADC's) that combine high speed, low power consumption, and an on-chip voltage reference. The conversion times are 3 μ s (MAX162) and 5 and 12 μ s (MX7572). The buried zener reference provides low drift and low noise performance.

External component requirements are limited to only decoupling capacitors for the power supply and reference voltages. On-chip clock circuitry is also included which can either be driven from an external source, or in stand-alone applications, can be used with a crystal.

The MAX162/MX7572 uses a standard microprocessor interface architecture. Three-state data outputs are controlled by Read (RD) and Chip Select (CS) inputs. Data access and bus release times of 90 and 75ns respectively ensure compatibility with most popular microprocessors without resorting to wait states.

Applications

Digital Signal Processing (DSP)
High Accuracy Process Control
High Speed Data Acquisition
Electro-Mechanical Systems

Functional Diagram**Features**

- ◆ 12-Bit Resolution and Linearity
- ◆ 3 μ s (MAX162), 5 μ s and 12 μ s (MX7572) Conversion Times
- ◆ No missing Codes
- ◆ On-Chip Voltage Reference
- ◆ 90ns Access Time
- ◆ 215mW Max Power Consumption
- ◆ 24-Lead Narrow DIP Package

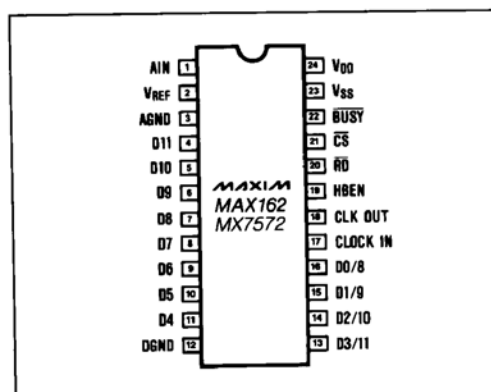
Ordering Information

PART	TEMP. RANGE	PACKAGE*	ERROR (LSB)
3μs CONVERSION TIME			
MAX162ACNG	0°C to +70°C	Plastic DIP	$\pm 1/2$
MAX162BCNG	0°C to +70°C	Plastic DIP	± 1
MAX162CCNG	0°C to +70°C	Plastic DIP	± 1
MAX162ACWG	0°C to +70°C	Wide SO	$\pm 1/2$
MAX162BCWG	0°C to +70°C	Wide SO	± 1
MAX162CCWG	0°C to +70°C	Wide SO	± 1
MAX162CC/D	0°C to +70°C	Dice**	± 1
MAX162AING	-40°C to +85°C	Plastic DIP	$\pm 1/2$
MAX162BING	-40°C to +85°C	Plastic DIP	± 1
MAX162CING	-40°C to +85°C	Plastic DIP	± 1
MAX162AMRG	-55°C to +125°C	CERDIP	$\pm 1/2$
MAX162BMRG	-55°C to +125°C	CERDIP	± 1
MAX162CMRG	-55°C to +125°C	CERDIP	± 1

Ordering Information continued at end of data sheet.

*All devices—24 lead packages

** Consult factory for dice specifications.

Pin Configuration**MAXIM**

Maxim Integrated Products 1

For free samples & the latest literature: <http://www.maxim-lc.com>, or phone 1-800-998-8800.
For small orders, phone 1-800-835-8769.

Complete High-Speed CMOS 12-Bit ADC

ABSOLUTE MAXIMUM RATINGS

V_{DD} to DGND	-0.3V to +7V
V_{SS} to DGND	+0.3V to -17V
AGND to DGND	-0.3V, $V_{DD} + 0.3V$
AIN to AGND	-15V to +15V
Digital Input Voltage to DGND	-0.3V, $V_{DD} + 0.3V$ (Pins 17, 19-21)
Digital Output Voltage to DGND	-0.3V, $V_{DD} + 0.3V$ (pins 4-11, 13-16, 18, 22)

Operating Temperature Ranges	
MAX162XC, MX7572JN, KN, LN, JCWG, KCWG, LCWG	0°C to +70°C
MAX162XI, MX7572AQ, BQ, CQ	-25°C to +85°C
MAX162XM, MX7572SQ, TQ, UQ	-55°C to +125°C
Storage Temperature Range	-65°C to +160°C
Power Dissipation (any Package) to +75°C	1000mW
Derates Above +75°C by	10mW/°C
Lead Temperature (Soldering 10 seconds)	+300°C

Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions above those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum ratings conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

($V_{DD} = +5V \pm 5\%$, $V_{SS} = -15V \pm 5\%$; Slow Memory Mode; $T_A = T_{MIN}$ to T_{MAX} unless otherwise noted.
 $f_{CLK} = 4MHz$ for MAX162, 2.5MHz for MX7572XX05 and 1MHz for MX7572XX12)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ACCURACY						
Resolution			12			Bits
Integral Non-Linearity	INL	MAX162A, MX7572L/C/U	$T_A = 25^\circ C$		$\pm 1/2$	LSB
		MAX162AC, AI, MX7572L/C			$\pm 1/2$	
		MAX162AM, MX7572U			$\pm 3/4$	
		MAX162B/C, MX7572K/B/T/J/A/S			± 1	
Differential Non-Linearity	DNL	Guaranteed Monotonic Over Temp.			± 1	LSB
Offset Error (Note 1)		MAX162C, MX7572J/A/S	$T_A = 25^\circ C$ $T_A = T_{MIN}$ to T_{MAX}		± 4 ± 6	LSB
		MAX162B, MX7572K/B/T	$T_A = 25^\circ C$ $T_A = T_{MIN}$ to T_{MAX}		± 3 ± 5	
		MAX162A, MX7572L/C/U	$T_A = 25^\circ C$ $T_A = T_{MIN}$ to T_{MAX}		± 3 ± 4	
Full Scale Error (Note 2)		MAX162C, MX7572J/A/S	$T_A = 25^\circ C$		± 15	LSB
		MAX162B, MX7572K/B/T	$T_A = 25^\circ C$		± 10	
		MAX162A, MX7572L/C/U	$T_A = 25^\circ C$		± 10	
Full Scale Tempco (Notes 3, 4)		MAX162C, MX7572J/A/S MAX162B/A, MX7572K/B/T, MX7572L/C/U			± 45 ± 25	ppm/°C
ANALOG INPUT						
Input Voltage Range		For Bipolar Input see Figures 19-21	0		5	V
Input Current		AIN = 0V to +5V			3.5	mA
INTERNAL REFERENCE						
VREF Output Voltage		$T_A = 25^\circ C$	-5.2	-5.25	-5.3	V
VREF Output Tempco (Note 5)		MAX162C, MX7572J/A/S MAX162B/A, MX7572K/B/T, MX7572L/C/U		40 20		ppm/°C
Output Current Sink Capability		(Note 6)			500	μA

Complete High-Speed CMOS 12-Bit ADC

ELECTRICAL CHARACTERISTICS (Continued)

(V_{DD} = +5V ±5%, V_{SS} = -15V ±5%; Slow Memory Mode; T_A = T_{MIN} to T_{MAX} unless otherwise noted.
f_{CLK} = 4MHz for MAX162, 2.5MHz for MX7572XX05 and 1MHz for MX7572XX12)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLY REJECTION						
V _{DD} Only		FS Change, V _{SS} = -15V, V _{DD} = 4.75 to 5.25V		±1/2		LSB
V _{SS} Only		FS Change, V _{DD} = 5V MAX162/MX7572 MAX162		±1/8 ±1/8		LSB LSB
LOGIC INPUTS						
Input Low Voltage	V _{IL}	$\overline{CS}$, $\overline{RD}$, HBEN, CLKIN			0.8	V
Input High Voltage	V _{IH}	$\overline{CS}$, $\overline{RD}$, HBEN, CLKIN	2.4			V
Input Capacitance (Note 7)	C _{IN}	$\overline{CS}$, $\overline{RD}$, HBEN, CLKIN			10	pF
Input Current	I _{IN}	$\overline{CS}$, $\overline{RD}$, HBEN, CLKIN VIN = 0 to V _{DD}			±10 ±20	μA
LOGIC OUTPUTS						
Output Low Voltage	V _{OL}	D11-D0/8, $\overline{BUSY}$, CLKOUT I _{SINK} = 1.6mA			0.4	V
Output High Voltage	V _{OH}	D11-D0/8, $\overline{BUSY}$, CLKOUT I _{SOURCE} = 200μA	4			V
Floating State Leakage Current	I _{LKG}	D11-D0/8, V _{OUT} = 0V to V _{DD}			±10	μA
Floating State Output Capacitance (Note 7)	C _{OUT}				15	pF
CONVERSION TIME						
MAX162	t _{CONV}	f _{CLK} = 4MHz Synchronous (13 clock cycles) Asynchronous (12 to 13 clock cycles)	3		3.25	μs
MX7572XX05	t _{CONV}	f _{CLK} = 2.5MHz Synchronous (12.5 clock cycles) Asynchronous (12 to 13 clock cycles)	4.8		5 5.2	μs
MX7572XX12	t _{CONV}	f _{CLK} = 1MHz Synchronous (12.5 clock cycles) Asynchronous (12 to 13 clock cycles)	12		12.5 13	μs
POWER REQUIREMENTS						
V _{DD}		±5% for Specified Performance	4.75	5	5.25	V
V _{SS} (Note 8)		±5% MAX162 ±5% MX7572		-12 or -15 -15		V
I _{DD}		$\overline{CS}$ = $\overline{RD}$ = V _{DD} , AIN = 5V		5	7	mA
I _{SS}		$\overline{CS}$ = $\overline{RD}$ = V _{DD} , AIN = 5V		8	12	mA
Power Dissipation		V _{DD} = +5V, V _{SS} = -15V		145	215	mW

Note 1: Typical change over temp is ±1LSB

Note 2: V_{DD} = +5V, V_{SS} = -15V, FS = +5.000V, Ideal last code transition = FS - 3/2LSB

Note 3: Full Scale TC = ΔFS/ΔT, where ΔFS is full scale change from T_A = 25°C to T_{MIN} or T_{MAX}.

Note 4: Includes internal reference drift.

Note 5: V_{REF} TC = ΔV_{REF}/ΔT, where ΔV_{REF} is reference voltage change from T_A = 25°C to T_{MIN} or T_{MAX}.

Note 6: Output current should not change during conversion.

Note 7: Guaranteed by design, not subject to test.

Note 8: V_{SS} = -12V ±5% for the MAX162 only. Functional operation is guaranteed by testing offset error and full scale error.

MAX162/MX7572



Complete High-Speed CMOS 12-Bit ADC

MAX162/MX7572

TIMING CHARACTERISTICS (Note 9)

 ($V_{DD} = +5V$, $V_{SS} = -15V$; $T_A = T_{MIN}$ to T_{MAX} unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	$T_A = 25^\circ C$			MAX162C1 MX7572J/K/L MX7572A/B/C		MAX162M MX7572S/T/U		UNITS
			MIN	TYP	MAX	MIN	MAX	MIN	MAX	
CS to RD Setup Time	t_1		0			0		0		ns
RD to BUSY Delay	t_2	$C_L = 50pF$		90	190		230		270	ns
Data Access Time (Note 10)	t_3	$C_L = 20pF$ $C_L = 100pF$		60 70	90 125		110 150		120 170	ns
RD Pulse Width	t_4		t_3			t_3		t_3		
CS to RD Hold Time	t_5		0			0		0		ns
Data Setup Time After BUSY Note (10)	t_6			70			90		100	ns
Bus Relinquish Time (Note 11)	t_7		20	75		20	85	20	90	ns
HBEN to RD Setup Time	t_8		0			0		0		ns
HBEN to RD Hold Time	t_9		0			0		0		ns
Delay Between Read Operations	t_{10}		200			200		200		ns

Note 9: Timing specifications are sample tested at $25^\circ C$ to ensure compliance. All input control signals are specified with $t_r = t_f = 5ns$ (10% to 90% of +5V) and timed from a voltage level of +1.6V.

Note 10: t_3 and t_6 are measured with the load circuits of Figure 1 and defined as the time required for an output to cross 0.8V or 2.4V.

Note 11: t_7 is defined as the time required for the data lines to change 0.5V when loaded with the circuits of Figure 2.

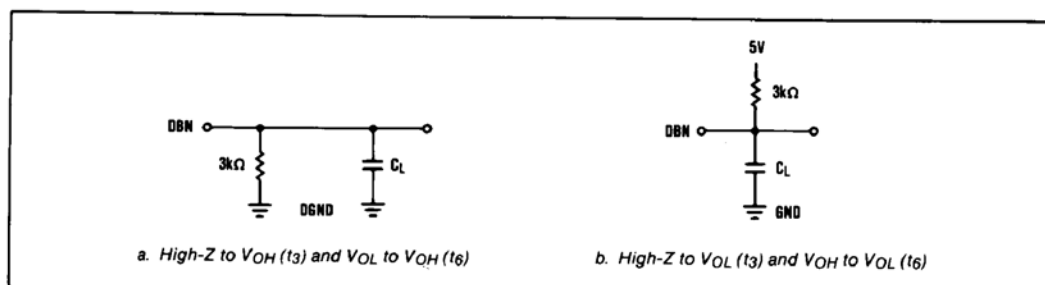


Figure 1. Load Circuits for Access Time

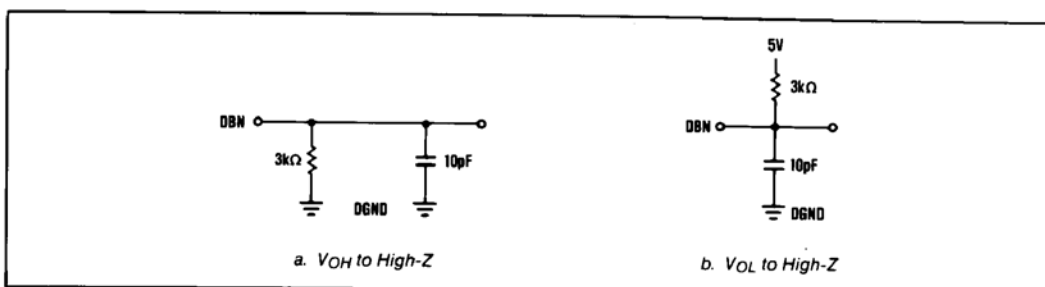


Figure 2. Load Circuits for Output Float Delay

Complete High-Speed CMOS 12-Bit ADC

Pin Description

PIN	NAME	FUNCTION
1	AIN	Analog Input, 0 to +5V unipolar input
2	V _{REF}	-5.25V Reference Output
3	AGND	Analog Ground
4-11	D11-D4	Three-State Data Outputs
12	DGND	Digital Ground
13-16	D3/11-D0/8	Three-State Data Outputs
17	CLKIN	Clock Input. An external TTL/CMOS compatible clock may be applied to this pin or a crystal can be connected between CLKIN and CLKOUT.
18	CLKOUT	Clock Output. An inverted CLKIN signal appears at this pin.

PIN	NAME	FUNCTION
19	HBEN	High Byte Enable Input. This pin is used to multiplex the internal 12-bit conversion result into the lower bit outputs (D7-D0/8). HBEN also disables conversion starts when HIGH.
20	$\overline{RD}$	READ Input. This active low signal starts a conversion when CS and HBEN are low. $\overline{RD}$ also enables the output drivers when CS is low.
21	$\overline{CS}$	The CHIP SELECT Input must be low for the ADC to recognize $\overline{RD}$ and HBEN inputs.
22	$\overline{BUSY}$	The BUSY Output is low when a conversion is in progress.
23	V _{SS}	Negative Supply, -15V for MX7572 and -15V or -12V for MAX162.
24	V _{DD}	Positive Supply, +5V.

MAX162/MX7572

Data Bus Output, $\overline{CS}$ & $\overline{RD}$ = LOW

	Pin 4	Pin 5	Pin 6	Pin 7	Pin 8	Pin 9	Pin 10	Pin 11	Pin 13	Pin 14	Pin 15	Pin 16
MNEMONIC*	D11	D10	D9	D8	D7	D6	D5	D4	D3/11	D2/10	D1/9	D0/8
HBEN = LOW	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
HBEN = HIGH	DB11	DB10	DB9	DB8	LOW	LOW	LOW	LOW	DB11	DB10	DB9	DB8

Note:

* D11 . . . D0/8 are the ADC data output pins.
DB11 . . . DB0 are the 12-bit conversion results, DB11 is the MSB.

Converter Operation

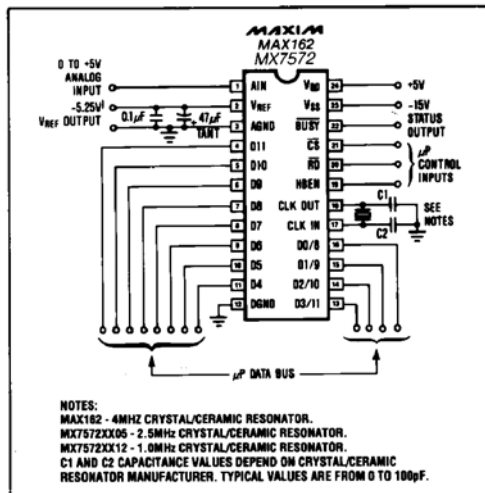


Figure 3. MAX162/MX7572 Operational Diagram

MAXIM

The MAX162 and MX7572 use a successive approximation technique to convert an unknown analog input to a 12 bit digital output code. The control logic provides easy interface to most microprocessors. Most applications require only a few external passive components to perform the analog-to-digital function. Figure 3 shows the MAX162/MX7572 in its simplest operational configuration.

Figure 4 shows the MAX162/MX7572 analog equivalent circuit. The internal voltage output DAC is controlled by a successive approximation register (SAR) and has an output impedance of 2.5k Ω . The analog input is connected to the DAC output with a 2.5k Ω resistor. The comparator is essentially a zero crossing detector and its output is fed back to the SAR input.

Conversion start is controlled by the $\overline{CS}$, $\overline{RD}$ and HBEN digital inputs. A conversion starts at the falling edge of $\overline{CS}$ and $\overline{RD}$ while HBEN is low. Once started, conversion cannot be stopped. The BUSY output goes low as soon as the conversion starts. BUSY may be used to control an external sample-and-hold when wide bandwidth input signals are being measured.

Complete High-Speed CMOS 12-Bit ADC

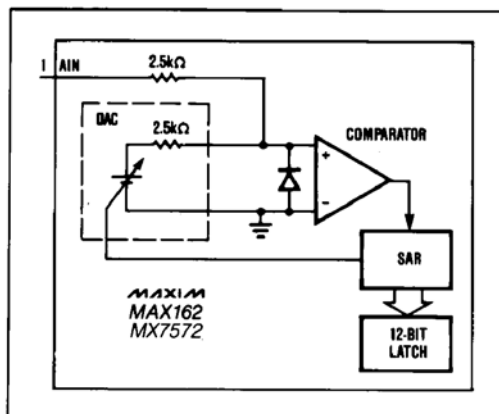


Figure 4. MAX162/MX7572 Analog Equivalent Circuit

The SAR is set to half scale as soon as the CS and RD inputs go low. This reset is asynchronous with the clock input. The analog input is then compared to one half of the full scale voltage. About 30ns after the second falling edge of CLKIN (or rising edge of CLKOUT), the output of the comparator is latched into the SAR MSB bit (see Figure 5). The bit is kept if the analog input is greater than half scale, or dropped if it is smaller. The next bit (bit 11) is then set with the DAC output either at 1/4 scale (if the MSB was dropped) or 3/4 scale (if the MSB was kept). The conversion continues in this manner until the LSB is tried. Following a falling CLKIN signal, the BUSY output goes high and the SAR result is latched into the three-state output buffers.

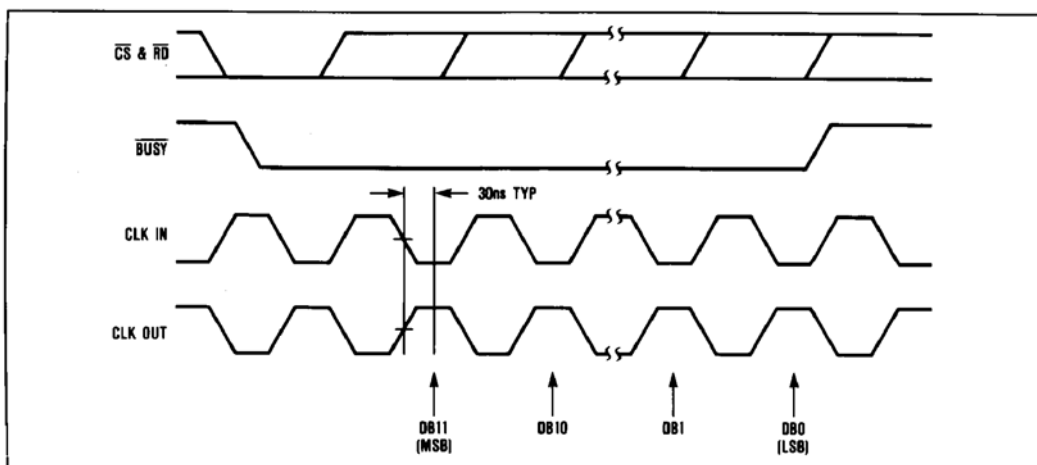


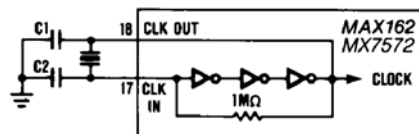
Figure 5. Operating Waveforms Using an External Clock Source for CLKIN.

6

Clock Operation

Clock Oscillator

Figure 6 shows the MAX162/MX7572 clock circuitry. The capacitive load on the CLKOUT pin must be minimized for low power dissipation and to avoid digital coupling of the CLKOUT buffer currents to the comparator. If an external clock source is being used to drive CLKIN, CLKOUT should be left open. The external clock source must have a 50% duty cycle. If the internal oscillator is being used, a crystal/ceramic resonator should be connected between CLKOUT and CLKIN as shown in Figure 6.



NOTES:
MAX162 - 4MHZ CRYSTAL/CERAMIC RESONATOR.
MX7572XX05 - 2.5MHZ CRYSTAL/CERAMIC RESONATOR.
MX7572XX12 - 1.0MHZ CRYSTAL/CERAMIC RESONATOR.
C1 AND C2 CAPACITANCE VALUES DEPEND ON CRYSTAL/CERAMIC RESONATOR MANUFACTURER. TYPICAL VALUES ARE FROM 0 TO 100pF.

Figure 6. MAX162/MX7572 Internal Clock Circuit

MAXIM

Complete High-Speed CMOS 12-Bit ADC

Control Input Synchronization

In applications where the $\overline{RD}$ control input is not synchronized with the ADC clock, the conversion time can vary from 12 to 13 clock cycles. The SAR changes state on the falling edge of the CLKIN input (or rising edge on the CLKOUT pin). To ensure a fixed conversion time use the following guidelines for synchronization:

MAX162

For the MAX162 the $\overline{RD}$ input should go low at the falling edge of CLKIN. In this case the conversion lasts 13 clock cycles and the conversion time is $3.25\mu\text{s}$ when $f_{\text{CLK}} = 4\text{MHz}$. If the CLKIN and $\overline{RD}$ falling edges are skewed, the skew must not be more than 50ns to ensure the 13 period conversion time (See Figure 7). The MSB is tried at the second clock falling edge, leaving two clock cycles for the external sample-and-hold to settle from hold transients.

MX7572

The MX7572 $\overline{RD}$ input can go low at the rising edge of CLKIN. In this case the conversion lasts 12.5 clock cycles and the conversion time is $5\mu\text{s}$ when $f_{\text{CLK}} = 2.5\text{MHz}$ and $12.5\mu\text{s}$ when $f_{\text{CLK}} = 1\text{MHz}$. The delay from the falling edge of $\overline{RD}$ to the falling edge of CLKIN must not be less than 180ns to ensure the 12.5 clock cycle conversion time (See Figure 8). This leaves the external sample-and-hold 1.5 clock cycles to settle from hold transients. An additional half clock cycle of settling can be allowed for driving the sample-and-hold by having $\overline{RD}$ go low at the falling edge of CLKIN, similar to the MAX162. This results in a 13 cycle conversion time ($5.2\mu\text{s}$ when $f_{\text{CLK}} = 2.5\text{MHz}$, $13\mu\text{s}$ when $f_{\text{CLK}} = 1\text{MHz}$).

MAX162/MX7572

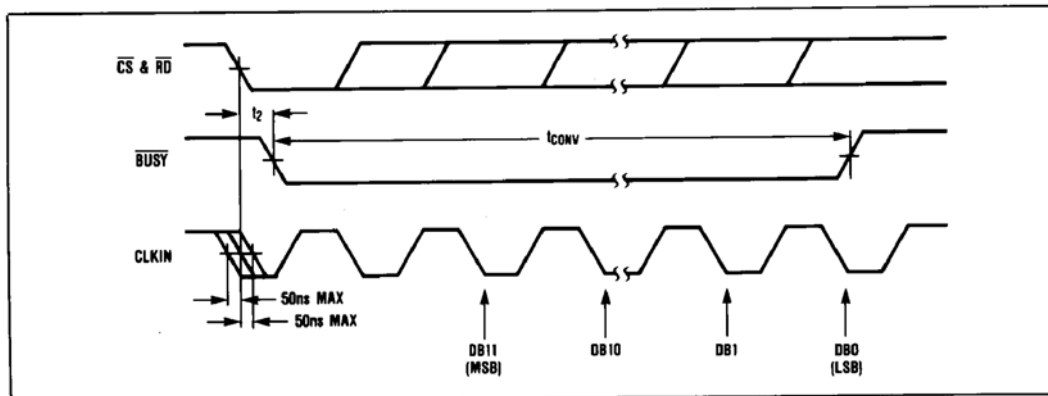


Figure 7. MAX162 $\overline{RD}$ and CLKIN For Synchronous Operation

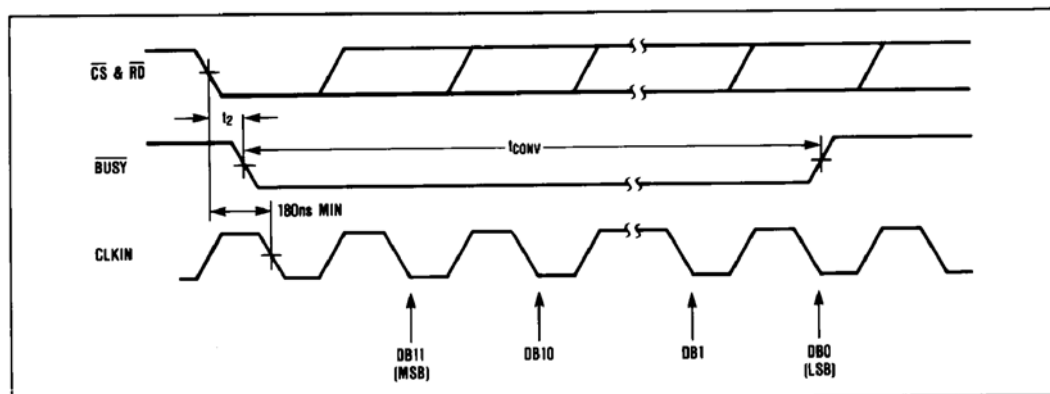


Figure 8. MX7572 $\overline{RD}$ and CLKIN For Synchronous Operation

MAXIM

7

Complete High-Speed CMOS 12-Bit ADC

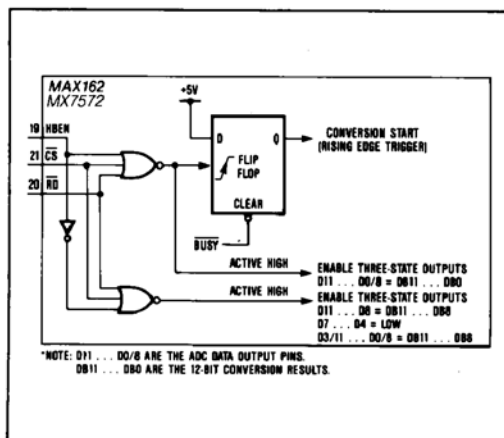


Figure 9. Logic Equivalent for $\overline{RD}$, $\overline{CS}$ and HBEN Inputs

Digital Interface

Output Data Format

The 12 output data bits can either be presented full parallel or in two 8 bit words. To obtain parallel output for 16 bit processors, HBEN should be kept low and the output data D11-D0 will be right justified.

For a two byte data read, outputs D7-D0/8 are used. Byte selection is controlled by HBEN which multiplexes the data outputs. When HBEN is low, the lower 8 bits are presented at the data outputs. When HBEN is high, the upper 4 bits are presented with the leading 4 bits being low for D7-D0/8.

Note that the 4 MSB's always appear at digital outputs D11-D8 whenever the digital drivers are enabled, regardless of the state of HBEN.

Timing and Control

Conversion start and data read operations are controlled by three digital inputs; HBEN, CS and RD. Figure 9 shows the logic equivalent for the conversion and data output control circuitry. A logic low is required on all three inputs to start a conversion. Once a conversion is in progress, it cannot be re-started. The BUSY output is low during the entire conversion cycle.

There are two modes of operation as outlined in the timing diagrams of Figures 10-13. Slow memory mode is intended for processors that can be forced into a WAIT state for periods as long as the MAX162/MX7572 conversion time. ROM mode is for processors that cannot be forced into a wait state. In both operational modes, a processor READ operation to the ADC address starts the conversion. In the ROM mode, a second READ operation is required to access the conversion result.

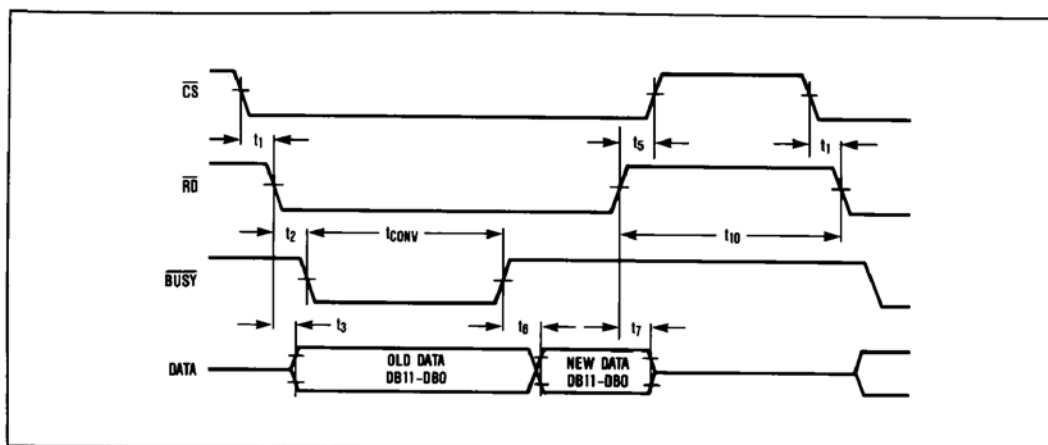


Figure 10. Slow Memory Mode, Parallel Read Timing Diagram

Table 1. Slow Memory Mode, Parallel Read Data Bus Status

MAX162/MX7572 Data Outputs	D11	D10	D9	D8	D7	D6	D5	D4	D3/11	D2/10	D1/9	D0/8
Read	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0

Complete High-Speed CMOS 12-Bit ADC

MAX162/MX7572

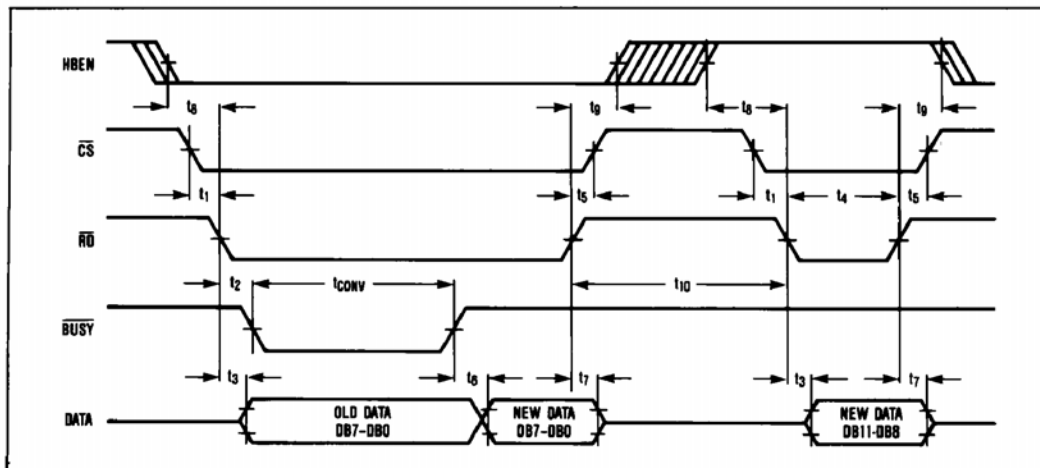


Figure 11. Slow Memory Mode, Two Byte Read Timing Diagram

Table 2. Slow Memory Mode, Two Byte Read Data Bus Status

MAX162/MX7572 Data Outputs	D7	D6	D5	D4	D3/11	D2/10	D1/9	D0/8
First Read	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
Second Read	LOW	LOW	LOW	LOW	DB11	DB10	DB9	DB8

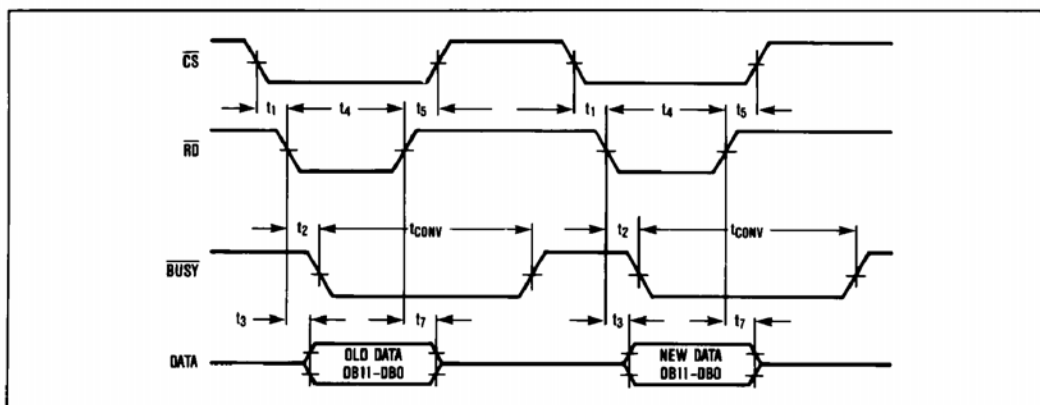


Figure 12. ROM Mode, Parallel Read Timing Diagram

Table 3. ROM Mode, Parallel Read Data Bus Status

MAX162/MX7572 Data Outputs	D11	D10	D9	D8	D7	D6	D5	D4	D3/11	D2/10	D1/9	D0/8
First Read (Old Data)	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
Second Read	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0

MAXIM

9

MAX162/MX7572

Complete High-Speed CMOS 12-Bit ADC

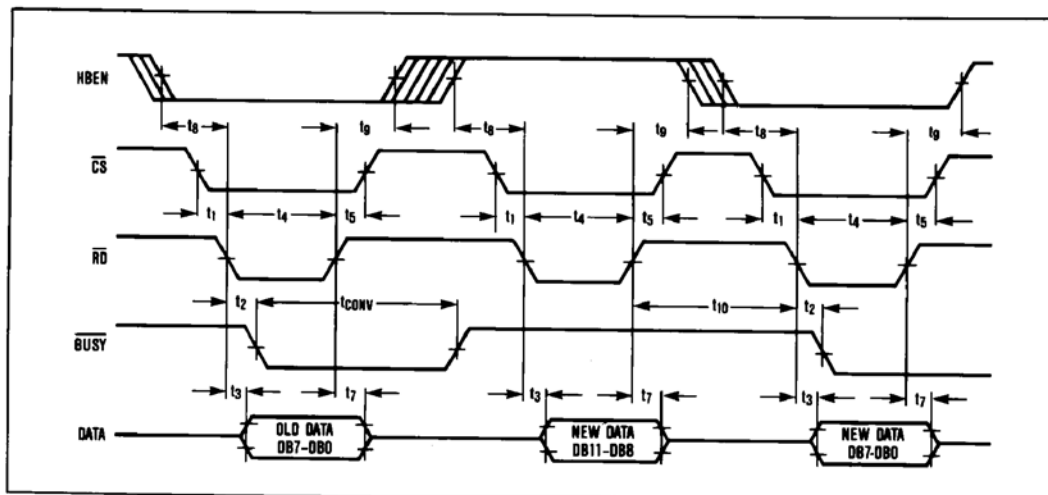


Figure 13. ROM Mode, Two Byte Read Timing Diagram

Table 4. ROM Mode, Two Byte Read Data Bus Status

MAX162/MX7572 Data Outputs	D7	D6	D5	D4	D3/11	D2/10	D1/9	D0/8
First Read (Old Data)	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
Second Read	LOW	LOW	LOW	LOW	DB11	DB10	DB9	DB8
Third Read	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0

Slow Memory Mode, Parallel Read (HBEN = LOW)

Figure 10 and Table 1 show the timing diagram and data bus status for Slow Memory Mode, Parallel Read. CS and RD going low starts the conversion and BUSY goes low indicating that the conversion is in progress. Data from the previous conversion appears at the digital outputs. At the end of the conversion, BUSY returns high and the output latches are updated to place the digital conversion result on data outputs D11-D0/8.

Slow Memory Mode, Two Byte Read

For a two byte read, only outputs D7-D0/8 are used. Starting the conversion and reading the 8 LSB's is identical to the Slow Memory Mode, Parallel Read. See Figure 11 and Table 2. A second READ operation with HBEN high places the 4 MSB's with 4 leading zeros on the data outputs D7-D0/8. The high byte read does not start another conversion since HBEN is high.

ROM Mode, Parallel Read (HBEN = LOW)

The ROM mode avoids placing the processor into a wait state. A conversion is started with a READ operation and the 12-bits of data from the previous conversion appears at the data outputs D11-D0/8 (see Figure 12 and Table 3). This data may be disregarded if not needed. A second READ operation will access the results of the first operation and also start a new conversion. The delay between successive READ operations must be longer than the conversion time for the MAX162/MX7572.

ROM Mode, Two Byte Read

As in the Slow Memory Mode, only data outputs D7-D0/8 should be used for two byte reads. Figure 13 and Table 4 show the operation in this mode. A conversion is started with a READ operation with HBEN low. The data outputs present the 8 LSB's from the previous conversion and this data can be disregarded if not required. Two more READ operations are needed to access the conversion result. The first READ must be with HBEN high, where the 4 MSB's with 4 leading zero's are accessed. The second READ is with HBEN low, which reads in the 8 LSB's and starts a new conversion.

Complete High-Speed CMOS 12-Bit ADC

Interface Application Hints

Digital Bus Noise

If the data bus connected to the ADC is active during a conversion, LSBs of error can be caused due to coupling from the data pins to the ADC comparator. Using the Slow Memory Mode avoids this problem by placing the processor in a wait state during the conversion. In the ROM mode, if the data bus is going to be active during the conversion, the bus should be isolated from the ADC using three-state drivers.

ROM Mode

Considerable digital noise is generated in the ADC when RD or CS go high and the output data drivers are disabled after a conversion is started. This noise will feed into the ADC comparator and cause large errors if it coincides with the time the SAR is latching a decision to keep or drop a bit. To avoid this problem, RD and CS should be active for less than one clock cycle. In other words, the RD and CS low pulse should be shorter than 250ns for the MAX162, 400ns for the MX7572XX05 and 1 μ s for the MX7572XX12. If this cannot be done, the RD or CS signal must go high at a rising edge of CLKIN, since the comparator output is always latched at falling edges of CLKIN.

Analog Considerations

Application Hints

Physical Layout

For best system performance printed circuit boards should be used for the MAX162/MX7572. Wire wrap boards are not recommended. The layout of the board should ensure that digital and analog signal lines are kept separated from each other as much as possible. Care should be taken not to run analog and digital lines parallel to each other or digital lines underneath the MAX162/MX7572 package.

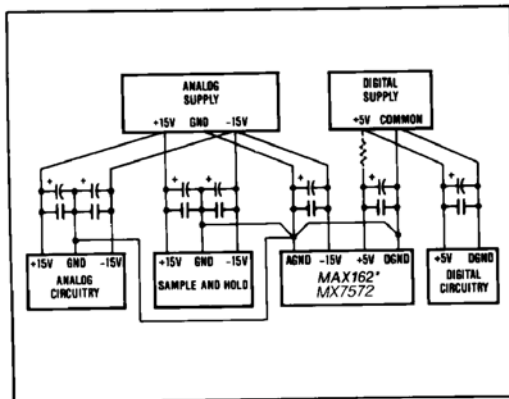


Figure 14. Power Supply Grounding Practice

Grounding

Figure 14 shows the recommended system ground connections. A single point analog STAR ground should be established at pin 3 (AGND) of the MAX162/MX7572 separate from the logic ground. All other analog grounds and pin 12 (DGND) of the MAX162/MX7572 should be connected to this STAR ground and no other digital grounds should be connected to this STAR point. The ground return to the power supply from this STAR ground should be low impedance for noise free operation of the ADC.

Power Supply Bypassing

The high speed comparator in the ADC is sensitive to high frequency noise in the V_{DD} and V_{SS} power supplies. These supplies should be by-passed to the analog STAR ground with 0.1 μ F and 10 μ F by-pass capacitors with minimum lead length for supply noise rejection. If the +5V power supply is very noisy, a small (10-20 ohms) resistor can be connected as shown in Figure 14 to filter external noise.

Internal Reference

The MAX162/MX7572 has an internal buried zener reference which provides the DAC reference voltage. The reference voltage is $-5.25V \pm 1\%$ and has a low temperature coefficient. The reference output is available at pin 2, and should be bypassed to analog ground (pin 3) with a 47 μ F tantalum capacitor in parallel with 0.1 μ F capacitor to minimize noise and provide low impedance at high frequencies. This by-pass capacitor must not be less than 4.7 μ F. The internal reference output buffer can sink up to 500 μ A.

Driving The Analog Input

The input signal leads to AGND and AIN should be as short as possible to minimize noise pick-up. If the leads must be long use shielded cables to minimize noise pick-up.

The input impedance at the AIN pin is typically 2.5k Ω . The amplifier driving AIN must have low enough DC output impedance for low gain error. Furthermore, low AC output impedance is also required since the analog input current is modulated at the clock rate during a conversion (4MHz for MAX162 and 2.5 or 1MHz for the MX7572). The output impedance of the driving amplifier is equal to its open loop output impedance divided by the loop gain at the frequency of interest.

MX7572 The MX7572 maximum clock rate of 2.5MHz makes it possible to drive it with amplifiers like the OP-42, AD711 or OP-27. At 1MHz clock rate a MAX400 or OP-07 can also be used.

MAX162 The MAX162 with a maximum 4MHz clock rate might cause settling problems with the above amplifiers. An LF356, LF400 or LT1056 can be used to drive the input. Alternatively, an emitter follower buffer inside the feedback loop of a OP-42, AD711 or OP-27 can be used to improve high frequency output impedance.

MAXIM

11



Complete High-Speed CMOS 12-Bit ADC

MAX162/MX7572 to Sample-and-Hold Interface

The analog input to the ADC must be stable to within 1/2 LSB during the entire conversion for specified 12 bit accuracy. This limits the input signal bandwidth to less than 6Hz for sinusoidal inputs, even when using the faster MAX162. For higher bandwidth signals a sample-and-hold should be used.

The BUSY output from the MAX162/MX7572 may be used to provide the TRACK/HOLD signal to the sample-and-hold amplifier. However, since the ADC's DAC is switched at approximately the same time as the BUSY signal goes low, the switching transients at the output of the sample-and-hold caused by the DAC switching may result in code dependent errors due to the aperture delay of the sample-and-hold. A NAND gate may be used to ensure that the sample-and-hold switches to the hold mode BEFORE any disturbances as shown in Figures 15 & 16. The NAND gate solution works only if the width of the RD pulse is wider than the RD to BUSY delay in the MAX162/MX7572. If this is not the case, use a flip flop which is set by the falling edge of RD and reset by the rising edge of BUSY.

For synchronous $\overline{\text{RD}}$ and CLKIN as described above, the hold settling time allowed for the sample-and-hold is 500ns, 600ns and 1.5 μ s for the MAX162, MX7572XX05 and MX7572XX12 respectively.

To achieve the maximum sampling rate, the MAX162/MX7572 data must be read within the time allowed for the sample-and-hold to acquire a new input voltage.

MX7572 Figure 15 shows an AD585 sample-and-hold to MX7572 interface. The MX7572 RD input and BUSY output are used to put the AD585 in hold mode when a conversion is in progress. In this example the analog input range is $\pm 2.5\text{V}$ but other voltage ranges can be configured differently as explained later.

The maximum sampling rate is 125kHz with a 2.5MHz clock and 64.5kHz with a 1MHz clock allowing for a 3 μ s sample-and-hold acquisition time.

Although this circuit works quite well for the 1MHz clock rate, at the 2.5MHz clock rate a faster sample-and-hold amplifier such as the HA-5320 is recommended.

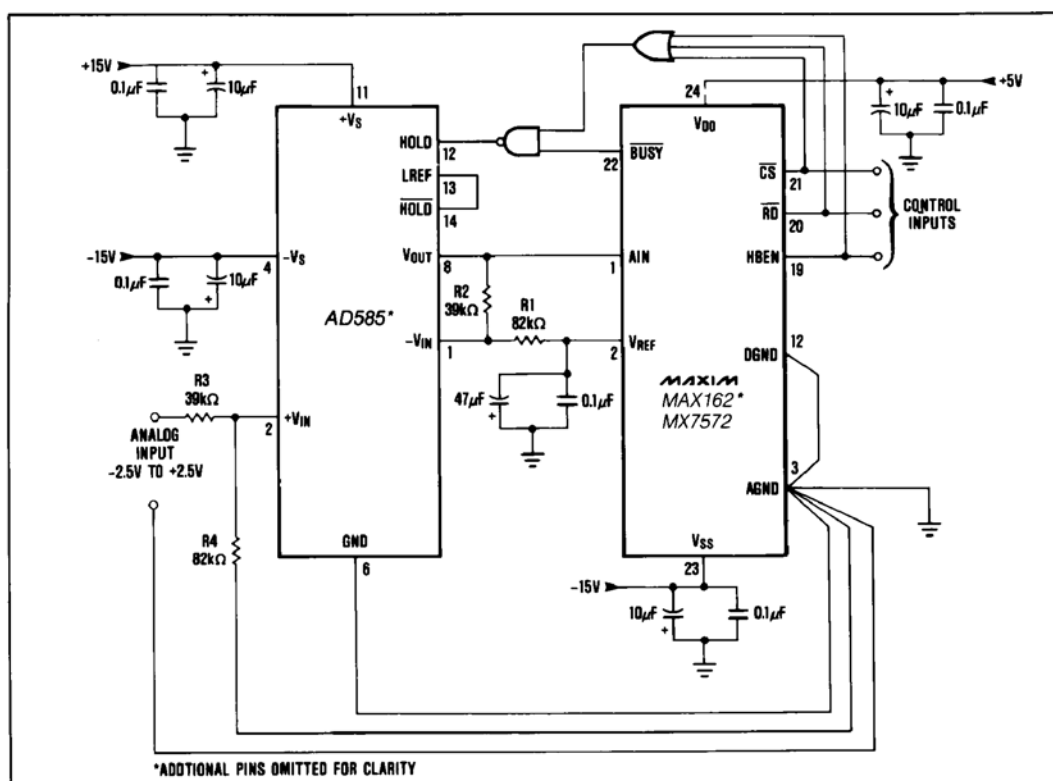
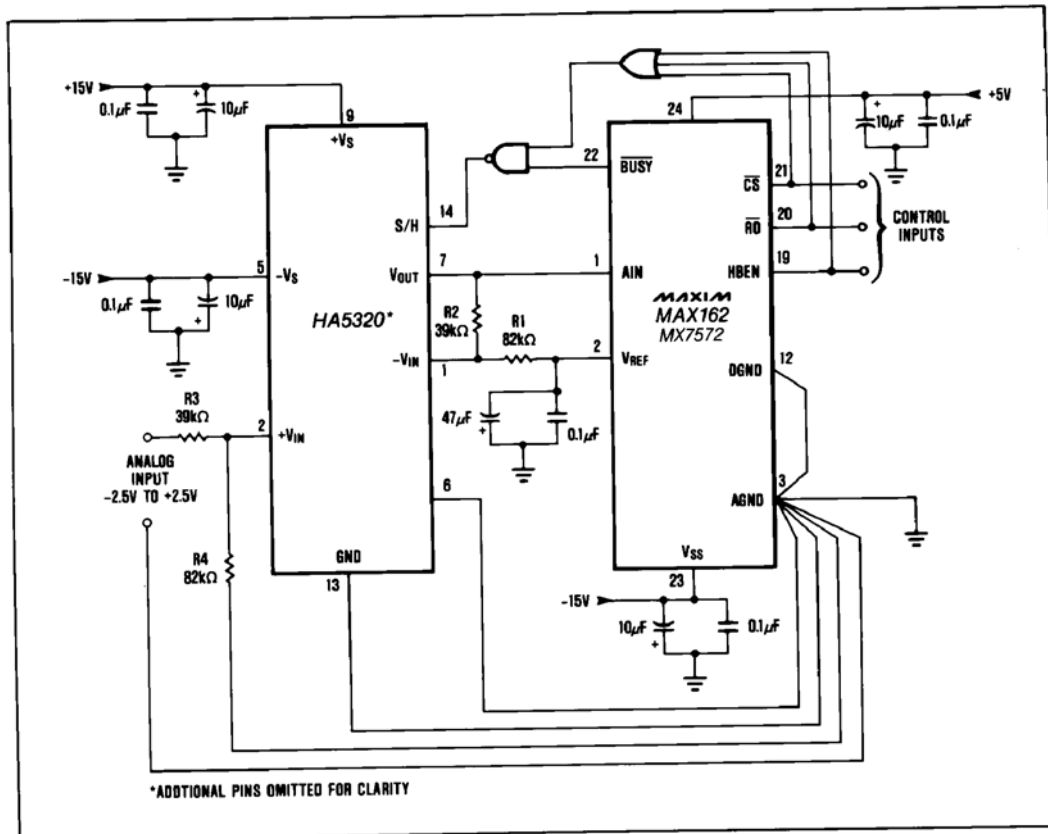


Figure 15. MX7572—AD585 Sample-and-Hold Interface

Complete High-Speed CMOS 12-Bit ADC



MAX162/MX7572

Figure 16. MAX162/MX7572—HA5320 Sample-and-Hold Interface

MAX162 Figure 16 shows the MAX162 to HA5320 interface. The maximum sampling rate is 210kHz with a 4MHz clock which allows for a 1.5μs acquisition time. The HA5320 can also be replaced by a HA5330 for higher throughput.

Unipolar Input Operation

Figure 17 shows the nominal input/output transfer function of the MAX162/MX7572. Code transitions occur half way between successive integer LSB values. The output coding is binary with 1LSB = 1.22mV (5V/4096).

Offset and Full Scale Adjustment

In applications where the offset and full scale range have to be adjusted for the ADC, use the circuit shown in Figure 18. Note that the amplifier shown

could also have been a sample-and-hold. The offset should be adjusted first. Apply 1/2 LSB (0.61mV) at the analog input and adjust the offset of the amplifier until the digital output code changes between 0000 0000 and 0000 0000 0001.

To adjust the full scale range, apply FS-3/2LSB (4.99817V) at the analog input and adjust R1 until the output code changes between 1111 1111 1110 and 1111 1111 1111.

Bipolar Input Operation

Bipolar operation can be achieved in two modes: non-inverting and inverting. For both cases the amplifier shown in the circuits can be replaced by the AD585 or HA5320 sample-and-hold amplifiers. Several different input ranges are possible by selecting the values for the scaling resistors as shown in Tables 5 and 6.

MAXIM

13

Complete High-Speed CMOS 12-Bit ADC

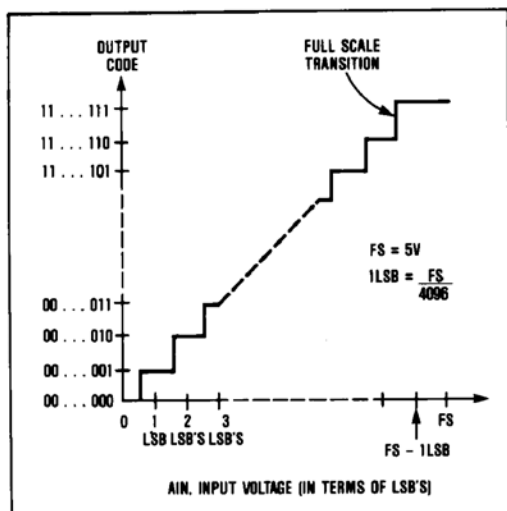


Figure 17. MAX162/MX7572 Transfer Function

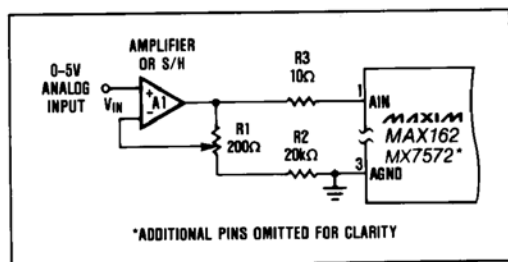


Figure 18. Full-Scale Adjustment

Figure 19 shows the bipolar operation in the non-inverting mode, where the output coding is offset binary. Figure 20 shows the ideal transfer function for this mode.

Figure 21 shows the bipolar operation in the inverting mode, where the output coding is complementary offset binary. Figure 20 shows the ideal transfer function for the circuit in Figure 21.

The resistors used in bipolar applications should be of the same type and from the same manufacturer to obtain low temperature drifts. 0.1% resistors are recommended for applications where offset and full scale adjustments must be made in bipolar circuits. If high tolerances are used, larger value potentiometers must be used and this results in poor sensitivity and higher temperature drifts.

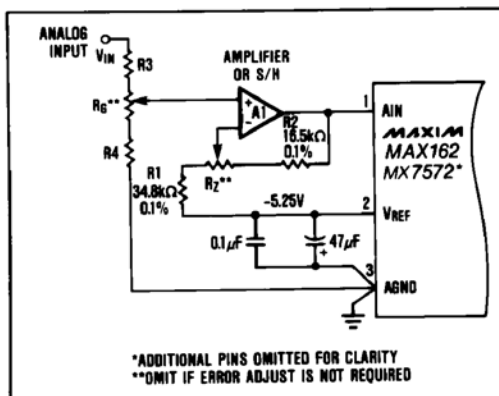


Figure 19. MAX162/MX7572 Non-inverting Bipolar Operation

Table 5. Resistor and Potentiometer Values Required for Offset and Gain Adjustment of Figure 19

V _{IN} Range (Volts)	R3* (kΩ)	R4* (kΩ)	R ₂ (Ω)	R ₃ (Ω)	1/2LSB (mV)	FS/2-3/2LSBs (Volts)
±2.5	3.83	8.25	500	500	0.61	2.49817
±5.0	33.2	16.9	500	1000	1.22	4.99634
±10.0	47.5	9.53	500	500	2.44	9.99268

Notes:

* R3 and R4 have a 0.1% tolerance.
All resistors are standard EIA/MIL decade values.

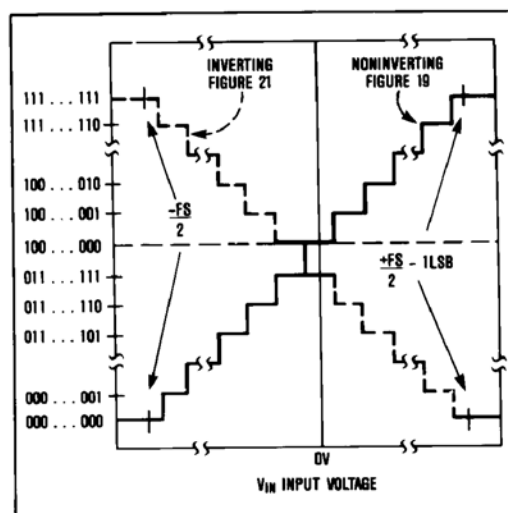


Figure 20. Ideal Input/Output Transfer Characteristic for the Bipolar circuits in Figures 19 and 21.

Complete High-Speed CMOS 12-Bit ADC

Offset and Full Scale Adjustment

Offset should always be adjusted before full scale. For both circuits apply $+1/2\text{LSB}$ to the analog input (see tables 5 and 6) and adjust R_Z until the output code flickers between the following codes:

For Non-inverting (Figure 19) 1000 0000 0000
1000 0000 0001

For inverting (Figure 21) 0111 1111 1111
0111 1111 1110

Apply $\text{FS}/3/2\text{LSB}$ (see tables 5 and 6) to the input and adjust R_G until the ADC output code flickers between the following codes:

For Non-inverting (Figure 19) 1111 1111 1110
1111 1111 1111

For inverting (Figure 21) 0000 0000 0001
0000 0000 0000

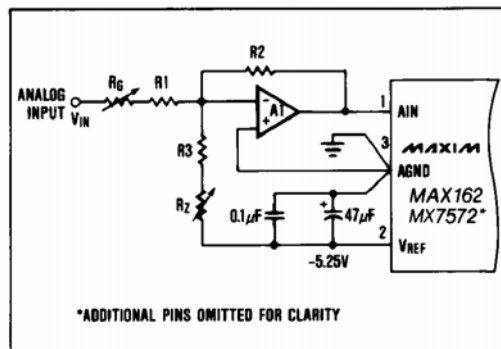
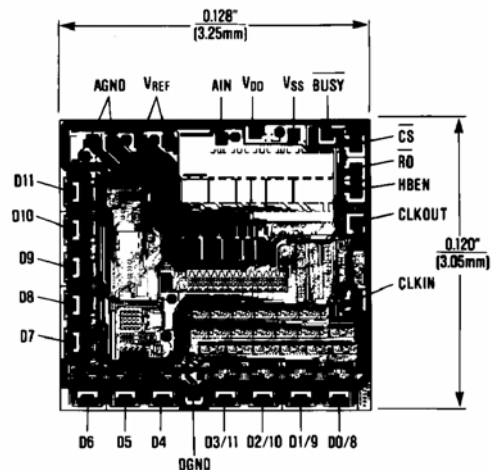


Figure 21. MAX162/MX7572 Inverting Bipolar Operation

Chip Topography



MAX162/MX7572

Table 6. Resistor and Potentiometer Values Required for Offset and Gain Adjustment of Figure 21

V_{IN} Range (Volts)	$R1^*$ (k Ω)	$R2^*$ (k Ω)	$R3^*$ (k Ω)	R_Z (Ω)	R_G (Ω)	$1/2\text{LSB}$ (mV)	$\text{FS}/2\text{-}3/2\text{LSBs}$ (Volts)
± 2.5	20	20.5	42.2	2000	1000	0.61	2.49817
± 5.0	20	10.2	21	1000	1000	1.22	4.99634
± 10.0	20	5.11	10.5	500	1000	2.44	9.99268

Notes:

* $R1$, $R2$, and $R3$ have a 0.1% tolerance.

All resistors are standard EIA/MIL decade values.

Complete High-Speed CMOS 12-Bit ADC

MAX162/MX7572

Ordering Information (continued)

PART	TEMP. RANGE	PACKAGE*	ERROR (LSB)
5µs CONVERSION TIME			
MX7572JN05	0°C to +70°C	Plastic DIP	±1
MX7572KN05	0°C to +70°C	Plastic DIP	±1
MX7572LN05	0°C to +70°C	Plastic DIP	±1/2
MX7572JCWG05	0°C to +70°C	Wide SO	±1
MX7572KCWG05	0°C to +70°C	Wide SO	±1
MX7572LCWG05	0°C to +70°C	Wide SO	±1/2
MX7572AQ05	-40°C to +85°C	CERDIP	±1
MX7572BQ05	-40°C to +85°C	CERDIP	±1
MX7572CQ05	-40°C to +85°C	CERDIP	±1/2
MX7572SQ05	-55°C to +125°C	CERDIP	±1
MX7572TQ05	-55°C to +125°C	CERDIP	±1
MX7572UQ05	-55°C to +125°C	CERDIP	±1/2
12µs CONVERSION TIME			
MX7572JN12	0°C to +70°C	Plastic DIP	±1
MX7572KN12	0°C to +70°C	Plastic DIP	±1
MX7572LN12	0°C to +70°C	Plastic DIP	±1/2
MX7572JCWG12	0°C to +70°C	Wide SO	±1
MX7572KCWG12	0°C to +70°C	Wide SO	±1
MX7572LCWG12	0°C to +70°C	Wide SO	±1/2
MX7572AQ12	-40°C to +85°C	CERDIP	±1
MX7572BQ12	-40°C to +85°C	CERDIP	±1
MX7572CQ12	-40°C to +85°C	CERDIP	±1/2
MX7572SQ12	-55°C to +125°C	CERDIP	±1
MX7572TQ12	-55°C to +125°C	CERDIP	±1
MX7572UQ12	-55°C to +125°C	CERDIP	±1/2

*All devices—24 lead packages

Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

16 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 1991 Maxim Integrated Products

Printed USA

MAXIM is a registered trademark of Maxim Integrated Products.

