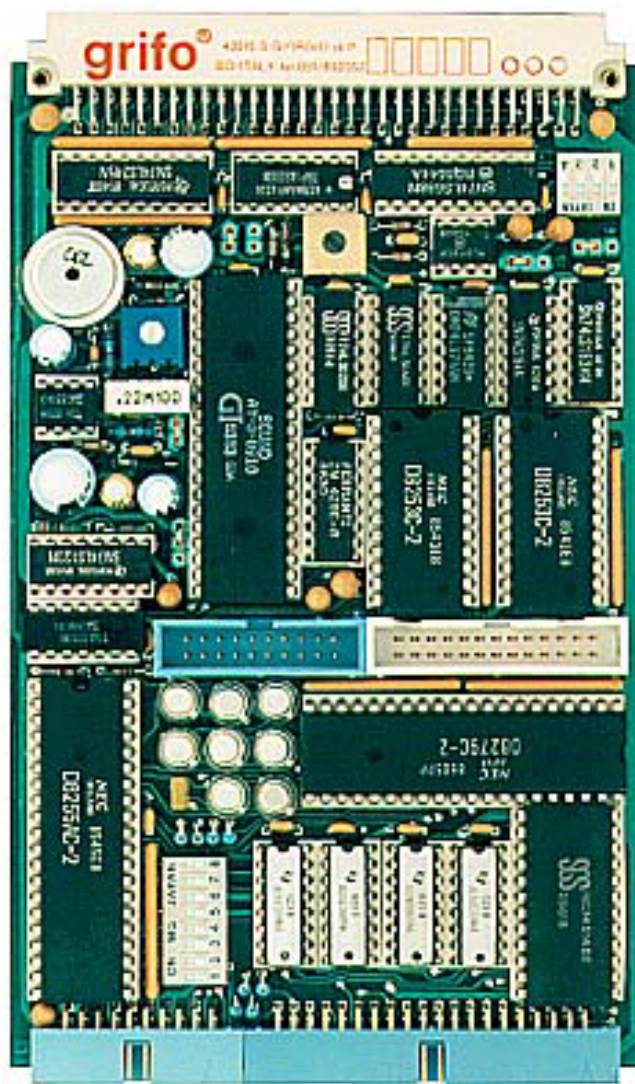


PCK 01

Peripheral Controller Keyboard 01

MANUALE UTENTE



grifo®

ITALIAN TECHNOLOGY

Via dell' Artigiano, 8/6
40016 San Giorgio di Piano
(Bologna) ITALY

E-mail: grifo@grifo.it

<http://www.grifo.it>

<http://www.grifo.com>

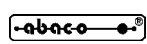
Tel. +39 051 892.052 (r.a.) FAX: +39 051 893.661

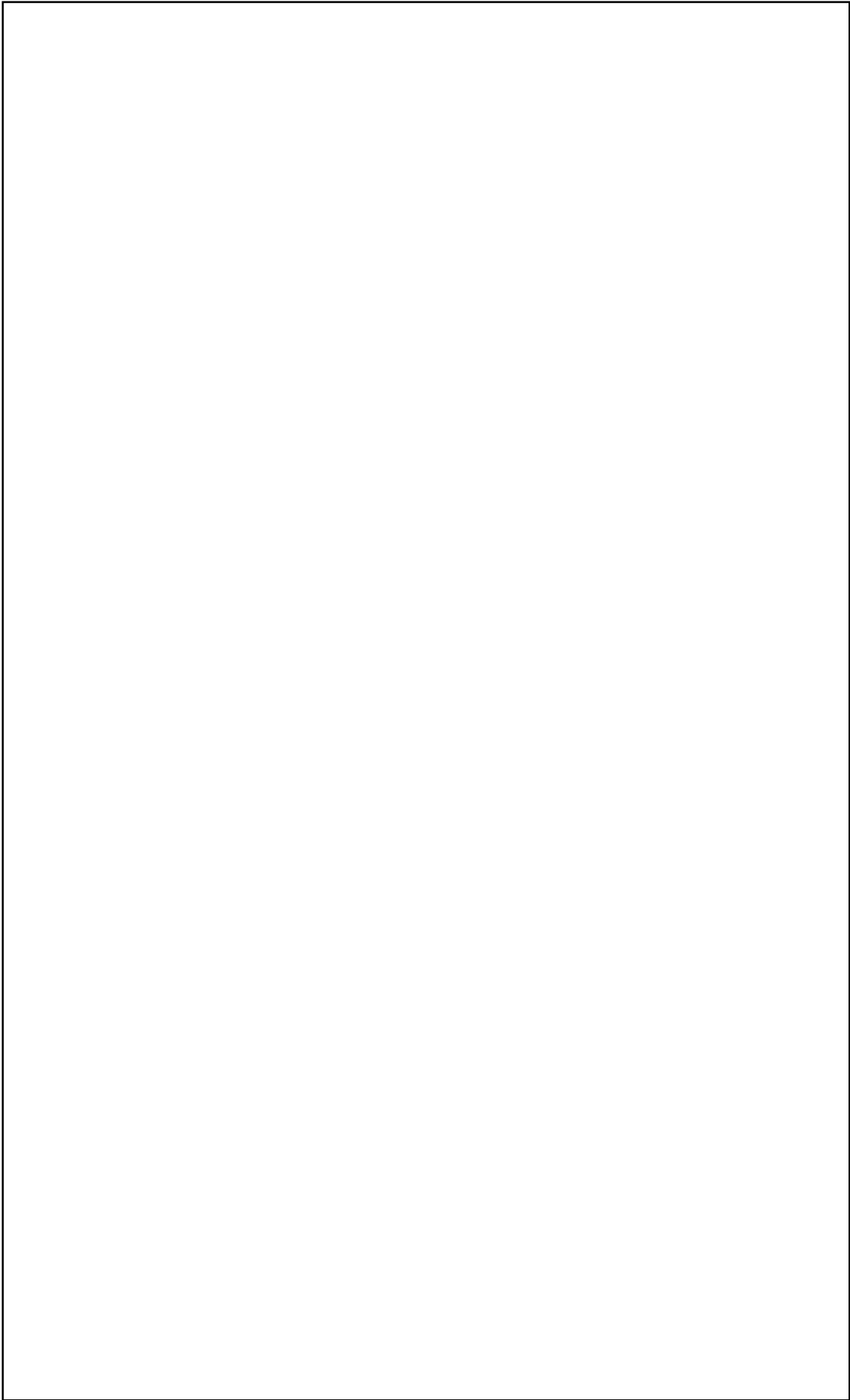


PCK 01

Rel. 3.00

Edizione 15 Gennaio 1987

 , GPC®, grifo®, sono marchi registrati della ditta grifo®



PCK 01

Peripheral Controller Keyboard 01

MANUALE UTENTE

La PCK 01 é un potente modulo di I/O per ABACO® BUS.

Tutte le periferiche di maggior uso nel campo dell'automazione industriale trovano il loro alloggiamento su di un'unica scheda di formato Singola Europa consentendo in questo modo delle notevoli economie di spazio e di investimenti. Si possono acquistare, già per modeste quantità, delle PCK 01 parzialmente popolate con a bordo le sole sezioni utilizzate. Questa possibilità consente di ridurre ulteriormente i costi aumentando nel contempo la competitività dell'impianto.

La PCK 01 occupa uno spazio di indirizzamento di soli 16 bytes. Questi possono essere allocati nello spazio di I/O tramite un comodo Dip Switch a 4 vie. L'allocazione dei 6 dispositivi presenti sulla scheda é facilmente riconfigurabile grazie all'adozione di una PROM per la generazione dei rispettivi Chip Select.

- Interfacciamento con ABACO® BUS
- 5 ports di I/O definibili da software per un totale di 32 linee di I/O
- Sezione intelligente di Keyboard Display Controller in grado di gestire fino a 64 tasti od altrettanti sensori, 16 digits o 128 LED.
- Watch Dog hardware in grado di salvaguardare l'integrità dei digits
- Dip Switch ad 8 vie leggibile da software
- Generatore di suoni a tre vie completo di sezione amplificatrice e di buzzer locale per il monitoraggio del suono. Uscita amplificatore su connettore
- 6 linee di generazione frequenza
- 6 linee indipendenti di counter timer da 16 bits con relative 6 linee di Gate
- D/A converter da 8 bits, 800 ns di settling time con relativo amplificatore di uscita
- Connettori separati in modo da minimizzare gli effetti di accoppiamento
- Possibilità di alimentare una piccola circuiteria di servizio

grifo®

ITALIAN TECHNOLOGY

Via dell' Artigiano, 8/6
40016 San Giorgio di Piano
(Bologna) ITALY

E-mail: grifo@grifo.it

<http://www.grifo.it>

<http://www.grifo.com>

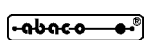
Tel. +39 051 892.052 (r.a.) FAX: +39 051 893.661



PCK 01

Rel. 3.00

Edizione 15 Gennaio 1987



, GPC®, grifo®, sono marchi registrati della ditta grifo®

Nessuna parte del presente manuale può essere riprodotta, trasmessa, trascritta, memorizzata in un archivio o tradotta in altre lingue, con qualunque forma o mezzo, sia esso elettronico, meccanico, magnetico ottico, chimico, manuale, senza il permesso scritto della **grifo®**.

IMPORTANTE

Tutte le informazioni contenute sul presente manuale sono state accuratamente verificate, ciononostante **grifo®** non si assume nessuna responsabilità per danni, diretti o indiretti, a cose e/o persone derivanti da errori, omissioni o dall'uso del presente manuale, del software o dell' hardware ad esso associato.

grifo® altresì si riserva il diritto di modificare il contenuto e la veste di questo manuale senza alcun preavviso, con l' intento di offrire un prodotto sempre migliore, senza che questo rappresenti un obbligo per **grifo®**.

Per le informazioni specifiche dei componenti utilizzati sui nostri prodotti, l'utente deve fare riferimento agli specifici Data Book delle case costruttrici o delle seconde sorgenti.

LEGENDA SIMBOLI

Nel presente manuale possono comparire i seguenti simboli:



Attenzione: Pericolo generico

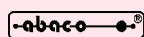


Attenzione: Pericolo di alta tensione



Attenzione: Dispositivo sensibile alle cariche elettrostatiche

MARCHI REGISTRATI



, GPC®, **grifo®** : sono marchi registrati della **grifo®**.

Altre marche o nomi di prodotti sono marchi registrati dei rispettivi proprietari.

INTRODUZIONE

L'uso di questi dispositivi è rivolto - **IN VIA ESCLUSIVA** - a personale specializzato.

Questo prodotto non è un **componente di sicurezza** così come definito dalla direttiva **98-37/CE**.



I pin della scheda non sono dotati di protezione contro le cariche elettrostatiche. Visto che esiste un collegamento diretto tra numerosi pin della scheda ed i rispettivi pin dei componenti di bordo e che quest'ultimi sono sensibili ai fenomeni ESD, il personale che maneggia la scheda è invitato a prendere tutte le precauzioni necessarie per evitare i possibili danni che potrebbero derivare dalle cariche elettrostatiche.

Scopo di questo manuale é la trasmissione delle informazioni necessarie all'uso competente e sicuro dei prodotti. Esse sono il frutto di un'elaborazione continua e sistematica di dati e prove tecniche registrate e validate dal Costruttore, in attuazione alle procedure interne di sicurezza e qualità dell'informazione.

I dati di seguito riportati sono destinati - **IN VIA ESCLUSIVA** - ad un utenza specializzata, in grado di interagire con i prodotti in condizioni di sicurezza per le persone, per la macchina e per l'ambiente, interpretando un'elementare diagnostica dei guasti e delle condizioni di funzionamento anomale e compiendo semplici operazioni di verifica funzionale, nel pieno rispetto delle norme di sicurezza e salute vigenti.

Le informazioni riguardanti installazione, montaggio, smontaggio, manutenzione, aggiustaggio, riparazione ed installazione di eventuali accessori, dispositivi ed attrezzature, sono destinate - e quindi eseguibili - sempre ed in via esclusiva da personale specializzato avvertito ed istruito, o direttamente dall'ASSISTENZA TECNICA AUTORIZZATA, nel pieno rispetto delle raccomandazioni trasmesse dal costruttore e delle norme di sicurezza e salute vigenti.

I dispositivi non possono essere utilizzati all'aperto. Si deve sempre provvedere ad inserire i moduli all'interno di un contenitore a norme di sicurezza che rispetti le vigenti normative. La protezione di questo contenitore non si deve limitare ai soli agenti atmosferici, bensì anche a quelli meccanici, elettrici, magnetici, ecc.

Per un corretto rapporto coi prodotti, é necessario garantire leggibilità e conservazione del manuale, anche per futuri riferimenti. In caso di deterioramento o più semplicemente per ragioni di approfondimento tecnico ed operativo, consultare direttamente l'Assistenza Tecnica autorizzata.

Al fine di non incontrare problemi nell'uso di tali dispositivi, é conveniente che l'utente - PRIMA DI COMINCIARE AD OPERARE - legga con attenzione tutte le informazioni contenute in questo manuale. In una seconda fase, per rintracciare più facilmente le informazioni necessarie, si può fare riferimento all'indice generale e all'indice analitico, posti rispettivamente all'inizio ed alla fine del manuale.

1. INTRODUZIONE

Questo manuale fornisce tutte le informazioni hardware e software per consentire all'utente il miglior utilizzo della scheda **PCK 01**.

2. CARATTERISTICHE GENERALI DELLA SCHEDA

La **PCK 01** è un potente modulo di **I/O** per il **BUS ABACO(R)** ed offre alla **CPU** una quantità notevole di possibilità di interfacciamento con il mondo esterno. Tutte le periferiche di maggior uso nel campo dell'automazione industriale, trovano il loro alloggiamento su di una unica scheda di formato **Singola Europa** consentendo in questo modo delle notevoli economie di spazio e di investimenti.

È possibile acquistare, già per modeste quantità, delle **PCK 01** parzialmente popolate con a bordo le sole sezioni utilizzate. Questa possibilità consente di ridurre ulteriormente i costi aumentando nel contempo la competitività dell'impianto.

La **PCK 01** occupa uno spazio di indirizzamento di soli **16 bytes**. Questi possono essere allocati nello spazio di indirizzamento di **I/O** tramite un comodo **Dip Switch** a **4 vie**. L'allocazione dei **6** dispositivi presenti sulla scheda è facilmente riconfigurabile grazie all'adozione di una **PROM** per la generazione dei rispettivi **Chip Selet**. L'uso di una soluzione di questo tipo consente di poter riconfigurare facilmente l'allocazione dei vari dispositivi senza dover effettuare nessun tipo di intervento hardware se non la sostituzione della **PROM** di mappaggio delle **I/O**. Le applicazioni della scheda **PCK 01** sono le più disparate. Va segnalato ad esempio il suo utilizzo, in unione ad una qualsiasi scheda di **CPU** o di **GPC** della vasta famiglia **ABACO(R)**, come gestore di **Motori Passo-Passo**; **Acquisizione Dati da Encoder**; **Posizionatori**; **interpolazioni tra Assi**; **Interfaccia per Operatore**; **Visualizzazione Dati**; ecc.

Le principali caratteristiche della scheda sono le seguenti:

- Interfacciamento con il **Bus ABACO(R)**.
- **5** ports di **I/O** definibili da software per un totale di **32** linee di **I/O**.
- Sezione intelligente di **Keyboard Display Controller** in grado di gestire fino a **64** tasti od altrettanti sensori, **16** digits o **128 LED**.
- **Watch Dog** hardware in grado di salvaguardare l'integrità dei digits.

- **Dip Switch** ad **8** vie leggibile da software.
- Generatore di suoni a tre vie completo di sezione amplificatrice e di buzzer locale per il monitoraggio del Suono.
- Uscita Amplificatore su connettore.
- **6** linee di Generazione Frequenza
- **6** linee indipendenti di Counter timer da **16** bits con relative **6** linee di **Gate**.
- **D/A** converter da **8** bits, 800 ns di settling time con relativo amplificatore di uscita.
- Connettori separati in modo da minimizzare gli effetti di accoppiamento, con possibilita' di alimentare una piccola circuiteria di servizio.

2.1. Dispositivo di Clock.

La scheda **PCK 01** gestisce tutta la parte di sincronizzazione tramite il segnale di clock prelevato direttamente dal **BUS ABACO(R)** (pin 23 C). Tale segnale viene opportunamente diviso dall' elettronica della scheda in modo da poter comandare al meglio le periferiche presenti.

In particolare la frequenza del segnale viene divisa per **2** e per **4**, fornendo all' utente la possibilita' di utilizzare quella piu' indicata alle proprie esigenze, tramite un apposito jumper a cavalliere **J2**.

2.2. Periferiche di bordo.

Come e' gia' stato detto la scheda **PCK 01** e' provvista di una serie di periferiche gestibili via software, che la rendono estremamente pratica ed interessante.

Tali periferiche sono:

- **6** linee di counter timer a 16 bit implementate da due **PIT 8253**, o **8254**, (**IC 17**, **IC 22**).
- Ogni counter e' provvisto di **3** linee con cui si comanda il conteggio del counter, che comunque avviene nel modo precedentemente selezionato da software. Queste periferiche sono viste in 8 byte (**4 per ogni IC**) indirizzati secondo le indicazioni del capitolo **5.4** dedicato al mappaggio della scheda.

- 3 port paralleli **A,B,C** ad 8 bit gestiti dal **PPI 8255 (IC 1)**. Il port **B** e' direttamente collegato ad un dip switch ad 8 vie in modo da poter effettuare un minimo di colloquio con l'utente direttamente dalla scheda

Questa periferica e' vista in 4 byte (**3 registri dati+1 registro di stato**) indirizzati secondo le indicazioni del capitolo 5.3 dedicato al mappaggio della scheda.

- 2 port paralleli a 8 bit ed un sound generator gestiti dall' **PSG 8910 (IC 6)**.

La direzionalita' dei due port e la programmazione del generatore di suoni e' gestibile da software tramite 2 byte indirizzati secondo le indicazioni del capitolo 5.6.

- Un controllore per tastiera e digits gestito dal **KDC 8279 (IC 14)**.

Con questa sezione possono essere controllati fino a **64 tasti (o altrettanti sensori)** e **16 digits (o 128 led)** via software, tramite due byte indirizzati secondo le indicazioni del capitolo 5.2.

- Un convertitore digitale analogico gestito dal **ZN 428 (IC 15)**.

Converte una parola di 8 bit in un segnale compreso tra i 0 e +2,5V, successivamente amplificato in modo da ottenere in uscita una tensione variabile tra 0 e 5 V; non necessita di programmazione ed e visto in un byte indirizzato secondo le indicazioni del capitolo 5.5 dedicato al mappaggio della scheda.

2.3. Dispositivo di Wait Differenziato.

Per far fronte ai problemi che sorgono di fronte alla possibilita' di collegare la scheda a diversi tipi di processori caratterizzati da diverse frequenze, e' stato ideato un apposito dispositivo che agisce sulla linea di **WAIT** del **Bus ABACO(R)**.

Tramite il jumper **J1** puo' essere variata l'ampiezza dell'intervallo di tempo in cui, il pin **14 C** del connettore del **Bus ABACO(R)**, rimane attivato e quindi variato l'intervallo in cui il processore a cui e' collegata la scheda rimane in attesa.

Per ulteriori informazioni si fa riferimento al capitolo 4.2 dedicato all' installazione della scheda.

2.4. Watch Dog hardware.

Sulla scheda **PCK 01** e' presente una circuiteria di **Watch Dog** che salvaguarda i digits od i led gestiti dal **KDC 8279** da correnti elevate che li brucerebbero.

Tale dispositivo e' necessario perche' nel caso che il **KDC** non sia attivato, i Driver che vanno ad attivare gli stessi **LED** fornirebbero una corrente superiore a quella massima sopportabile.

Normalmente il circuito di **W.D.** entra in funzione solo durante il reset della scheda fornito dal rispettivo pin del **BUS**.

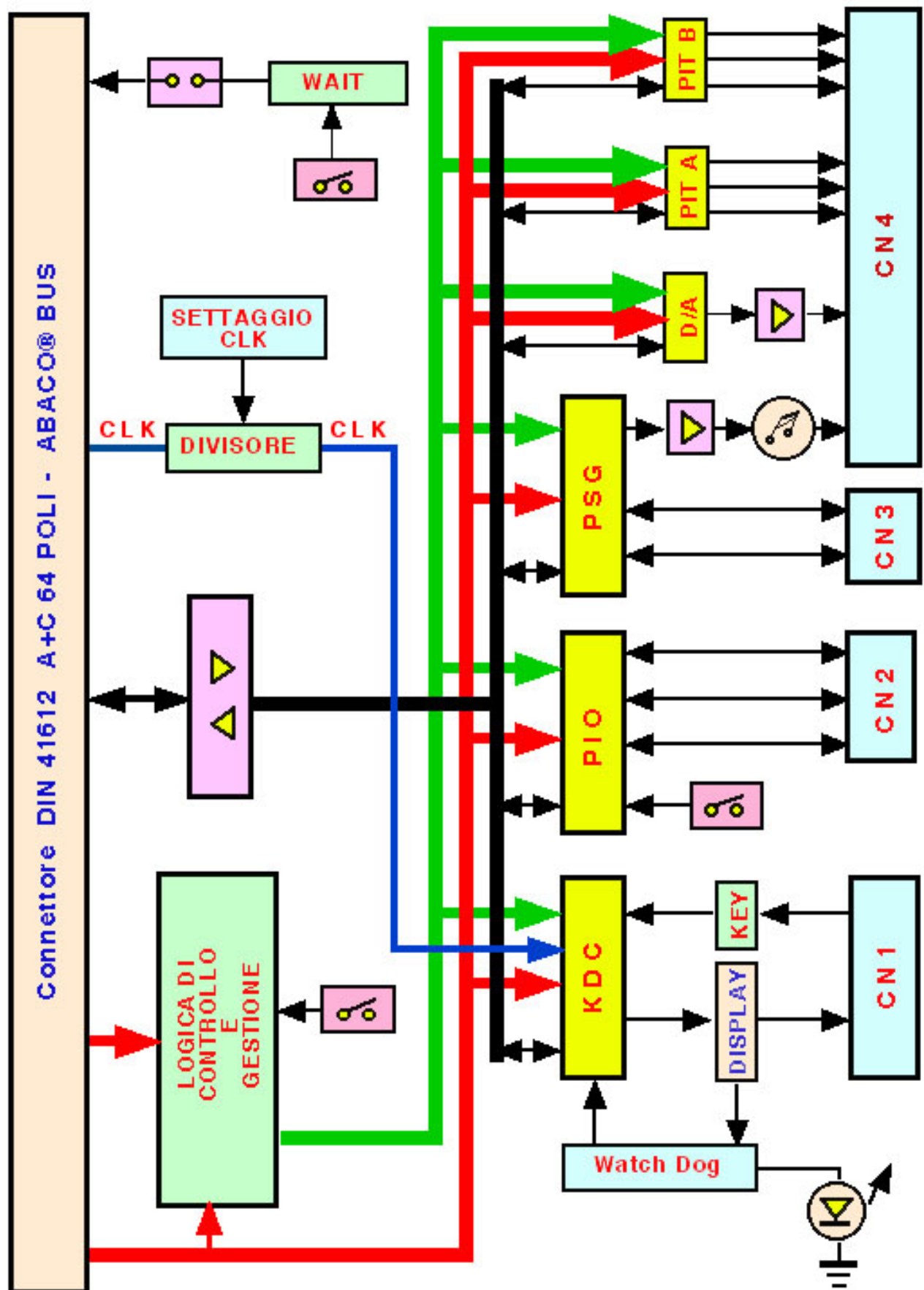


Fig. 2-1: Schema a Blocchi.

3. CARATTERISTICHE TECNICHE DELLA SCHEDA

3.1. Caratteristiche generali.

- Tipo di **BUS ABACO(R)**
- N.ro di linee di I/O 32 I/O programmabili TTL
Driver per 128 LED Matrice di 64 tasti
- 1 output analogico
- 1 output analogico per suoni 3 counter timer
- N.ro byte di indirizzamento 16
- N.ro byte occupati 16
- Periferiche di bordo
 - 2 X PIT 8253 o 8254
 - KDC 8279
 - PPI 8255
 - PSG 8910
 - ZN 428

3.2. Caratteristiche fisiche.

- Dimensioni Formato Europa (100*160 mm)
- Peso 140 g
- Connettori
 - BUS 64 pin DIN 41612 corpo C
 - CN1: 40 vie scatolino 90 gradi M
 - CN2: 20 vie scatolino 90 gradi M
 - CN3: 20 vie scatolino verticale
 - CN4: 26 vie scatolino verticale
 - Range di temperatura da 10 a 40 gradi centigradi
 - Umidita' relativa 20% fino 90% (senza condensa)

3.3. Caratteristiche elettriche.

Tensione di alimentazione +5 Vdc. (senza D/A conv.)
+5,+12,-12 Vdc. (con D/A conv.)
Corrente assorbita 550 mA con sezioni
amplificatrici disattivate.

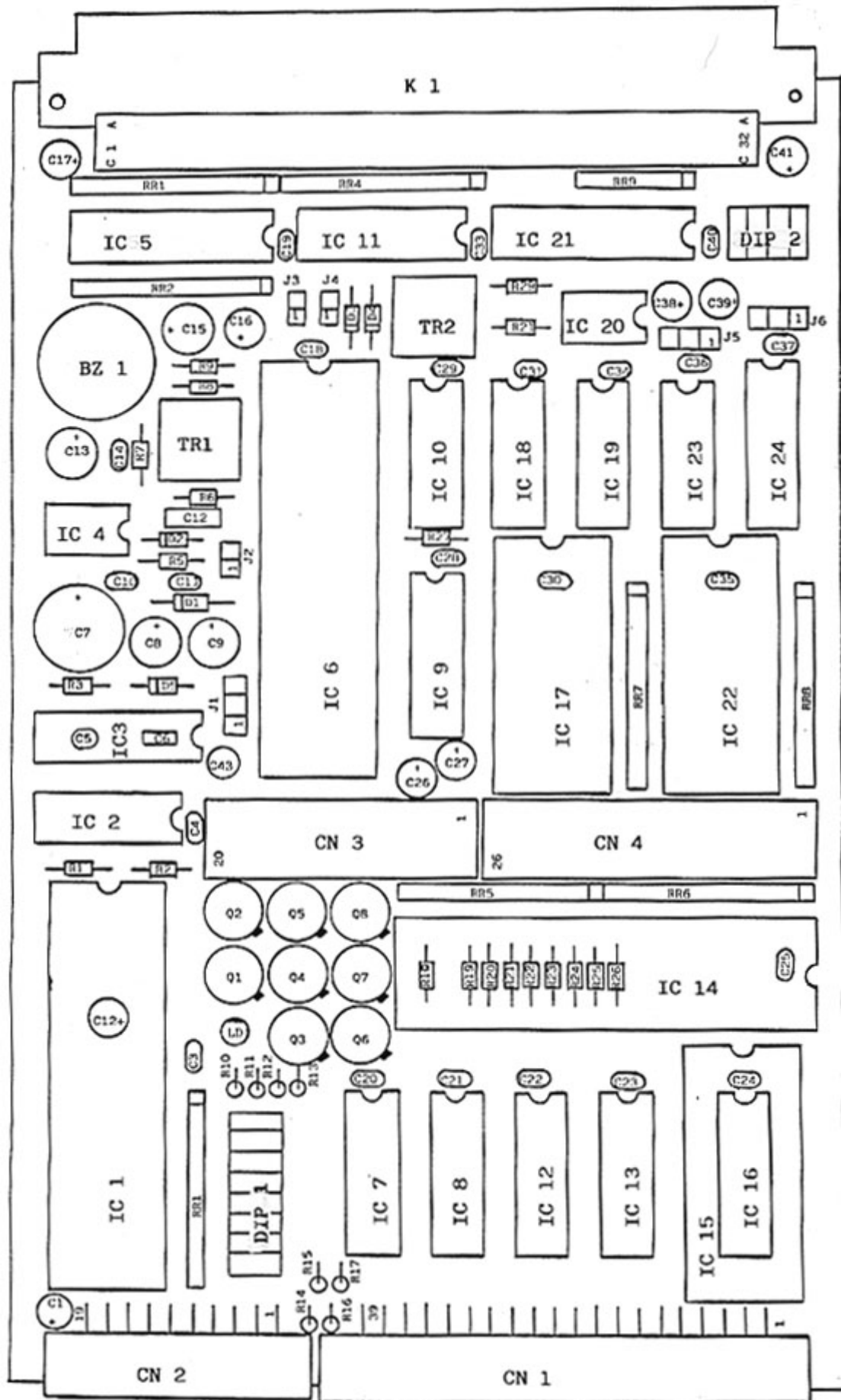


Fig. 3-1: Pianta Componenti.

4. INSTALLAZIONE DELLA SCHEDA

4.1. Introduzione

In questo capitolo saranno illustrate tutte le operazioni da compiere per il corretto funzionamento della scheda.

A questo scopo si mostrerà, in seguito, l'ubicazione e la funzione degli strip e dei connettori.

4.2. Jumpers.

Esistono a bordo della scheda **PCK 01**, 6 jumpers a cavalliere di cui 3 a due vie ed i rimanenti 3 a tre vie.

Con questi strip è possibile effettuare alcune selezioni che riguardano il modo di funzionamento della scheda.

In seguito ne è riportato l'elenco e la loro ubicazione sulla scheda:

J1 -> Seleziona la tensione di alimentazione dell'amplificatore audio.

J2 -> Seleziona il tipo di alimentazione del buzzer di bordo.

J3 -> Seleziona metodo di indirizzamento in seconda pagina.

J4 -> Collega il segnale di Interrupt del KDC 8279 al Bus.

J5 -> Seleziona il numero di cicli di wait del processore collegato alla scheda.

J6 -> Seleziona la frequenza del segnale di clock della scheda.

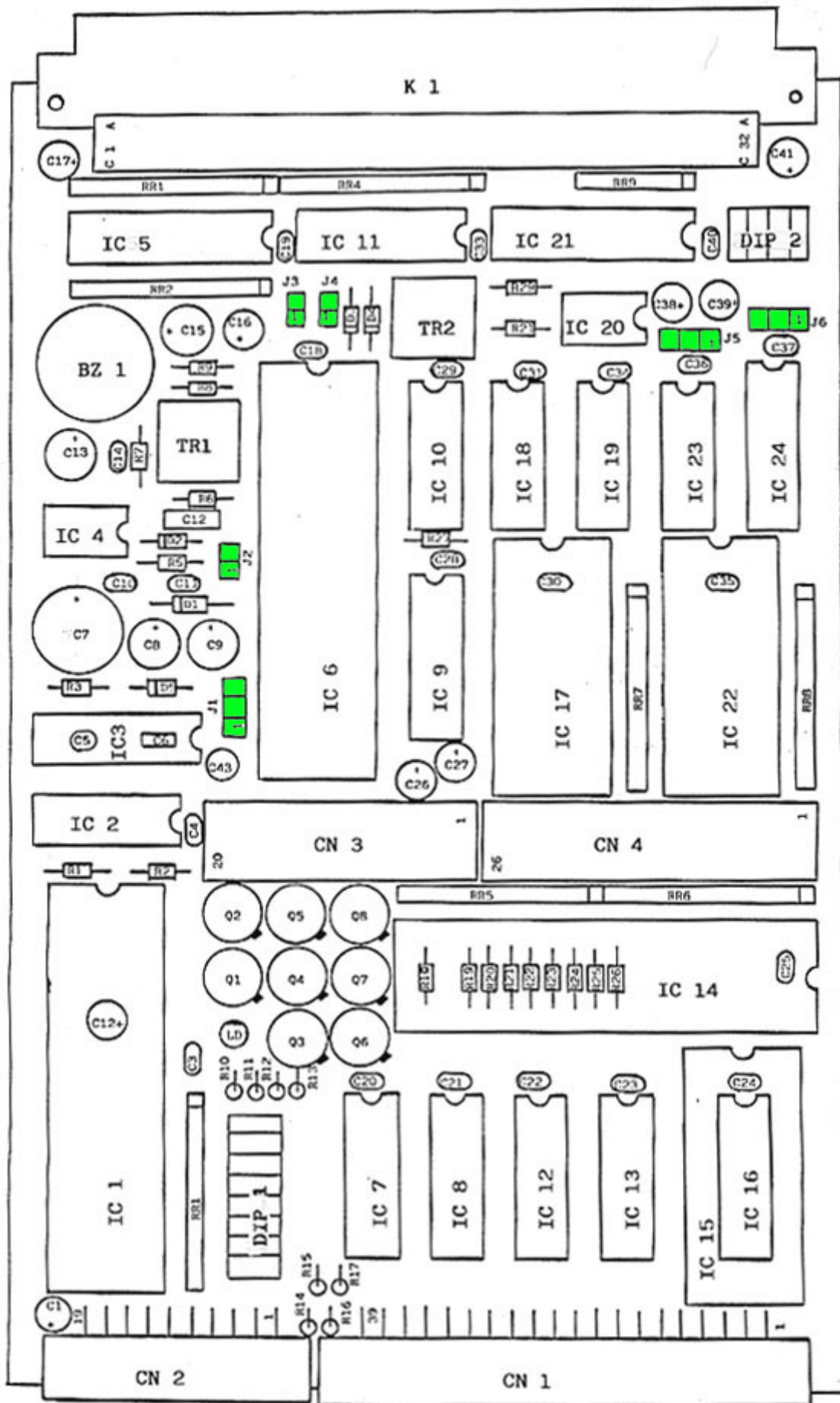


Fig. 4-1: Disposizione Jumpers.

Jumper a 2 vie:

JUMPER	SITUAZIONE	UTILIZZO	DEF.
J2	connesso	Buzzer alimentato normalmente	
	non connesso	Buzzer sottoalimentato	*
J3	connesso	Seleziona seconda pagina di indirizzamento	
	non connesso	Seleziona indirizzamento normale	*
J4	connesso	Segnale di Interrupt generato dal KDC 8279 collegato al BUS	
	non connesso	Segnale di Interrupt generato dal KDC8279 scollegato dal BUS	*

Table 4-1: Tabella Jumper a 2 vie.

Jumper a 3 vie:

Per riconoscere i tipi di connessioni effettuabili si riporta schematicamente la forma di tali jumpers con la relativa nomenclatura necessaria per identificare i collegamenti.

Si deve ricordare che gli schemi presentati sono nella stessa posizione che hanno sulla scheda, quando questa riporta il connettore per il **Bus ABACO (R)** rivolto verso l'alto.

```

+---+---+---+
| 1 | 2 | 3 |
+---+---+---+
    
```

```

+---+
| 1 |
+---+
| 2 |
+---+
| 3 |
+---+
    
```

JUMPER	POSIZIONE	UTILIZZO	DEF.
J1	1-2	Alimenta amplificatore audio a 5 V	
	2-3	Alimenta amplificatore audio a 12V	*
J5	1-2	Seleziona 4 cicli di WAIT	
	2-3	Seleziona 1 ciclo di WAIT	*
J6	1-2	Seleziona un segnale di clk pari a 1/4 di quello presente sul BUS	
	2-3	Seleziona un segnale di clk pari a 1/2 di quello presente sul BUS	

Table 4-2: Tabella jumpers a 3 vie.

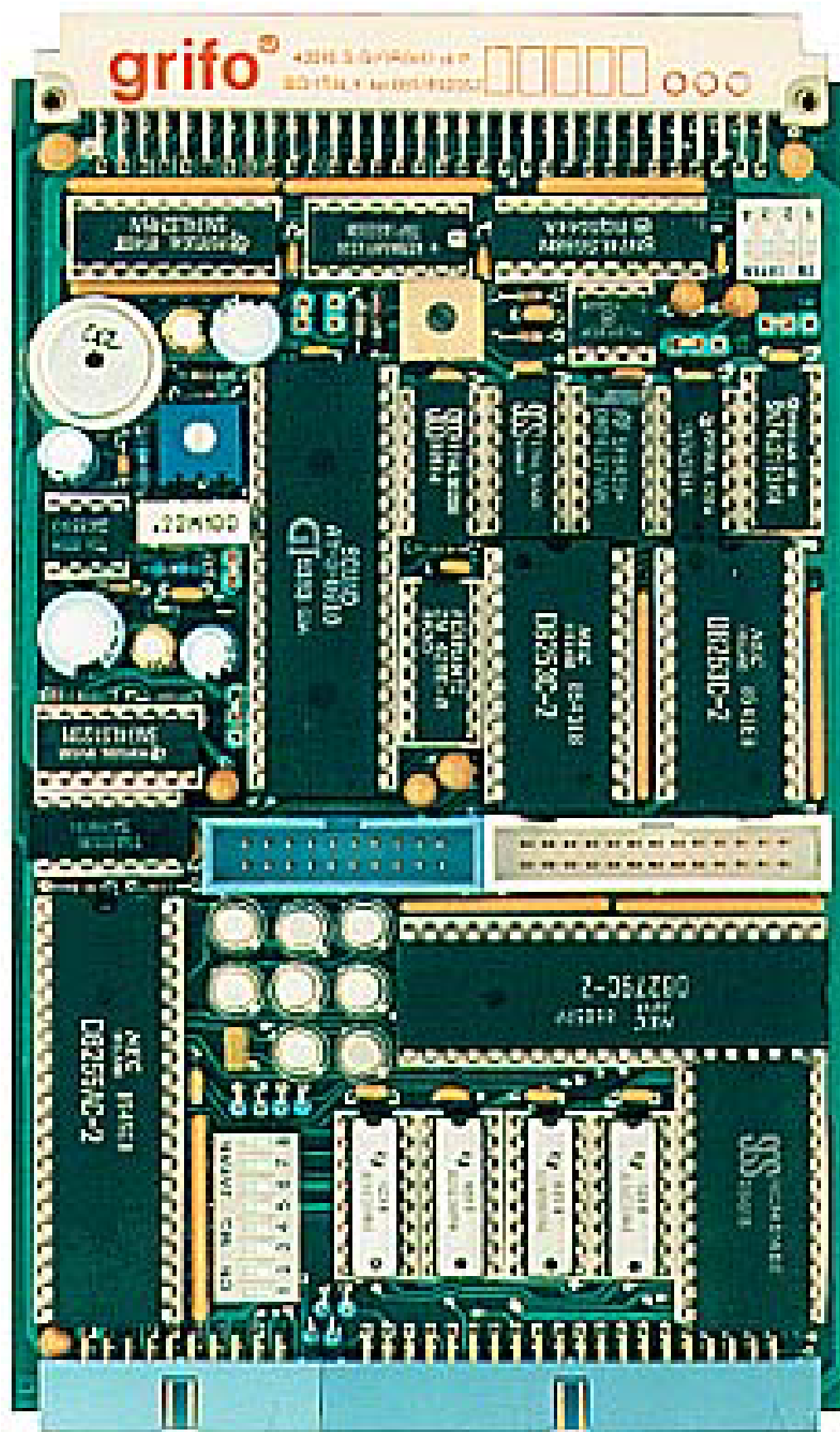


Fig. 4-2: Foto Sheda PCK 01.

4.3. Connessioni con il Mondo Esterno.

La scheda **PCK 01** effettua il collegamento delle linee di **I/O** con il mondo esterno tramite quattro comodi connettori, più un quinto per effettuare l'interfacciamento al **BUS ABACO(R)**.

Di seguito è riportato il pin out di tali connettori con le relative figure che esemplificano la circuiteria che riporta le linee sui connettori.

Per l'individuazione dei connettori sulla scheda si fa riferimento alla figura **4.12**.

4.3.1. CN2 (Connettore PPI 8255) .

CN2 e' composto da **20** pin ed effettua la connessione tra l'interfaccia periferica programmabile **8255** e l'ambiente esterno tramite i due port paralleli disponibili **A** e **C**.

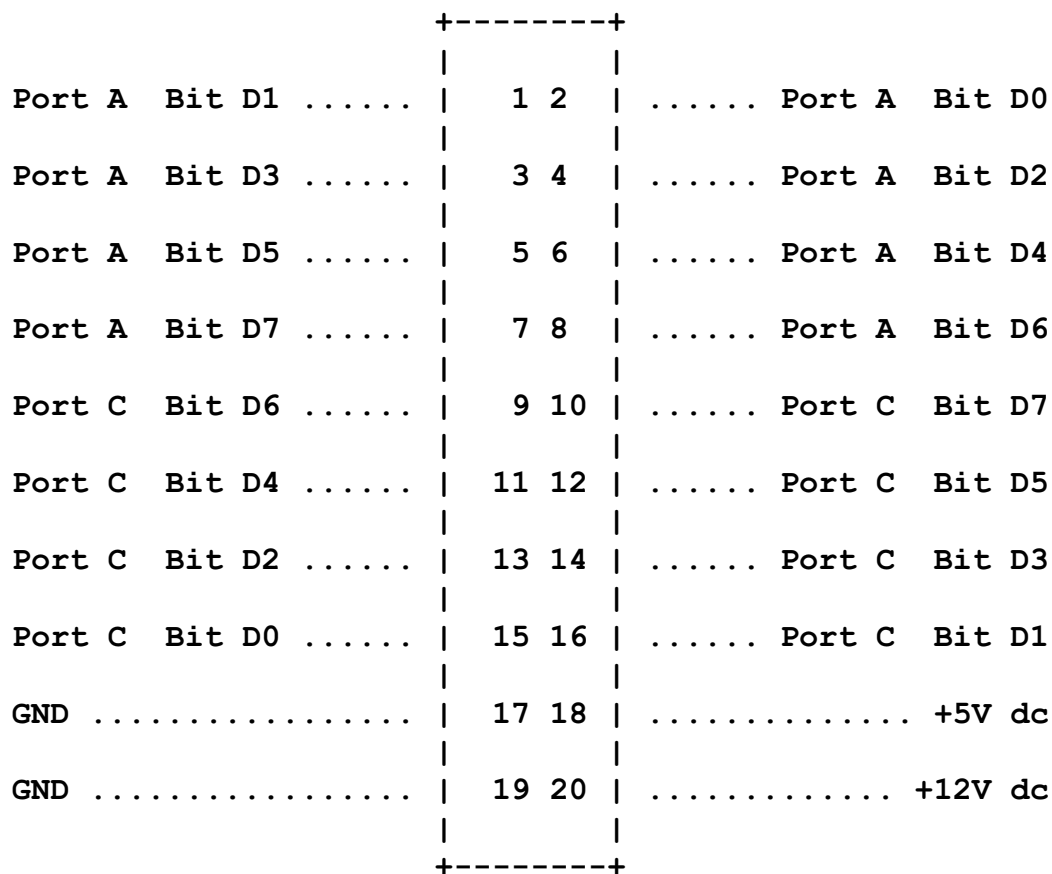


Fig. 4-3: Connettore CN2.

LEGENDA:

Port A da D0 a D7 Rappresenta il byte di comunicazione appartenente al port **A**.

Port C da D0 a D7 Rappresenta il byte di comunicazione appartenente al port **C**.

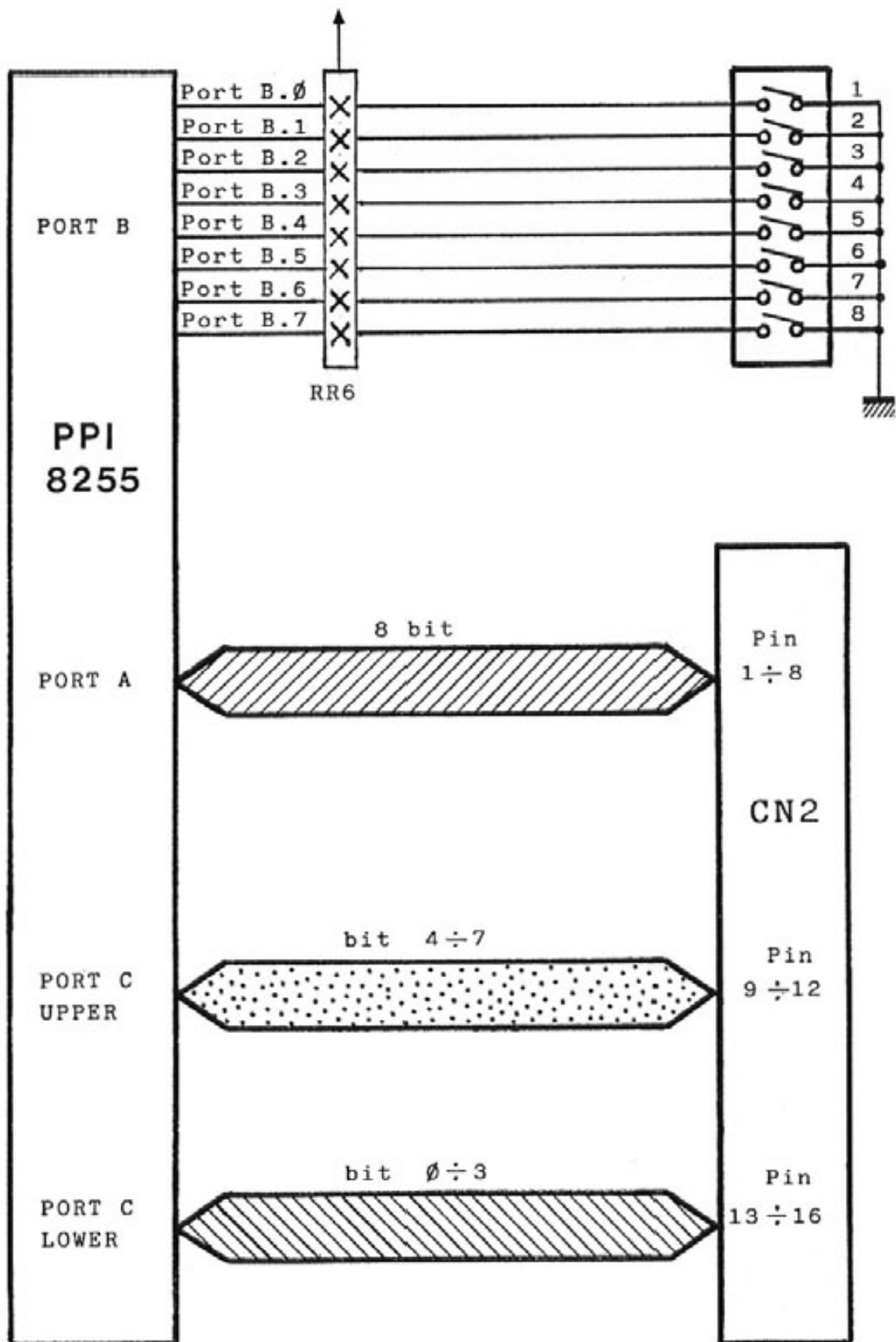


Fig. 4-4: Schema di Input-Output PPI 8255.

4.3.2. CN4

Connettore per PIT, Uscita Audio, Uscita D/A Converter

CN4 e' composto da **26** pin ed effettua la connessione tra i **6** contatori programmabili messi a disposizione dai due **PIT 8253**, l'uscita audio amplificata (**1 W**) generata dal **PSG 8910** e l'uscita analogica amplificata (**0-5V**) generata dal **ZN 428**, con il mondo esterno.

	+-----+	
OUT 0-A.....	1 2	CLK 0-A
GATE 0-A.....	3 4	OUT 1-A
GATE 1-A.....	5 6	CLK 1-A
GATE 2-A.....	7 8	OUT 2-A
+5 Vdc.....	9 10	CLK 2-A
GND.....	11 12	CLK 0-B
GATE 0-B.....	13 14	OUT 0-B
GATE 1-B.....	15 16	CLK 1-B
GATE 2-B.....	17 18	OUT 1-B
OUT 2-B.....	19 20	CLK 2-B
OUT D/A.....	21 22	GND D/A
-AUDIO S.....	23 24	+AUDIO S
-AUDIO.....	25 26	+AUDIO
	+-----+	

Fig. 4-5: Connettore CN4.

LEGENDA:

Definiamo **IC 22** come **8253 A** ed **IC 17** come **8253 B** ed ad ogni pin del connettore e' indicato con **-A** o **-B** l' integrato da cui viene prelevato.

CLK n: Counter Clock Input del contatore n.

OUT n: Counter Output del contatore n.

GATE n: Counter Gate Input del contatore n.

OUT D/A: Uscita analogica del D/A converter.

GND D/A: Massa del segnale in uscita dal D/A converter. -AUDIO

S: Massa del segnale audio in serie al buzzer di bordo. +AUDIO

S: Uscita audio in serie al buzzer di bordo.

-AUDIO: Massa del segnale audio.

+AUDIO: Uscita del segnale audio.

Da notare che l' uscita audio e' amplificata a bordo della scheda e raggiunge una potenza di circa **1 W**.

L'eventuale altoparlante che deve essere collegato a tale uscita, sara' connesso ai pin **23** e **25** se si desidera collegare lo stesso altoparlante in serie al buzzer di bordo (gestito tramite **J2**), viceversa se si desidera collegarlo direttamente all' amplificatore, escludendo il buzzer, lo si dovra' connettere ai pin **24** e **26**.

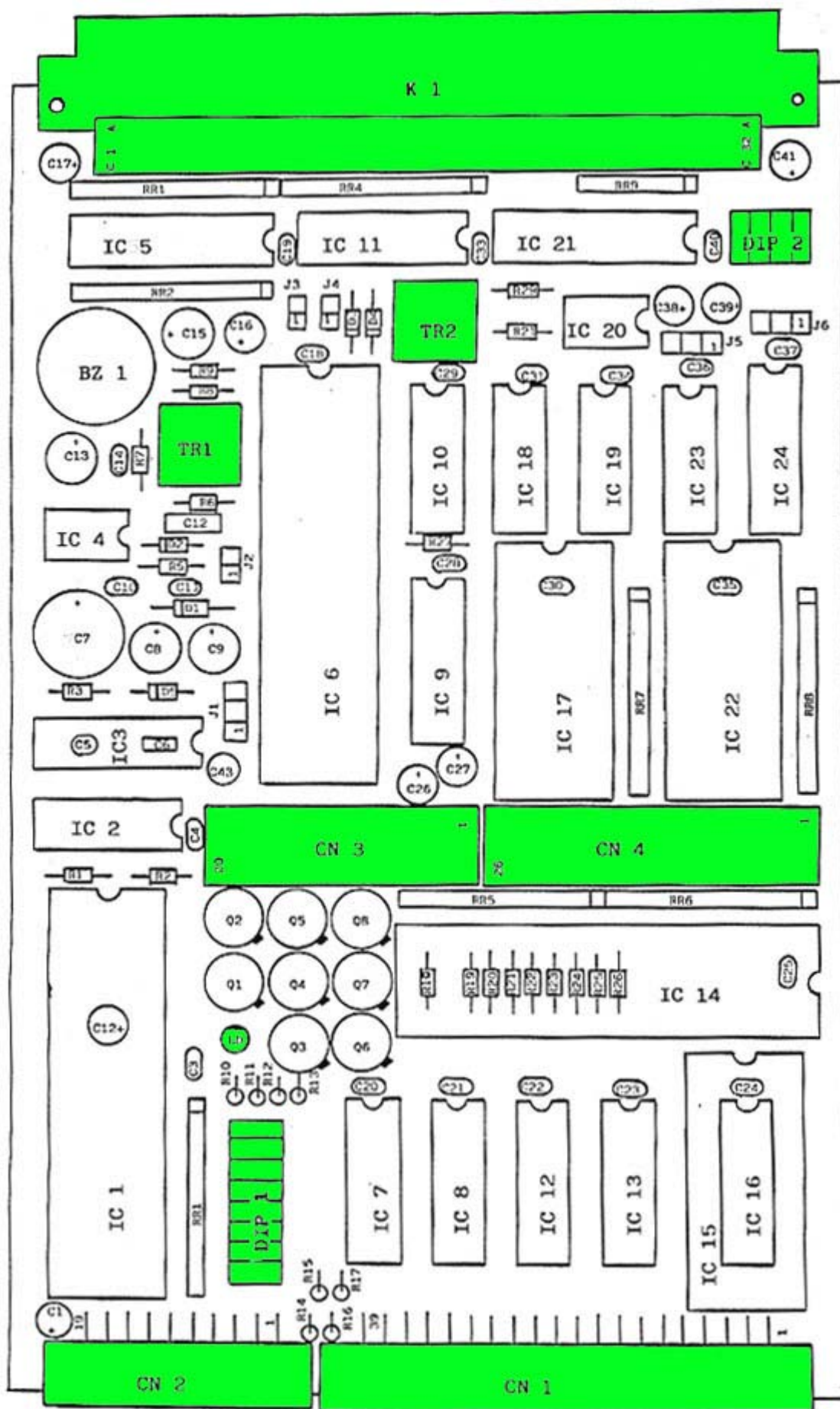


Fig. 4-6: Disposizione Connettori, Dip Switch, LED e Trimmer.

4.3.3. CN1 (Connettore KDC)

CN1 e' composto da 40 pin e connette l' interfaccia KDC 8279 ad un dispositivo esterno ad essa compatibile.

	+-----+		
Tastiera colonna 1 ...	1	2	... Colonna 2 tastiera
Tastiera colonna 3 ...	3	4	... Colonna 4 tastiera
Tastiera colonna 5 ...	5	6	... Colonna 6 tastiera
Tastiera colonna 7 ...	7	8	... Colonna 8 tastiera
Tastiera riga 1	9	10	 Riga 2 tastiera
Tastiera riga 3	11	12	 Riga 4 tastiera
Tastiera riga 5	13	14	 Riga 6 tastiera
Tastiera riga 7	15	16	 Riga 8 tastiera
Digit catodo 16	17	18	 Catodo 15 digit
Digit catodo 14	19	20	 Catodo 13 digit
Digit catodo 12	21	22	 Catodo 11 digit
Digit catodo 10	23	24	 Catodo 9 digit
Digit catodo 8	25	26	 Catodo 7 digit
Digit catodo 6	27	28	 Catodo 5 digit
Digit catodo 4	29	30	 Catodo 3 digit
Digit catodo 2	31	32	 Catodo 1 digit
Segmento D.P.	33	34	 Segmento G
Segmento F	35	36	 Segmento E
Segmento D	37	38	 Segmento C
Segmento B	39	40	 Segmento A
	+-----+		

Fig. 4-7: Connettore CN1.

LEGENDA:

Colonna - Riga Si tratta della riga e della colonna della tastiera durante la scansione effettuata dal KDC 8279.

Catodo da 1 a 16 Individua il rispettivo display o gli equivalenti

8 LED montati con catodo comune.

DP., A, B, C, D, E, F, G Individuano i rispettivi segmenti del display selezionato.

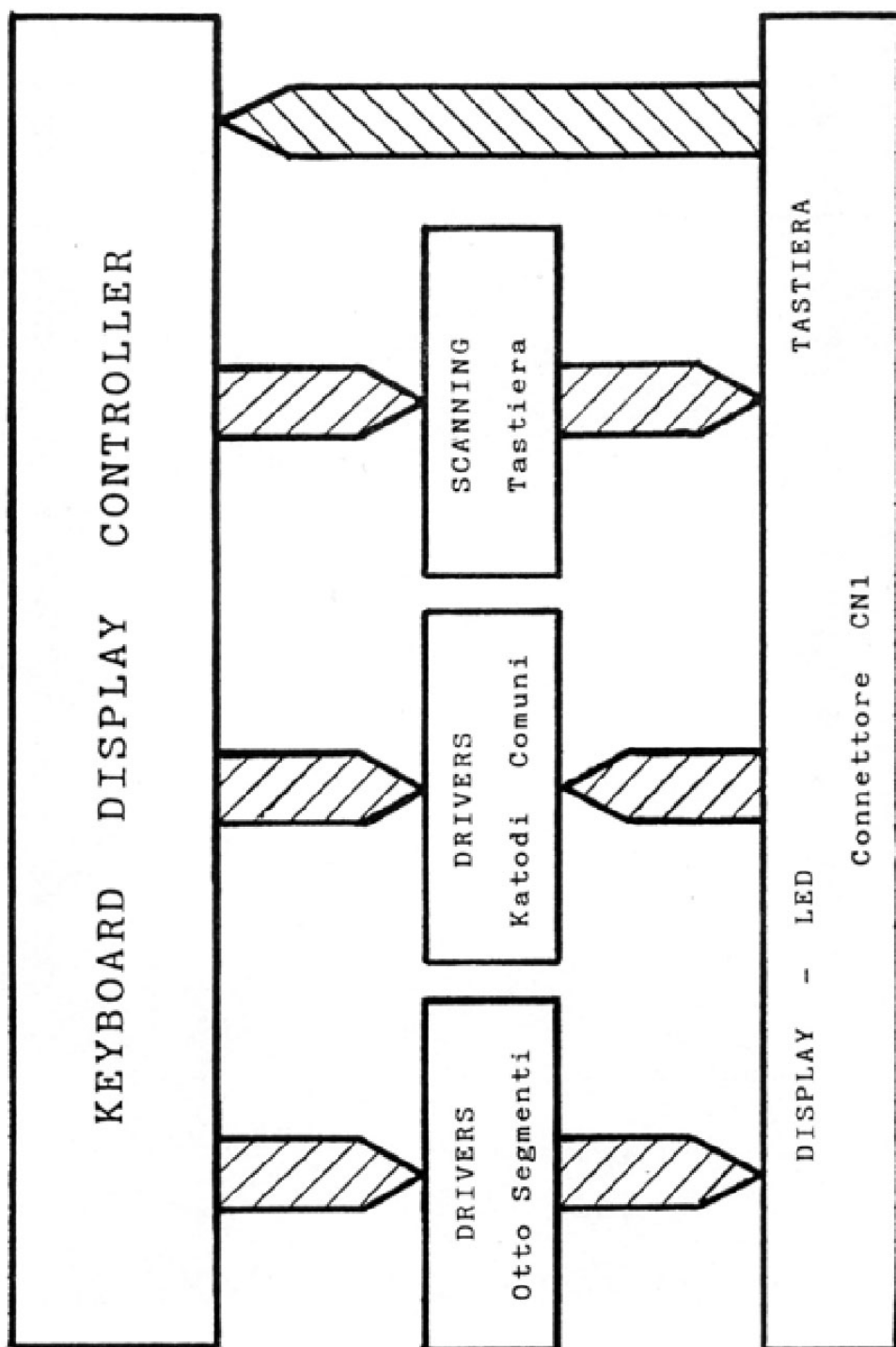


Fig. 4-8: Schema di Input-Output KDC.

4.3.4. CN3 (Connettore PSG)

CN3 e' composto da 20 pin ed effettua la connessione tra i port A e B del generatore di suoni programmabile 8910 e l' ambiente esterno.

		+-----+		
Port A	Bit D1	1 2		Port A Bit D0
Port A	Bit D3	3 4		Port A Bit D2
Port A	Bit D5	5 6		Port A Bit D4
Port A	Bit D7	7 8		Port A Bit D6
Port B	Bit D6	9 10		Port B Bit D7
Port B	Bit D4	11 12		Port B Bit D5
Port B	Bit D2	13 14		Port B Bit D3
Port B	Bit D0	15 16		Port B Bit D1
GND		17 18		+5V dc
GND		19 20		+12V dc
		+-----+		

Fig. 4-9: Connettore CN3.

LEGENDA:

Port A da D0 a D7 Rappresenta il byte di comunicazione appartenente al port **A**.

Port B da D0 a D7 Rappresenta il byte di comunicazione appartenente al port **C**.

4.3.5. K1 (Connettore per BUS ABACO(R))

Il connettore **K1** e' formato da un insieme di **64** pin con cui e' possibile effettuare il collegamento della scheda con il **Bus ABACO(R)**.

Nella tabella seguente e' rappresentato il **Pin-Out** del **BUS** e quindi anche del relativo connettore, con le variazioni per l'utilizzo di **CPU** a **16** bit rispetto a quelle a **8** bit.

- A	A	A	pin	C	C	C
CPU 16 bit	CPU 8 bit	PCK 01		PCK 01	CPU 8 bit	CPU 16 bit
	GND	GND	1	GND	GND	
	+5V	+5V	2	+5V	+5V	
	D0	D0	3		*	D8
	D1	D1	4		*	D9
	D2	D2	5		*	D10
	D3	D3	6	/INT	/INT	
	D4	D4	7		/NMI	
	D5	D5	8		/HALT	D11
	D6	D6	9		/MREQ	
	D7	D7	10	/IOREQ	/IOREQ	
	A1	A1	11	/RD	/RD	/RDLDS
	A2	A2	12	/WR	/WR	/WRLDS
	A3	A3	13		/BUSAK	D12
	A4	A4	14	/WAIT	/WAIT	
	A5	A5	15		/BUSRQ	D13
	A6	A6	16	/RESET	/RESET	
	A7	A7	17	/M1	/M1	/IACK
	A8	A8	18		/RFSH	D14
	A9		19		/MEMDIS	
	A10		20		VDUSEL	A23
	A11		21		/IEI	D15
	A12		22		*	Ris.
	A13		23	CLK	CLK	
	A14		24		*	/RDUDS
	A15		25		*	/WRUDS
	A16		26		*	A22
A17	*		27		*	A21
A18	*		28		*	A20
A19	*		29		R.T.	
	+12V	+12V	30	-12V	-12V	
	+5V	+5V	31	+5V	+5V	
	GND	GND	32	GND	GND	

Fig. 4-10: Pin di Connessione del BUS.

LEGENDA:

Le denominazioni dei pin in neretto nella configurazione del **BUS** sono relative all' uso di una **CPU** a **16** bit.

CPU A 8 BIT

A0-A15= Address Bus - Bus degli indirizzi ;
D0-D7= Data Bus - Bus dei dati ;
INT= Interrupt request - Richiesta di interruzione ;
NMI= Non Mascherable Interrupt - Richiesta di interruzione non mascherabile;
HALT= Halt State - Stato di Halt ;
MREQ= Memory Request - Richiesta di memoria ;
IORQ= Input/Output Request - Richiesta di Input/Output ;
RD= Read Cycle Status - Richiesta di lettura ;
WR= Write Cycle Status - Richiesta di scrittura ;
BUSAK= Bus Acknowledge - Riconoscimento del Bus ;
WAIT= Wait - Attesa ;
BUSRQ= Bus Request - Richiesta del Bus ;
RESET= Azzeramento ;
M1= Machine Cycle One - Primo Ciclo Macchina ;
RFSH= Refresh - Rinfresco ;
MEMDIS= Memory Display - Viene emesso dal dispositivo periferico che si sta mappando nell' area di memoria ;
VDUSEL= VDU Selection - Abilita il dispositivo periferico ad ad essere mappato nell' area di memoria ;
IEI FIO 02,03= Abilitazione interrupt FIO 02 , 03
CLK= Clock di sistema
R.T.= Tasto di Reset

CPU A 16 BIT

A0-A21= Address Bus - Bus degli indirizzi
D0-D15= Data Bus - Bus dei Dati
RD UDS= Read Upper Data Strobe - Lettura del byte superiore BUS Dati ;
WR UDS= Write Upper Data Strobe - Scrittura del byte superiore bus dati ;
IACK= Interrrupt Acknowledge - Riconoscimento della richiesta di Interrupt da parte della CPU ;
RD LDS= Read Lower Data Strobe - Lettura del byte inferiore BUS Dati ;
WR LDS= Write Lower Data Strobe - Scrittura del byte inferiore BUS Dati ;

4.4. Segnalazioni Visive.

La scheda **PCK 01** segnala tramite un led rosso L1 l'intervento del circuito di **Watch Dog** presente sulla scheda. L'accensione di questo led indica che il circuito di protezione e' entrato in azione, quindi per quanto gia' detto nel capitolo **2.4** il **LED** e' normalmente spento e si attiva solo in caso di reset della scheda. Per individuare la posizione del led si fa riferimento alla figura **4.12**.

4.5. Input di Bordo.

Connesso al port **B** del **PPI 8255**, c' e' un dip switch ad **8** vie **DIP1**, i cui valori possono essere acquisiti via software.

Questa caratteristica ne permette un utilizzo per operare un minimo di colloquio utente programma con l'uso di una sola scheda di **CPU** o **GPC** della famiglia **ABACO(R)**. Le applicazioni piu' immediate possono essere quelle di variare delle condizioni di lavoro o selezionare una serie di parametri dal firmware di bordo. Per individuare la collocazione del dip switch si fa riferimento alla figura **4.12**.

Nel caso si presenti l'esigenza di incrementare il numero di linee di Input, si puo' semplicemente togliere il **DIP1** e sostituirlo con un connettore a **16** vie (a vaschetta verticale), mettendo cosi' a disposizione il port **B** del **PPI 8255**. Tale port dovra' comunque essere utilizzato solo in input, per evitare conflitti con la periferica di conversione **D/A** secondo le indicazioni della tabella **5.1**.

4.6. Taratura Amplificatori di Bordo.

A bordo della scheda **PCK 01** sono presenti due amplificatori, di cui uno utilizzato per aumentare il range in cui puo' variare la tensione in uscita dal **D/A** converter ed il rimanente utilizzato per incrementare la potenza del segnale audio in uscita dal **PSG 8910** in modo da poter poi pilotare un altoparlante.

Entrambi gli amplificatori possono essere tarati tramite due appositi trimmer presenti sulla scheda. In particolare:

TR 1 -> Varia il volume dell' amplificatore audio.

TR 2 -> Permette di variare il guadagno dell' amplificatore che moltiplica la tensione in uscita dal convertitore.

Per individuare la posizione dei due trimmer si fa riferimento alla figura **4.12**.

5. MAPPAGGIO DELLA SCHEDA

5.1. Introduzione.

La scheda **PCK 01** viene indirizzata in uno spazio fisico di **16** byte, in cui sono allocati tutti i registri necessari per programmare e gestire le numerose periferiche di bordo.

Tale spazio puo' essere allocato a partire da **16** diversi indirizzi, selezionabili tramite il **Dip 2**, che infatti determina i **4** bit piu' significativi del **BUS** degli indirizzi in cui viene riconosciuta la scheda.

In questo modo tutti i **256** indirizzi che possono essere gestiti, con il bus degli indirizzi a 8 bit di cui e' provvista la scheda, sono utilizzati.

Tutto cio' che riguarda l'indirizzamento della **PCK 01** e' controllato da una apposita **PROM (IC 11)** che in base ai **4** bit meno significativi del bus degli indirizzi va' ad abilitare la corrispondente periferica, secondo lo schema della tabella **5.1**.

Prima di illustrare piu' specificatamente il metodo di indirizzamento della scheda, si riporta una sommaria descrizione di come devono essere gestite le periferiche, descrivendo anche tutti i registri che le caratterizzano.

5.2. KDC 8279

Questa periferica e' vista in due registri: uno di stato e uno dei dati con cui si effettua la programmazione ed il comando della stessa.

Il registro dati e' utilizzato sia per le operazioni di lettura (dati da tastiera) che per quelle di scrittura (dati su digits o **LED**), cosi' come quello di stato che e' utilizzato in scrittura per la programmazione ed in lettura per determinare lo stato della **FIFO** interna (quest'ultima memorizza i codici degli ultimi **8** tasti premuti).

La programmazione dell' **8279** avviene quindi scrivendo una parola di **8** bit nel registro di stato, quando al variare della parola varia il tipo di programmazione effettuata.

Se e' stata impostata una operazione di scrittura, il dato successivamente scritto nel registro dati viene riportato nell' apposita **RAM** interna e poi sulle uscite (**LED** o digits), mentre se e' stata impostata una operazione di lettura del registro dati, viene letto uno dei codici presenti nella **FIFO**.

Da notare che la parola letta dal registro dati riporta un codice a **8** bit del corrispondente tasto premuto, mentre per la parola scritta vale la seguente corrispondenza con le uscite dell' integrato:

D0 -> segmento A
D1 -> segmento B
D2 -> segmento C
D3 -> segmento D
D4 -> segmento E
D5 -> segmento F
D6 -> segmento G
D7 -> segmento D.P.

Inoltre ogni bit è negato, quindi per attivare il segmento **A** il bit **D0** deve essere a **0** logico.

Esaminando piu' dettagliatamente i possibili comandi di programmazione che possono essere impostati scrivendo nel registro di stato:

-Parola= 0 0 0 D D K K K

Definisce il modo di visualizzazione del dato sulle uscite ed il modo di scansione della matrice di ingressi.

D D

- 0 0 Visualizzazione caratteri da **8-8** bit con entrata da sinistra
- 0 1 Visualizzazione caratteri da **16-8** bit con entrata da sinistra
- 1 0 Visualizzazione caratteri da **8-8** bit con entrata da destra
- 1 1 Visualizzazione caratteri da **16-8** bit con entrata da destra

K K K

- 0 0 0 Scansione **1** con accettazione simultanea di due codici
- 0 0 1 Scansione **0** con accettazione simultanea di due codici
- 0 1 0 Scansione **1** con accettazione simultanea di **N** codici
- 0 1 1 Scansione **0** con accettazione simultanea di **N** codici
- 1 0 0 Scansione **1** a matrice
- 1 0 1 Scansione **0** a matrice
- 1 1 0 Scansione **1** per tastiera con **CTRL, CAPS LOCK, REPT**
- 1 1 1 Scansione **0** per tastiera con **CTRL, CAPS LOCK, REPT**

Con scansione **1** si intende un riconoscimento del codice con livello logico 1 e viceversa per scansione **0**.

Gli ultimi due modi di scansione non possono essere programmati sul **KDC 8279** montato sulla **PCK 01** infatti non è stata previsto il suo utilizzo per la gestione di una tastiera alfanumerica.

-Parola= 0 0 1 P P P P P

Definisce la frequenza del clock interno della periferica (frequenza utilizzata anche per le attivazioni delle uscite).

Il valore della combinazione **P P P P P (0-31)** stabilisce il numero di volte per cui la frequenza esterna viene divisa per ottenere quella interna:

$$\text{FREQINT} = \text{FREQEST} / (\text{P P P P P})$$

-Parola= 0 1 0 A1 X A A A

Definisce quale cella della **FIFO** deve essere interessata dalla prossima operazione di lettura del registro dati.

La combinazione **A A A** definisce quale delle **8** celle della **FIFO** deve essere letta; **A1** se a **1** stabilisce un autoincremento dell' indirizzo **A A A** ad ogni lettura eseguita.

-Parola= 0 1 1 A1 A A A

Stabilisce quale indirizzo della **RAM** interna deve essere letto dalla prossima operazione di lettura del registro dati.

La combinazione **A A A A** definisce quale delle **16** celle della **RAM** deve essere letta; **A1** se a **1** stabilisce un autoincremento dell' indirizzo **A A A A** ad ogni lettura eseguita.

-Parola= 1 0 0 A1 A A A A

Definisce in quale cella della **RAM** interna deve essere posto il dato scritto dalla prossima operazione di scrittura.

La combinazione **A A A A** definisce quale delle **16** celle della **RAM** deve essere scritta; **A1** se a **1** stabilisce un autoincremento dell' indirizzo **A A A A** ad scrittura successiva.

-Parola= 1 0 1 X IH IL BH BL

Definisce l'attivazione del bus dati in **Nibble** durante le operazioni di scrittura:

IH Disabilita il nibble piu' significativo

IL Disabilita il nibble meno significativo

BH Azzera il nibble piu' significativo **BL** Azzera il nibble meno significativo

Queste operazioni avvengono se i corrispondenti bit sono a **1** logico.

-Parola=1 1 0 CD CD CD CF CA

Definisce una operazione di azzeramento per i dispositivi interni dell' **8279**:

CD CD CD

1 0 X Azzeramento RAM (Reset)

1 1 0 Disabilita tutti i segmenti F, abilitando i rimanenti

1 1 1 RAM a 1 (Set totale)

0 X X Disabilita la disattivazione display

CF se a 1 provoca l' azzeramento della FIFO

CA se a 1 provoca l' azzeramento sia della RAM che della FIFO

-Parola= 1 1 1 E X X X X

Nel caso **E** sia posto a **1** viene fornita una risposta alla richiesta di interrupt del **KDC**, riabilitando quindi la periferica.

La lettura dello stato della **FIFO** avviene leggendo il registro di stato e la parola presente avrà il seguente significato:

Parola= DU S/E O U F N N N

dove

DU Visualizzazione impossibile in quanto è in corso una operazione di azzeramento

S/E Indica se si è verificata una chiusura contemporanea di due o più contatti

O Indica se è stato premuto uno o più tasti quando la **FIFO** era già piena

U Indica se è stata effettuata una lettura di un dato della **FIFO** quando questa era vuota

F Indica se la FIFO è piena

N N N Indicano il numero di dati presenti nella **FIFO**

Queste indicazioni sono relative ad una considerazione del bit a 1.

5.3. PPI 8255

Questa periferica e' vista in **4** registri: uno di stato e tre dei dati con cui si effettua la programmazione ed il comando della stessa.

I registri dati sono utilizzati sia per le operazioni di lettura (port in input) che per quelle di scrittura (port in output) ed ognuno di tali registri riporta i dati di **I/O** del corrispondente port. La periferica puo' operare in tre modi diversi:

MODO 0 = Prevede **2** port bidirezionali da **8** bit (**A,B**) e due port bidirezionali da **4** bit (**CH,CL**); ingressi non latched ed uscite latched; nessun segnale di handshaking.

MODO 1 = Prevede **2** port da **12** bit (**A+CL,B+CH**) dove gli **8** bit dei port **A** o **B** costituiscono le linee di **I/O** mentre i **4** del port **C** costituiscono le linee di handshaking. Gli ingressi e le uscite sono latched.

MODO 2 = Prevede **1** port da **13** bit (**A+C3-7**) dove gli **8** bit del port **A** costituiscono le linee di **I/O**, mentre i rimanenti **5** bit del port **C** costituiscono le linee di controllo.

Un port da **11** bit (**B+C0-2**) dove gli **8** bit del port **B** costituiscono le linee di **I/O** ed i rimanenti **3** bit del port **C** costituiscono le linee di controllo.

Sia gli ingressi che le uscite sono latched.

La programmazione della periferica avviene scrivendo una parola a **8** bit nel registro di stato, quando:

Parola= SF M M A CH M B CL

dove

SF Se attivo (**1**) abilita il comando della periferica

M M

0 0 Selezione del modo **0**

0 1 Selezione del modo **1**

1 X Selezione del modo **2**

- A** Se attivo (**1**) setta il port **A** in input e viceversa
- CH** Se attivo setta il nibble piu' significativo del port **C** in input e viceversa
- M** Se attivo (**1**) seleziona modo **1**, viceversa seleziona modo **0**
- B** Se attivo setta il port **B** in input e viceversa
- CL** Se attivo setta il nibble meno significativo del port **C** in input e viceversa

5.4. PIT 8253

Questa periferica e' vista in **4** registri, di cui uno di stato e tre dei dati, con cui si effettua la programmazione ed il comando della stessa.

I registri dati sono utilizzati sia per operazioni di scrittura (caricamento della combinazione di conteggio nei contatori) che di lettura (della combinazione raggiunta durante il conteggio)

Ogni registro dati, riporta la combinazione del corrispondente contatore a cui e' associato.

La periferica puo' operare in **6** modi diversi:

MODO 0 = L'uscita e' normalmente bassa; dopo una operazione di scrittura nel registro dati del dato **n**, l'uscita continua a rimanere bassa per **n** periodi di **CLK** per poi portarsi alta.

L'ingresso **GATE** puo' prolungare il periodo in cui l'uscita rimane bassa dopo l'operazione di scrittura.

Mode 0

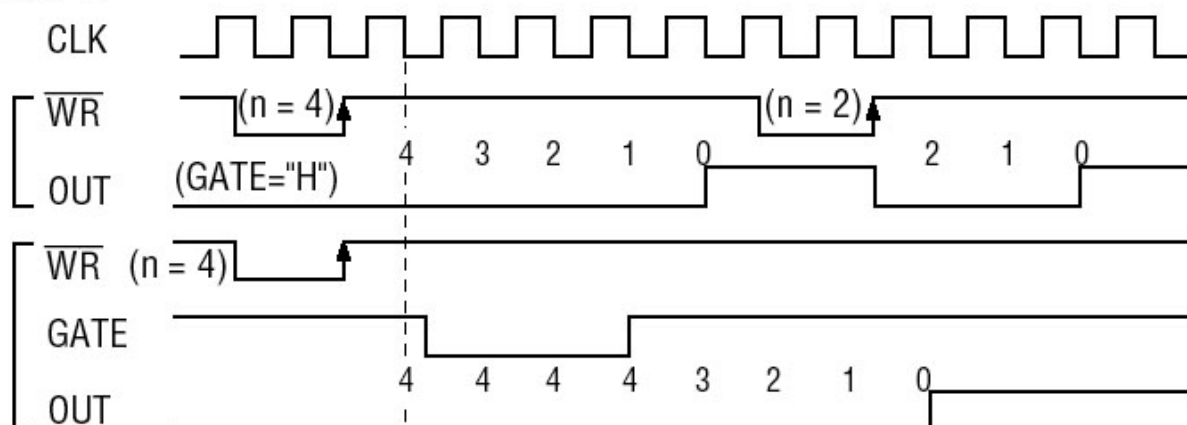


Fig. 5-1: Diagramma segnali PIT 8253 Modo 0.

MODO 1 = L' uscita e' normalmente alta; dopo una operazione di scrittura nel registro dati del dato **n**, al primo impulso di **GATE** l'uscita si porta bassa per **n** periodi di **CLK**, dopodiche' si riporta alta.

Sucessivi impulsi di **GATE** azzerano il conteggio del numero di periodi di **CLK** trascorsi.

Mode 1

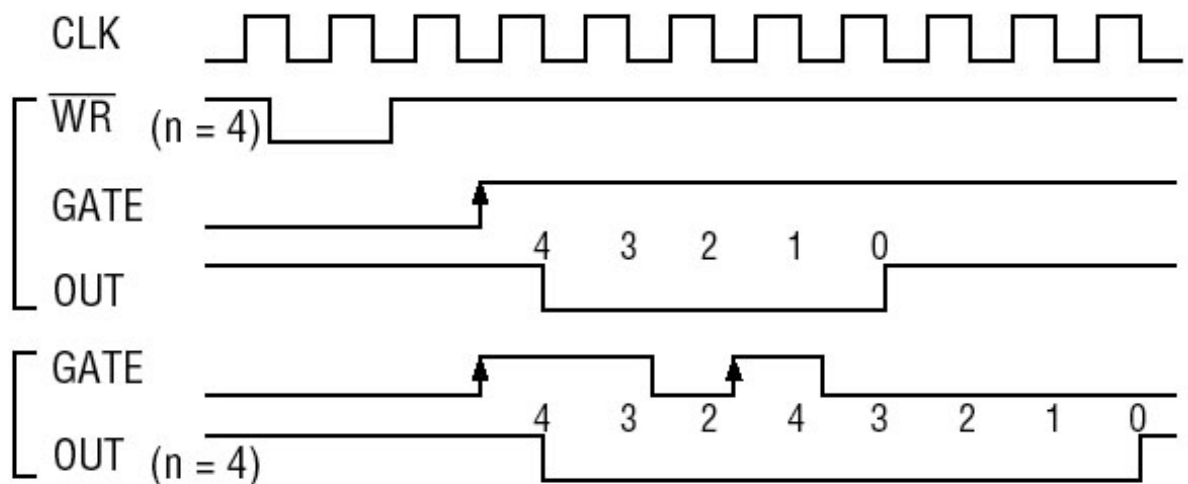


Fig. 5-2: Diagramma segnali PIT 8253, Modo 1.

MODO 2 = L' uscita e' normalmente alta; dopo una operazione di scrittura nel registro dati del valore **n**, l'uscita si porta periodicamente bassa per un periodo di **CLK**.

Da notare che il periodo che intercorre tra due abbassamenti dell' uscita coincide con **n** periodi di **CLK**.

L'ingresso **GATE** puo' prolungare il periodo che intercorre tra due sucessivi abbassamenti dell'uscita.

Mode 2

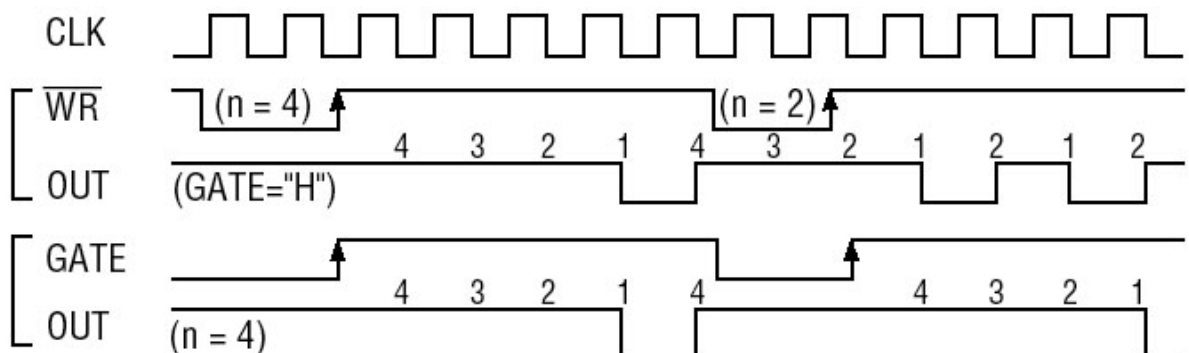


Fig. 5-3: Diagramma segnali PIT 8253, Modo 2.

MODO 3 = L' uscita e' normalmente alta; dopo una operazione di scrittura nel registro dati del valore **n**, l' uscita si porta bassa per **n/2** periodi di **CLK** per poi riportarsi alta per i rimanenti **n/2** periodi e continuare con questa sequenza.

Nel caso **n** sia dispari la durata del periodo in cui l' uscita e' alta sara' maggiore di quella in cui l' uscita e' bassa, di un periodo di **CLK**.

L' ingresso **GATE** puo' prolungare entrambi i periodi.

Mode 3

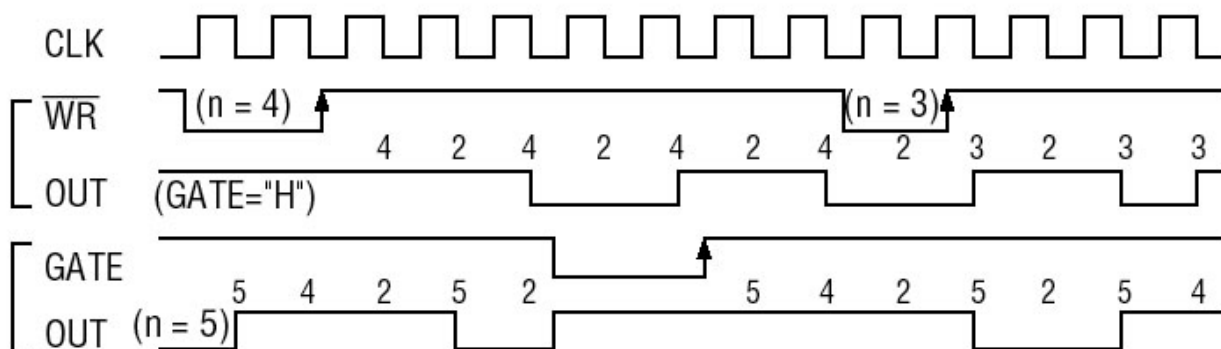


Fig. 5-4: Diagramma segnali PIT 8253, Modo 3.

MODO 4 = L' uscita e' normalmente alta; effettuata una operazione di scrittura nel registro dati del valore **n**, l' uscita continua ad essere alta per **n** periodi di **CLK**, dopodiche' si porta bassa per un solo periodo di **CLK**.

L' ingresso **GATE** puo' prolungare il periodo in cui l' uscita e' alta dopo l' operazione di scrittura.

Mode 4

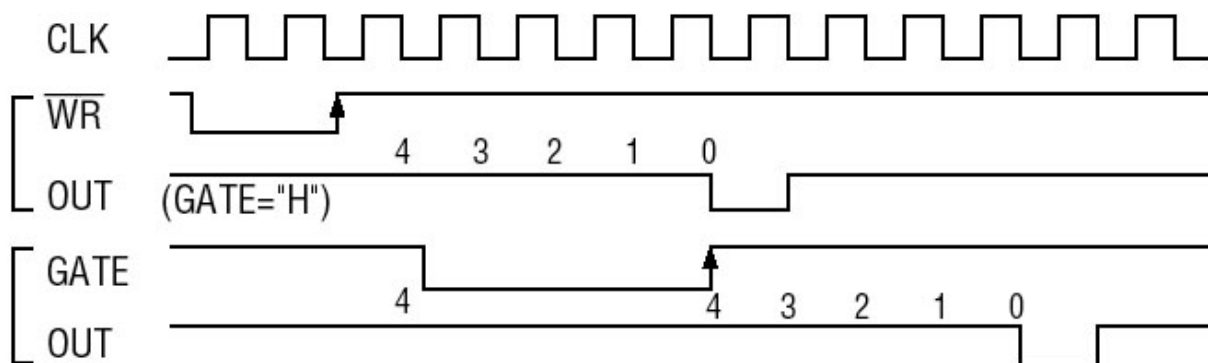


Fig. 5-5: Diagramma segnali PIT 8253, Modo 4.

MODO 5 = L' uscita e' normalmente alta; dopo una operazione di scrittura nel registro dati del valore **n**, al primo impulso di **GATE** l' uscita rimane ancora alta per **n** periodi di **CLK**, dopodiche' si porta bassa per un solo periodo di **CLK**.

Sucessivi impulsi di **GATE** azzerano il conteggio del numero di periodi di **CLK** trascorsi.

Mode 5

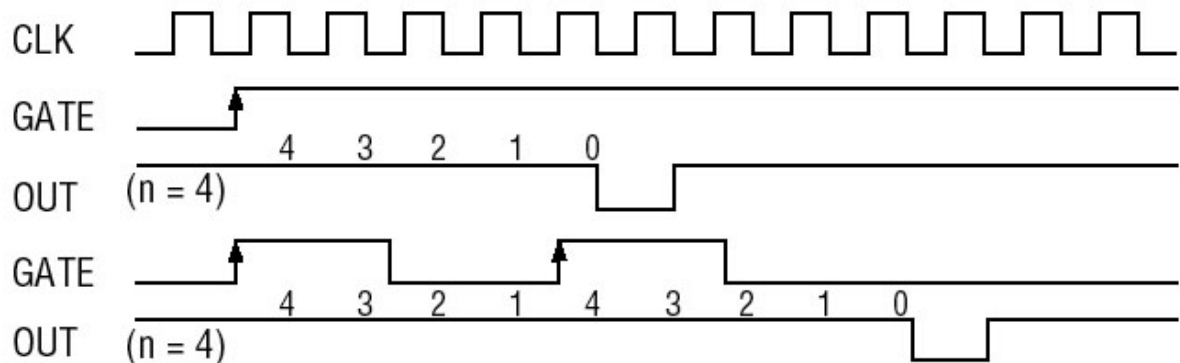


Fig. 5-6: Diagramma segnali PIT 8253, Modo 5.

La programmazione della periferica avviene scrivendo una parola di 8 bit nel registro di stato, dove:

Parola= S1 S0 R1 R0 M2 M1 M0 BCD

S1 S0

0	0	Selezione del contatore interno 0
0	1	Selezione del contatore interno 1
1	0	Selezione del contatore interno 2

R1 R0

0	0	Operazioni di R/W sui contatori latched
0	1	Operazioni di R/W solo sul M.S.Byte
1	0	Operazioni di R/W solo sul L.S.Byte
1	1	Operazioni di R/W prima sul L.S.Byte, poi sul M.S.Byte

Questi comandi sono necessari in quanto i tre contatori sono a **16** bit, mentre i rispettivi registri dati sono a **8** bit.

M2	M1	M0	
0	0	0	Selezione del Modo 0
0	0	1	Selezione del Modo 1
X	1	0	Selezione del Modo 2
X	1	1	Selezione del Modo 3
1	0	0	Selezione del Modo 4
1	0	1	Selezione del Modo 5

BCD Se attivo (**1**) i contatori contano in **BCD** a **4** cifre, viceversa contano in binario puro.

5.5. ZN 428

Questa periferica e' vista in un solo registro di dati, infatti non richiede programmazione.

La parola a 8 bit scritta in questo registro viene automaticamente convertita in un segnale analogico variabile tra **0** e **+2,5 V**.

La combinazione binaria scritta nel registro dati viene latchata, quindi una volta effettuata l'operazione di scrittura, l'uscita analogica del convertitore riporta la corrispondente tensione mantenendola costante fino alla successiva scrittura.

5.6. PSG 8910

Questa periferica e' vista in due byte di cui uno di indirizzamento ed il rimanente con funzione alternata di registro di stato o registro dati.

In realta' il **PSG 8910** viene gestito tramite **16** registri interni, ma la stessa periferica e' dotata di un apposito sistema con cui utilizzando due soli byte possono essere visti tutti i 16 registri disponibili.

Da notare che dei due byte in cui e' vista la periferica, quello di indirizzamento (o latch) sara' utilizzato per sole operazioni di scrittura, dove la combinazione scritta coincidera' con l' indirizzo del registro interno che deve essere utilizzato nella gestione della periferica.

Viceversa il rimanente byte sara' utilizzato sia in scrittura (programmazione dell' IC e scrittura nei port) che in lettura (dei port). Per quanto riguarda la corrispondenza tra i **16** registri interni ed i relativi indirizzi da utilizzare nella fase di latch, vale:

R0	->	00H
R1	->	01H
R2	->	02H
R3	->	03H
R4	->	04H
R5	->	05H
R6	->	06H
R7	->	07H
R10	->	08H
R11	->	09H
R12	->	0AH
R13	->	0BH
R14	->	0CH
R15	->	0DH
R16	->	0EH
R17	->	0FH

Il **PSG 8910** fondamentalmente e' una periferica dotata di due port paralleli ad **8** bit, la cui direzionalita' e' settabile a livello di byte e di tre uscite analogiche audio indipendenti (**A,B,C**).

Quest' ultime sono equivalenti e possono funzionare separatamente, ma sulla **PCK 01** tali uscite sono state sommate e ridotte ad una unica; questo perche' programmando diversamente i tre canali e' possibile ottenere una gamma di

suoni notevolmente superiore.

Di seguito e' riportata la funzione dei 16 registri interni:
Registri di controllo tono: **R0,R1,R2,R3,R4,R5**.

Con questi 6 registri si effettua la regolazione del tono dei tre canali audio. Regolazione che avviene selezionando la frequenza interna del generatore di suoni che determina quindi il tono del segnale audio in uscita.

I **6** registri possono essere divisi in **3** gruppi di **2**, dove ogni gruppo riguarda un canale, secondo la corrispondenza:

REGH	REGL	CANALE
R1	R0	A
R3	R2	B
R5	R4	C

Da notare che la selezione del tono e' effettuata dalla combinazione **REGH3-0**, **REGL7-0**, ovvero dai **12** bit meno significativi della parola a **16** bit formata dai due registri **REGH**, **REGL**.

I rimanenti **4** bit più significativi di **REGH** non sono utilizzati.

Registro di controllo rumore: **R6**

Con questo registro si regola l'intensita' del rumore di sottofondo delle uscite audio.

Anche questa regolazione va' ad agire indirettamente sulla frequenza del generatore di suoni. Tale regolazione avviene variando i **5** bit meno significativi del byte da scrivere nel registro, infatti i **3** bit più significativi di **R6** non sono utilizzati.

Registro di controllo: **R7**

Con questo registro viene comandata la periferica, infatti si puo' stabilire la direzionalità dei due port e le possibili attivazioni dei canali audio.

R7 = PB PA NC NB NA TC TB TA

dove

PB Stabilisce la direzionalità del port B -> 1 = output e viceversa

PA Stabilisce la direzionalità del port A -> 1 = output e viceversa

NC Attiva il rumore di fondo sul canale C -> 0 = attivato e viceversa
NB Attiva il rumore di fondo sul canale B -> 0 = attivato e viceversa
NA Attiva il rumore di fondo sul canale A -> 0 = attivato e viceversa
TC Attiva le frequenze di tono sul canale C -> 0 = attivato e viceversa
TB Attiva le frequenze di tono sul canale B -> 0 = attivato e viceversa
TA Attiva le frequenze di tono sul canale A -> 0 = attivato e viceversa

Registri di regolazione volume: **R10, R11, R12**

Con questi registri viene regolato il volume dei tre canali audio disponibili.

Ogni registro agisce separatamente su uno dei tre canali, secondo la corrispondenza:

REG	CANALE
R10	A
R11	B
R12	C

La selezione del volume avviene tramite i **5** bit meno significativi del registro, dove:

REG = NU NU NU M L3 L2 L1 L0

NU Non usato

M Seleziona il modo di uscita -> 0 = amplificato e viceversa

L3 L2 L1 L0 Nel modo amplificato determinano il volume.

Registri di controllo del periodo di inviluppo: **R13, R14**

Con questi registri è possibile variare il periodo di inviluppo del generatore di suoni, andando così a modificare il suono generato.

L'uso di questo registro, associato all'uso dei primi **6 (R0-R5)** permette di generare tutta la vastissima serie di suoni che il **PSG 8910** mette a disposizione.

La determinazione del periodo di inviluppo avviene tramite una parola a **16** bit composta dagli **8** bit dei due registri **R13** e **R14**, considerando che **R13** costituisce il byte meno significativo e **R14** quello più significativo.

Registro di controllo del generatore di inviluppo: **R15**

Con questo registro e' possibile comandare il generatore di inviluppo interno alla periferica, stabilendo come deve agire nei confronti del generatore di suoni.

Tale comando è effettuato dai **4** bit meno significativi del registro, secondo la corrispondenza:

REG 15 = NU NU NU NU H AL AT C

NU Non utilizzato

H Se attivo (1) memorizza lo stato attuale del generatore di inviluppo

AL Se attivo (1) imposta un funzionamento alternato del generatore

AT Se attivo (1) imposta una partenza del generatore

C Se attivo (1) riporta in esecuzione il generatore dallo stato precedentemente memorizzato.

Registri dati dei port: R16,R17

In questi registri vengono salvati i dati di input output dei due port **A** e **B**.

Sono per questo gli unici registri che vengono utilizzati sia in fase di scrittura che in fase di lettura.

Per quanto riguarda la corrispondenza tra i port ed i registri, vale:

R16 -> Port A

R17 -> Port B

Questi due registri sono latched solo in scrittura, infatti ogni dato scrittovi rimane inalterato fino alla successiva operazione di scrittura.

Le linee di **I/O** dei due port sono dotate di pull up interno, quindi i dati letti o scritti nei due registri risultano essere negati rispetto alle combinazioni presenti sulle stesse linee di **I/O**.

N.B. Per ulteriori informazioni a riguardo delle periferiche di bordo si fa' riferimento ai dati tecnici della casa costruttrice.

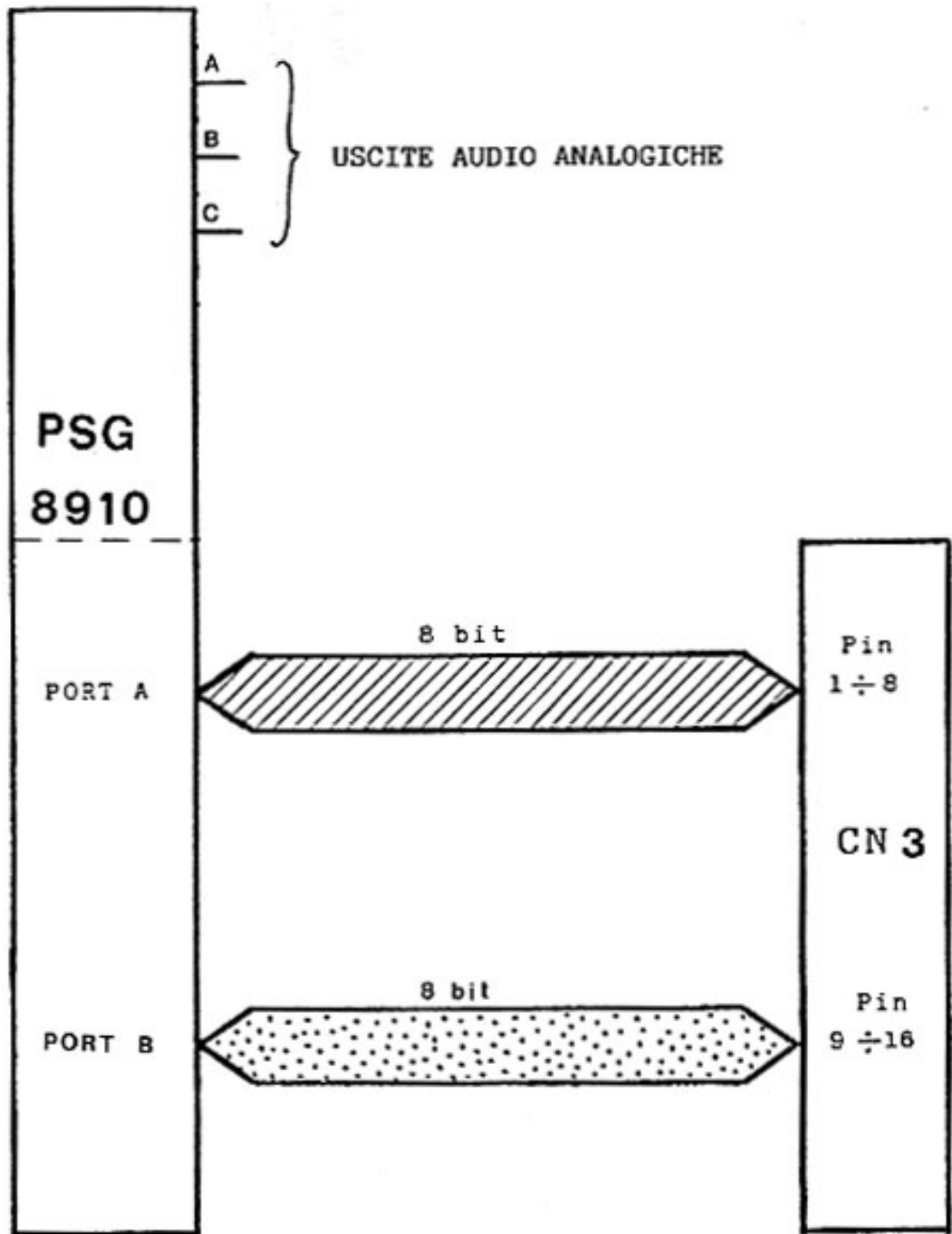


Fig. 4-10: Schema di Input-Output PSG 8910.

5.7. Indirizzamento Periferiche.

In questo capitolo sara' illustrato l'indirizzamento della scheda, ovvero la corrispondenza tra gli indirizzi disponibili ed i **16** registri con cui gestire tutte le periferiche di bordo.

Per semplificare la spiegazione si indica con **INDBASE** l'indirizzo in cui viene riconosciuta la scheda, ovvero l'indirizzo fissato con il **Dip 2**.

Come è gia' stato detto tale dip agisce solo sul nibble piu' significativo del bus indirizzi, quindi per stabilire l'indbase si dovra' considerare il nibble meno significativo a **0**.

Piu' in particolare la corrispondenza tra il **Dip 2** e le linee degli indirizzi e':

Dip 2.1 - Bit A4
Dip 2.2 - Bit A5
Dip 2.3 - Bit A6
Dip 2.4 - Bit A7

Il **Dip 2** e' collegato in maniera che se posto in posizione **ON** genera uno **Zero** logico, mentre in posizione **OFF** genera un **Uno** logico.

Esempio di indirizzamento:

Se si desidera mappare la scheda **PCK 01** all'indirizzo **INDBASE=A0H**, per esempio, occorre posizionare il **Dip 2** come segue:

Dip 2.1 - ON
Dip 2.2 - OFF
Dip 2.3 - ON
Dip 2.4 - OFF

ed i **16** registri con cui gestire le periferiche saranno indirizzati da **A0H** fino a **AFH**, secondo la corrispondenza indicata nella tabella **5.1**.

La corrispondenza tra i **16** registri delle periferiche e gli indirizzi in cui sono riconosciuti è riportata nella seguente tabella.

	P	K	P	P	P		
	P	D	S	T	T	Z	
	I	C	G	A	B	N	
-----+-----+-----+-----+-----+-----+-----+-----							
INDBASE+00H	R1						
-----+-----+-----+-----+-----+-----+-----+-----							
INDBASE+01H	R2					R3	
-----+-----+-----+-----+-----+-----+-----+-----							
INDBASE+02H	R4						
-----+-----+-----+-----+-----+-----+-----+-----							
INDBASE+03H	R5						
-----+-----+-----+-----+-----+-----+-----+-----							
INDBASE+04H		R6					
-----+-----+-----+-----+-----+-----+-----+-----							
INDBASE+05H		R7					
-----+-----+-----+-----+-----+-----+-----+-----							
INDBASE+06H			R8				
-----+-----+-----+-----+-----+-----+-----+-----							
INDBASE+07H			R9				
-----+-----+-----+-----+-----+-----+-----+-----							
INDBASE+08H				R10			
-----+-----+-----+-----+-----+-----+-----+-----							
INDBASE+09H				R11			
-----+-----+-----+-----+-----+-----+-----+-----							
INDBASE+0AH				R12			
-----+-----+-----+-----+-----+-----+-----+-----							
INDBASE+0BH				R13			
-----+-----+-----+-----+-----+-----+-----+-----							
INDBASE+0CH					R14		
-----+-----+-----+-----+-----+-----+-----+-----							
INDBASE+0DH					R15		
-----+-----+-----+-----+-----+-----+-----+-----							
INDBASE+0EH					R16		
-----+-----+-----+-----+-----+-----+-----+-----							
INDBASE+0FH					R17		
-----+-----+-----+-----+-----+-----+-----+-----							

Table 5-1: Tabella Indirizzi dei Registri delle Periferiche.

LEGENDA

- R1** = Registro dati del port A del PPI 8255
R2 = Registro dati del port B del PPI 8255
R3 = Registro dati del convertitore del ZN 428
R4 = Registro dati del port C del PPI 8255
R5 = Registro di stato del PPI 8255
R6 = Registro dati del KDC 8279
R7 = Registro di stato del KDC 8279
R8 = Registro di indirizzamento del PSG 8910

R9 = Registro di stato-dati del PSG 8910
R10 = Registro dati del contatore 0 del PIT 8253A
R11 = Registro dati del contatore 1 del PIT 8253A
R12 = Registro dati del contatore 2 del PIT 8253A
R13 = Registro di stato del PIT 8253A
R14 = Registro dati del contatore 0 del PIT 8253B
R15 = Registro dati del contatore 1 del PIT 8253B
R16 = Registro dati del contatore 2 del PIT 8253B
R17 = Registro di stati del PIT 8253B

Come si puo' notare in corrispondenza dell' indirizzo **INDBASE+01H** sono riportati due registri.

Cio' non genera conflitti in quanto il port **B** del **PPI 8253** essendo coolegato al **Dip 1** puo' essere solamente letto, mentre il registro dati del **ZN 428** deve essere solamente scritto.

In questo modo una operazione di scrittura all' indirizzo **IMDBASE+01H** agisce sul convertitore **D/A** e una operazione di lettura allo stesso indirizzo agisce sul port parallelo **B**.

6. SCHEDE ESTERNE A CUI COLLEGARE LA PCK 01.

La scheda **PCK 01** ha la possibilita' di accettare come processori tutti quelli presenti sul **Bus ABACO(R)** aumentando, cosi', la sua gia' notevole versatilita'.

A titolo di esempio ne riportiamo un breve elenco:

GPC 535 (General Purpose Controller 80535)

Basata sul potente 80535 Siemens comprende, 16 linee di I/O, 3 linee di acquisizione Encoder bidirezionali a 16 bit, 32K RAM tamponati con batteria al Litio, Real Time Clock, 8 linee di A/D converter da 8 o 10 bit, linea di comunicazione in RS 232 o in RS 422-485, Buzzer, unica tensione di alimentazione.

GPC 65 (General Purpose Controller 6501 Q)

La compatibilita' software del 6501 Q Rockwell con il noto 6502, consente l' utilizzo immediato di quanto gia' sviluppato. 32K RAM tamponati con batteria al Litio, 4 linee di A/D converter da 10 bit, Key Display Controller, linea RS 422 o 423, unica tensione di alimentazione.

GPC 11 (General Purpose Controller 68HC11)

La caratteristica peculiare di questa scheda e' il suo bassissimo consumo che a pieno lavoro e' minore di 50 mA. Monta il versatile Motorola 68HC11, ha una linea RS 232, 3 port di I/O, Real Time Clock con batteria al Litio, unica tensione di alimentazione a +5V.

GPC 97 (General Purpose Controller 8097)

Potente controllore a 16 bit basato sullo 8097 Intel con una linea RS 232 ed una in TTL, 32 linee di I/O, 8 linee di A/D converter da 10 bit, Real Time Clock, 16K RAM con batteria al Litio, unica tensione di alimentazione, comodo sviluppo su personal, ecc.

CPU 01 (Central Processor Unit Z80)

CPU Zilog Z80 B da 6 MHz con 64K RAM dinamica ed uno zoccolo per ospitare un massimo di 32K Bytes di EPROM. Interfaccia al Bus ABACO(R) con una ampia dotazione di Firmware e Software. Disponibilita' di sistemi operativi tipo CP/M, ZCPR3, SCDOS, ecc.

CPU 03 (Central Processor Unit Z80)

CPU Z80 H da 8MHz con due linee seriali in RS 232 C con Baud Rate settabile da software tra 50 e 38K Baud. Una delle linee e' settabile in RS 485 od in RS 422. Zoccoli per un massimo di 448K Bytes di RAM-EPROM di cui 192K RAM e 256K EPROM. Disponibile CP/M.

GPC 02 (General Purpose Controller)

Scheda in grado di supportare la famiglia 51 Intel compreso il tipo mascherato Basic. 16 linee di I/O, 3 Counter, linea RS 232, 4 linee di A/D converter da 10 bit, Buzzer, EPROM programmer su scheda, 32K RAM con Back Up al Litio, Key Display Controller, ecc.

GPC F2 (General Purpose Controller Fam. 8052)

Scheda in grado di supportare la famiglia 51 Intel compreso il tipo mascherato Basic. 16 linee di I/O gestite da 8255, 2 linee RS 232, Buzzer, EPROM programmer, 32K RAM su 64K indirizzabili, Real Time Clock con batteria al Litio, 2 Timer Counter tipo 8253.

GPC 51 (General Purpose Controller)

Scheda in grado di supportare la famiglia 51 Intel compreso il tipo mascherato Basic. 16 linee di I/O, 3 Counter, linea RS 232, 4 linee di A/D converter da 10 bit, Buzzer, EPROM programmer su scheda, 32K RAM con Back Up al Litio, Orologio, Key Display Controller.

GPC 68 (General Purpose Controller 68000)

Due linee RS 232 con Baud Rate settabile da software fino a 38 Kbaud piu' una linea RS 485 o RS 422, 3 port paralleli a 8 bit e tre timer gestiti dal 68230, CPU costituita dal 68000 ad 8 MHz, 768 KByte di RAM-EPROM, Watch Dog hardware disinseribile, vari supporti software.

GPC 451 (General Purpose Controller 80C451)

Scheda in grado di supportare 80C451 compresa la versione con EPROM. Codice compatibile 8031. 32 linee di I/O TTL; Real Time Clock; 96K a bordo di cui 32K RAM tamponati con batteria al Litio. Linea in RS 232 o 422 o 485. BASIC, FORTH, Monitor in ROM, PASCAL, C, ecc.

GPC 80 (General Purpose Controller 84C00)

Potente controllore o SBC basato sullo Z80. Unica tensione di alimentazione con componenti CMOS. Gestisce le FIO e dispone di implementazioni di CP/M, SCDOS, ZCPR3, ecc. 256K RAM tamponata con batteria al Litio; Real Time Clock; 2 linee seriali, 16 linee di I/O TTL, 4 counter.

GPC 552 (General Purpose Controller 80C552)

Potente controllore con 96K a bordo di cui 32K RAM con batteria al Litio; Real Time Clock; 8 linee di A/D da 10 bit; Watchdog; I² BUS; linea in RS 232 o 422; 4 capture timer; 3 counter; 2 PWM; I/O TTL; BASIC, FORTH, MONITOR, C, PASCAL, ecc. in ROM o su PC.

GPC 535 (General Purpose Controller 80535)

Basata sul potente 80535 Siemens comprende, 16 linee di I/O, 2 Timer counter, 32K RAM tamponati con batteria al Litio, Real Time Clock, 8 linee di A/D converter da 8 o 10 bit, linea di comunicazione in RS 232, Buzzer, unica tensione di alimentazione.

GPC 188 (General Purpose Controller 80C188)

Potentissimo controllore basato su 80C188. Due linee in RS 232 o 422; 24 linee di I/O TTL; 256K EPROM e 256K RAM tamponate con batteria al Litio; Real Time Clock; 4 linee di counter; 8 linee di A/D o 4 differenziali con SH, 13 bit, 20-35 ysec. Pascal in ROM.