

SIMATIC

Sistema di automazione S7-400 Dati della CPU

Manuale di riferimento

| | |
|--|----------|
| Prefazione, Indice | 1 |
| Struttura di una CPU 41x | 2 |
| Funzioni speciali di una CPU 41x | 3 |
| S7-400 nel funzionamento Profibus DP | 4 |
| Concetto di memoria e modalità di avviamento | 5 |
| Tempi di ciclo e di reazione dell'S7-400 | 6 |
| Dati tecnici | 7 |
| Modulo di interfaccia IF 964-DP | |
| Indice analitico | |

Il presente manuale fa parte del pacchetto di documentazione con il numero di ordinazione:
6ES7498-8AA04-8EA0

Avvertenze tecniche di sicurezza

Il presente manuale contiene avvertenze tecniche relative alla sicurezza delle persone e alla prevenzione dei danni materiali che vanno assolutamente osservate. Le avvertenze sono contrassegnate da un triangolo e, a seconda del grado di pericolo, rappresentate nel modo seguente:



Pericolo di morte

significa che la non osservanza delle relative misure di sicurezza **provoca** la morte, gravi lesioni alle persone e ingenti danni materiali.



Pericolo

significa che la non osservanza delle relative misure di sicurezza **può causare** la morte, gravi lesioni alle persone e ingenti danni materiali.



Precauzione

significa che la non osservanza delle relative misure di sicurezza può causare leggere lesioni alle persone.

Precauzione

significa che la non osservanza delle relative misure di sicurezza può causare danni materiali.

Attenzione

è una informazione importante sul prodotto, sull'uso dello stesso o su quelle parti della documentazione su cui si deve prestare una particolare attenzione.

Personale qualificato

La messa in servizio ed il funzionamento del dispositivo devono essere effettuati solo da **personale qualificato**. Personale qualificato ai sensi delle avvertenze di sicurezza contenute nella presente documentazione è quello che dispone della qualifica a inserire, mettere a terra e contrassegnare, secondo gli standard della tecnica di sicurezza, apparecchi, sistemi e circuiti elettrici.

Uso conforme alle disposizioni

Osservare quanto segue:



Pericolo

Il dispositivo deve essere impiegato solo per l'uso previsto nel catalogo e nella descrizione tecnica e solo in connessione con apparecchiature e componenti esterni omologati dalla Siemens.

Per garantire un funzionamento ineccepibile e sicuro del prodotto è assolutamente necessario un trasporto, un immagazzinamento, una installazione ed un montaggio conforme alle regole nonché un uso accurato ed una manutenzione appropriata.

Marchi di prodotto

SIMATIC®, SIMATIC HMI® e SIMATIC NET® sono marchi di prodotto della SIEMENS AG.

Le altre sigle di questo manuale possono essere marchi, il cui utilizzo da parte di terzi per i loro scopi può violare i diritti dei proprietari.

Copyright Siemens AG 2006 All rights reserved

La duplicazione e la cessione della presente documentazione sono vietate, come pure l'uso improprio del suo contenuto, se non dietro autorizzazione scritta. Le trasgressioni sono passibili di risarcimento danni. Tutti i diritti sono riservati, in particolare quelli relativi ai brevetti e ai marchi registrati.

Siemens AG
Bereich Automation and Drives
Geschaeftsgebiet Industrial Automation Systems
Postfach 4848, D-90327 Nuernberg

Siemens Aktiengesellschaft

Esclusione della responsabilità

Abbiamo controllato che il contenuto della presente documentazione corrisponda all'hardware e al software descritti. Non potendo comunque escludere eventuali differenze, non garantiamo una concordanza totale. Il contenuto della presente documentazione viene tuttavia verificato regolarmente, e le correzioni o modifiche eventualmente necessarie sono contenute nelle edizioni successive. Saremo lieti di ricevere qualunque tipo di proposta di miglioramento.

© Siemens AG 2006
Ci riserviamo eventuali modifiche tecniche.

A5E00267861

Prefazione

Obiettivi del manuale

Le informazioni del presente manuale rendono possibile all'utente la consultazione di informazioni sull'utilizzo, di descrizioni della funzione e dei dati tecnici delle unità centrali dell'S7-400.

Nel manuale per il montaggio del sistema viene descritta la realizzazione di un S7-400 con questa (e altre) unità, ad esempio il montaggio ed il cablaggio di queste unità.

Nozioni di base

Per la comprensione del manuale sono necessarie conoscenze generali del settore della tecnica di automazione.

Si presuppongono inoltre conoscenze sull'impiego di computer o apparecchiature simili ai PC (ad esempio apparecchiature di programmazione) con il sistema operativo Windows 2000 o XP. Poiché l'S7-400 viene progettato con il software di base STEP 7, sono necessarie anche conoscenze sull'uso del software di base. Queste informazioni vengono fornite nel manuale "Programmazione con STEP 7".

In particolare nell'impiego di un S7-400 in zone di rilievo per la sicurezza, osservare le avvertenze relative alla sicurezza dei controllori elettronici nell'appendice del manuale d'installazione.

Validità del manuale

Il manuale è valido per il controllore programmabile S7-400. Esso vale per le CPU di seguito elencate:

- CPU 412-1; (6ES7412-1XF04-0AB0)
- CPU 412-2; (6ES7412-2XG04-0AB0)
- CPU 414-2; (6ES7414-2XG04-0AB0)
- CPU 414-3; (6ES7414-3XJ04-0AB0)
- CPU 416-2; (6ES7416-2XK04-0AB0)
- CPU 416-2F; (6ES7416-2FK04-0AB0)
- CPU 416-3; (6ES7416-3XL04-0AB0)
- CPU 417-4; (6ES7417-4XL04-0AB0)

Approvazioni

Per ulteriori informazioni sulle omologazioni e le norme consultare il capitolo 1.1 “Norme e autorizzazioni” del manuale di riferimento “Caratteristiche delle unità modulari”.

Classificazione del manuale nel quadro informativo

Il presente manuale è parte del pacchetto di documentazione dell'S7-400.

| Sistema | Documentazione |
|---------|---|
| S7-400 | <ul style="list-style-type: none">• <i>Sistema di automazione S7-400; Montaggio</i>• <i>Sistemi di automazione S7-400; Caratteristiche delle unità modulari</i>• <i>Lista operazioni S7-400</i>• <i>Controllore programmabile S7-400; dati della CPU</i> |

Guida

Per facilitare un rapido accesso a determinate informazioni, il manuale è strutturato come segue:

- all'inizio del manuale si trovano l'indice generale ed un elenco delle figure e delle tabelle contenute nel manuale stesso,
- nella colonna sinistra di ogni pagina dei capitoli, si trovano informazioni che forniscono una panoramica sul contenuto della sezione.
- le appendici sono seguite da un glossario nel quale sono spiegati i termini tecnici più importanti utilizzati nel manuale.
- il manuale termina con un indice analitico che consente un rapido accesso all'informazione desiderata.

Riciclaggio e smaltimento

Essendo realizzato con materiali non dannosi l'S7-400 è facilmente riciclabile. Per smaltire una vecchia apparecchiatura nel rispetto delle norme sulla tutela ambientale si consiglia di rivolgersi ad un'azienda autorizzata allo smaltimento di prodotti elettronici.

Ulteriore supporto

Per domande sull'utilizzo dei prodotti descritti nel presente manuale che non trovano risposta nei prossimi capitoli rivolgersi alle rappresentanze e filiali Siemens della propria regione.

Il partner di riferimento è reperibile al sito:

<http://www.siemens.com/automation/partner>

La guida all'offerta di documentazione tecnica per i singoli prodotti SIMATIC e sistemi è disponibile al sito:

<http://www.siemens.de/simatic-tech-doku-portal>

Il catalogo in linea e il sistema di ordinazione in linea si trova al sito:

<http://mall.ad.siemens.com/>

Centro di addestramento

Per facilitare l'approccio al sistema di automazione SIMATIC S7 organizziamo anche appositi corsi. Rivolgersi a questo proposito al centro di addestramento locale più vicino o al centro di addestramento centrale di Norimberga.

Telefono: +49 (911) 895-3200.

Internet: <http://www.sitrain.com>

A&D Technical Support

Raggiungibili in tutto il mondo a qualsiasi ora:



| | | |
|--|--|---|
| <p>Worldwide (Nuernberg) Technical Support</p> <p>Ora locale: 0:00 - 24:00 / 365 giorni Telefono: +49 (180) 5050-222 Fax: +49 (180) 5050-223 mailto:adsupport@siemens.com GMT: +1:00</p> | | |
| <p>Europe / Africa (Nuernberg) Authorization</p> <p>Ora locale: Lu.-Ve. 8:00 - 17:00 Telefono: +49 (180) 5050-222 Fax: +49 (180) 5050-223 mailto:adsupport@siemens.com GMT: +1:00</p> | <p>United States (Johnson City) Technical Support and Authorization</p> <p>Ora locale: Lu.-Ve. 8:00 - 17:00 Telefono: +1 (423) 262 2522 Fax: +1 (423) 262 2289 mailto:simatic.hotline@sea.siemens.com GMT: -5:00</p> | <p>Asia / Australia (Beijing) Technical Support and Authorization</p> <p>Ora locale: Lu.-Ve. 8:00 - 17:00 Telefono: +86 10 64 75 75 75 Fax: +86 10 64 74 74 74 mailto:adsupport.asia@siemens.com GMT: +8:00</p> |
| <p>Il servizio di Technical Support e Authorization viene fornito generalmente in tedesco e in inglese.</p> | | |

Service & Support in Internet

Aggiuntivamente alla documentazione, mettiamo a disposizione della clientela diversi servizi Online all'indirizzo sottoindicato.

<http://www.siemens.com/automation/service&support>

Su questo sito si trovano:

- la Newsletter con informazioni sempre aggiornate sui prodotti;
- i documenti appropriati relativi alla ricerca in Service & Support;
- il Forum, luogo di scambio di informazioni tra utenti e personale specializzato di tutto il mondo;
- il partner di riferimento locali di Automation & Drives;
- informazioni su assistenza tecnica sul posto, riparazioni, parti di ricambio e maggiori dettagli alla voce "Service".

Indice

| | | |
|----------|---|------------|
| 1 | Struttura di una CPU 41x | 1-1 |
| 1.1 | Elementi di comando e indicatori delle CPU | 1-2 |
| 1.2 | Funzioni di controllo della CPU | 1-8 |
| 1.3 | LED di stato e di errore | 1-10 |
| 1.4 | Selettore dei modi di funzionamento | 1-13 |
| 1.5 | Struttura e funzioni delle memory card | 1-17 |
| 1.6 | Interfaccia multipunto (MPI) | 1-20 |
| 1.7 | Interfaccia PROFIBUS DP | 1-21 |
| 1.8 | Panoramica dei parametri per le CPU S7-400 | 1-22 |
| 2 | Funzioni speciali di una CPU 41x | 2-1 |
| 2.1 | Lettura dei dati di servizio | 2-2 |
| 2.2 | Multicomputing | 2-3 |
| 2.2.1 | Particolarità | 2-5 |
| 2.2.2 | Allarme di multicomputing | 2-6 |
| 2.2.3 | Configurazione e programmazione del funzionamento multicomputing | 2-6 |
| 2.3 | Modifica dell'impianto durante il funzionamento | 2-7 |
| 3 | S7-400 nel funzionamento Profibus DP | 3-1 |
| 3.1 | CPU 41x come master DP/slave DP | 3-2 |
| 3.1.1 | Aree di indirizzamento DP delle CPU 41x | 3-3 |
| 3.1.2 | CPU 41x come master DP | 3-4 |
| 3.1.3 | Diagnostica della CPU 41x come master DP | 3-8 |
| 3.1.4 | CPU 41x come slave DP | 3-13 |
| 3.1.5 | Diagnostica della CPU 41x come slave DP | 3-18 |
| 3.1.6 | CPU 41x come slave DP: stato delle stazioni da 1 a 3 | 3-24 |
| 3.2 | Comunicazione diretta | 3-31 |
| 3.2.1 | Principio | 3-31 |
| 3.2.2 | Diagnostica nella comunicazione diretta | 3-32 |
| 3.3 | Dati coerenti | 3-34 |
| 3.3.1 | Coerenza dei blocchi dati e delle funzioni di comunicazione | 3-35 |
| 3.3.2 | Accesso alla memoria di lavoro della CPU | 3-35 |
| 3.3.3 | Lettura e scrittura coerente dei dati da/verso uno slave a norma DP | 3-35 |
| 3.3.4 | Scrittura coerente dei dati in uno slave a norma DP mediante l'SFC 15 "DPRD_DAT" | 3-36 |
| 3.3.5 | Accesso coerente ai dati senza utilizzo dell'SFC 14 o dell'SFC 15 | 3-37 |
| 4 | Concetto di memoria e modalità di avviamento | 4-1 |
| 4.1 | Panoramica sul concetto di memoria delle CPU S7-400 | 4-2 |
| 4.2 | Panoramica sulle modalità di avviamento delle CPU S7-400 | 4-5 |

| | | |
|----------|---|---------------------------|
| 5 | Tempi di ciclo e di reazione dell'S7-400 | 5-1 |
| 5.1 | Tempo di ciclo | 5-2 |
| 5.2 | Calcolo del tempo di ciclo | 5-4 |
| 5.3 | Tempi di ciclo diversi | 5-7 |
| 5.4 | Carico di comunicazione | 5-9 |
| 5.5 | Tempo di reazione | 5-12 |
| 5.6 | Calcolo dei tempi di ciclo e di reazione | 5-17 |
| 5.7 | Esempi di calcolo per il tempo di ciclo e di reazione | 5-18 |
| 5.8 | Tempo di reazione all'allarme | 5-21 |
| 5.9 | Esempio di calcolo per il tempo di reazione all'allarme | 5-23 |
| 5.10 | Riproducibilità di allarme di ritardo e di schedulazione | 5-24 |
| 6 | Dati tecnici | 6-1 |
| 6.1 | Dati tecnici della CPU 412-1; (6ES7412-1XF04-0AB0) | 6-2 |
| 6.2 | Dati tecnici della CPU 412-2; (6ES7412-2XG04-0AB0) | 6-6 |
| 6.3 | Dati tecnici della CPU 414-2; (6ES7414-2XG04-0AB0) | 6-10 |
| 6.4 | Dati tecnici della CPU 414-3; (6ES7414-3XJ04-0AB0) | 6-14 |
| 6.5 | Dati tecnici della CPU 416-2; (6ES7416-2XK04-0AB0, 6ES7416-2FK04-0AB0) | 6-18 |
| 6.6 | Dati tecnici della CPU 416-3; (6ES7416-3XL04-0AB0) | 6-23 |
| 6.7 | Dati tecnici della CPU 417-4; (6ES7417-4XL04-0AB0) | 6-28 |
| 6.8 | Dati tecnici delle memory card | 6-32 |
| 7 | Modulo di interfaccia IF 964-DP | 7-1 |
| 7.1 | Modulo di interfaccia IF 964-DP per S7-400 | 7-2 |
| 7.1.1 | Piedinatura del connettore | 7-3 |
| 7.1.2 | Dati tecnici | 7-4 |
| | Indice analitico | Indice analitico-1 |

Figure

| | | |
|------|---|------|
| 1-1 | Disposizione degli elementi di comando e indicatori della CPU 412-1 | 1-2 |
| 1-2 | Disposizione degli elementi di comando e indicatori della CPU 41x-2 | 1-3 |
| 1-3 | Disposizione degli elementi di comando e indicatori della CPU 41x-3 | 1-4 |
| 1-4 | Disposizione degli elementi di comando e indicatori della CPU 417-4 | 1-5 |
| 1-5 | Posizioni del selettore dei modi di funzionamento | 1-13 |
| 1-6 | Struttura della memory card | 1-17 |
| 2-1 | Esempio di multicomputing | 2-4 |
| 2-2 | Panoramica: struttura del sistema per la modifica dell'impianto durante il funzionamento | 2-7 |
| 3-1 | Diagnostica con la CPU 41x | 3-10 |
| 3-2 | Indirizzi di diagnostica per master DP e slave DP | 3-11 |
| 3-3 | Memoria di trasferimento nella CPU 41x come slave DP | 3-14 |
| 3-4 | Indirizzi di diagnostica per master DP e slave DP | 3-21 |
| 3-5 | Struttura della diagnostica slave | 3-23 |
| 3-6 | Struttura della diagnostica riferita all'identificazione della CPU 41x | 3-27 |
| 3-7 | Struttura della diagnostica riferita all'apparecchiatura | 3-28 |
| 3-8 | Byte x +4 fino a x +7 per allarme di diagnostica e di processo | 3-29 |
| 3-9 | Comunicazione diretta con CPU 41x | 3-31 |
| 3-10 | Indirizzo di diagnostica per il ricevente nella comunicazione diretta | 3-32 |
| 5-1 | Parti e composizione del tempo di ciclo | 5-3 |
| 5-2 | Tempi di ciclo diversi | 5-7 |
| 5-3 | Tempo di ciclo minimo | 5-8 |
| 5-4 | Formula: influenza del carico di comunicazione | 5-9 |
| 5-5 | Suddivisione di un intervallo di tempo | 5-9 |
| 5-6 | Dipendenza del tempo di ciclo dal carico di comunicazione | 5-11 |
| 5-7 | Tempi di ciclo DP nella rete PROFIBUS DP | 5-13 |
| 5-8 | Tempo di reazione più breve | 5-14 |
| 5-9 | Tempo di reazione più lungo | 5-15 |
| 5-10 | Calcolo del tempo di reazione all'allarme | 5-21 |
| 7-1 | Modulo di interfaccia IF 964-DP | 7-2 |

Tabelle

| | | |
|------|---|------|
| 1-1 | LED delle CPU | 1-6 |
| 1-2 | Posizioni del selettore dei tipi di funzionamento | 1-13 |
| 1-3 | Livelli di protezione di una CPU dell'S7-400 | 1-14 |
| 1-4 | Tipi di memory card | 1-18 |
| 3-1 | CPU 41x (interfaccia MPI/DP come PROFIBUS DP) | 3-3 |
| 3-2 | CPU 41x (interfaccia MPI/DP e modulo DP come PROFIBUS DP) | 3-3 |
| 3-3 | Significato del LED "BUSF" della CPU 41x come master DP | 3-8 |
| 3-4 | Letture della diagnostica con STEP 7 | 3-9 |
| 3-5 | Identificazione dell'evento delle CPU 41x come master DP | 3-12 |
| 3-6 | Esempio di progettazione per le aree di indirizzamento della memoria di trasferimento | 3-15 |
| 3-7 | Significato dei LED "BUSF" della CPU 41x quale slave DP | 3-18 |
| 3-8 | Letture della diagnostica con STEP 5 e STEP 7 nel sistema master | 3-19 |
| 3-9 | Identificazione dell'evento delle CPU 41x quali slave DP | 3-22 |
| 3-10 | Esame di transizioni RUN-STOP nel master DP/slave DP | 3-22 |
| 3-11 | Struttura dello stato della stazione 1 (byte 0) | 3-24 |
| 3-12 | Struttura dello stato stazione 2 (byte 1) | 3-25 |
| 3-13 | Struttura dello stato stazione 3 (byte 2) | 3-25 |
| 3-14 | Struttura dell'indirizzo di master PROFIBUS (byte 3) | 3-25 |
| 3-15 | Struttura dell'identificazione del costruttore (byte 4, 5) | 3-26 |
| 3-16 | Identificazione dell'evento delle CPU 41x quale ricevente nella comunicazione diretta | 3-32 |
| 3-17 | Valutazione del guasto stazione del trasmettente nello scambio di dati diretto | 3-33 |
| 4-1 | Memoria richiesta | 4-3 |
| 5-1 | Elaborazione ciclica del programma | 5-3 |
| 5-2 | Fattori che influenzano il tempo di ciclo | 5-4 |
| 5-3 | Composizione del tempo di trasferimento dell'immagine di processo | 5-5 |
| 5-4 | Tempo di elaborazione del sistema operativo nel punto di controllo del ciclo | 5-6 |
| 5-5 | Prolungamento del ciclo a causa di annidamento di allarmi | 5-6 |
| 5-6 | Riduzione del tempo di reazione | 5-16 |
| 5-7 | Esempio di calcolo tempo di reazione | 5-18 |
| 5-8 | Interrupt di processo e tempi di reazione all'allarme di diagnostica; tempo massimo di reazione all'allarme senza comunicazione | 5-22 |
| 5-9 | Riproducibilità di allarmi di ritardo e di schedulazioni orologio delle CPU | 5-24 |
| 7-1 | Connettore X1 IF 964-DP (connettore sub-D a 9 poli) | 7-3 |

Struttura di una CPU 41x

1

Panoramica del capitolo

| Nel paragrafo | si trova | a pagina |
|----------------------|--|-----------------|
| 1.1 | Elementi di comando e indicatori delle CPU | 1-2 |
| 1.2 | Funzioni di controllo della CPU | 1-8 |
| 1.3 | LED di stato e di errore | 1-10 |
| 1.4 | Selettore dei modi di funzionamento | 1-13 |
| 1.5 | Struttura e funzioni delle memory card | 1-17 |
| 1.6 | Interfaccia multipunto (MPI) | 1-20 |
| 1.7 | Interfaccia PROFIBUS DP | 1-21 |
| 1.8 | Panoramica dei parametri per le CPU S7-400 | 1-22 |

1.1 Elementi di comando e indicatori delle CPU

Elementi di comando e indicatori della CPU 412-1

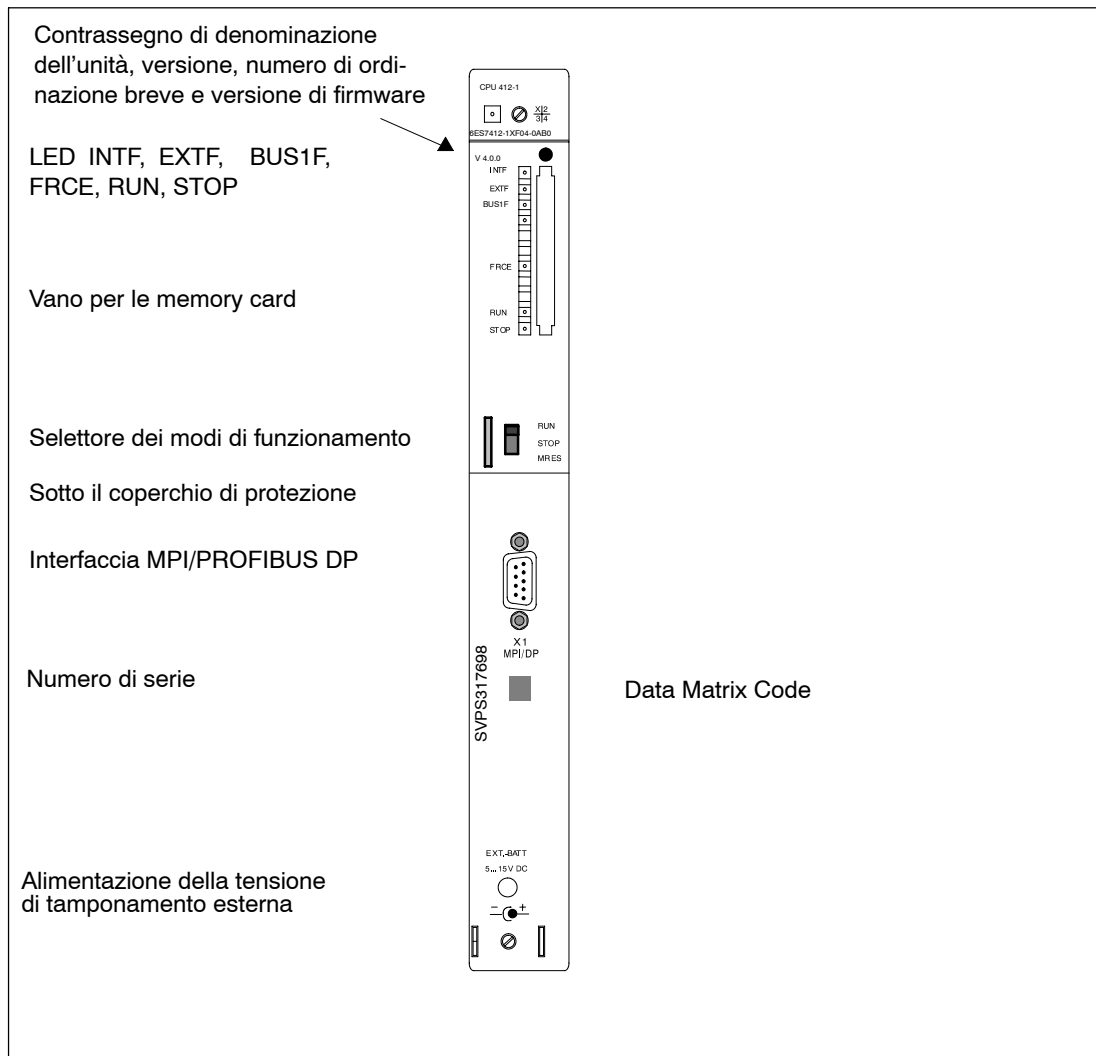


Figura 1-1 Disposizione degli elementi di comando e indicatori della CPU 412-1

Elementi di comando e indicatori della CPU 41x-2

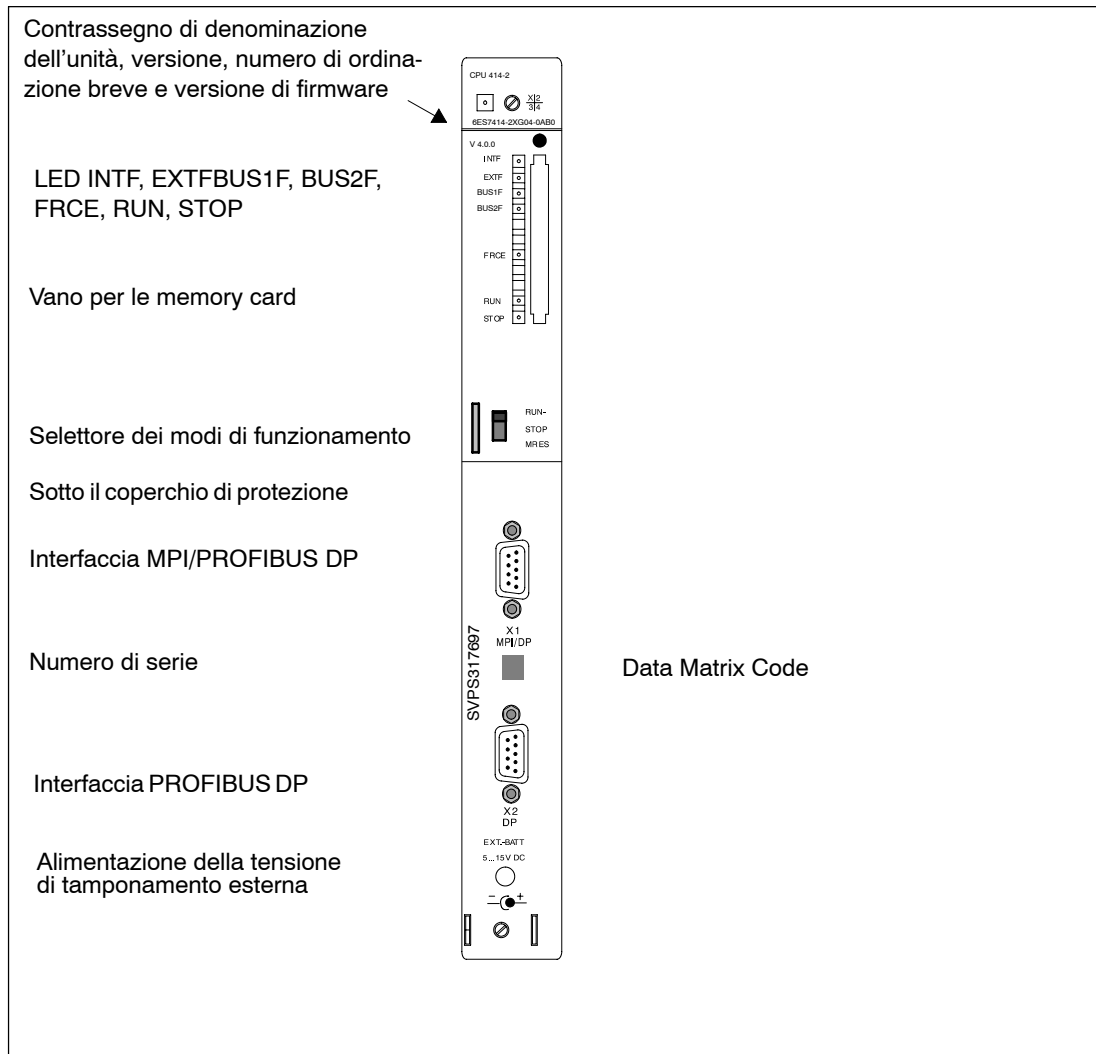


Figura 1-2 Disposizione degli elementi di comando e indicatori della CPU 41x-2

Elementi di comando e indicatori della CPU 41x-3

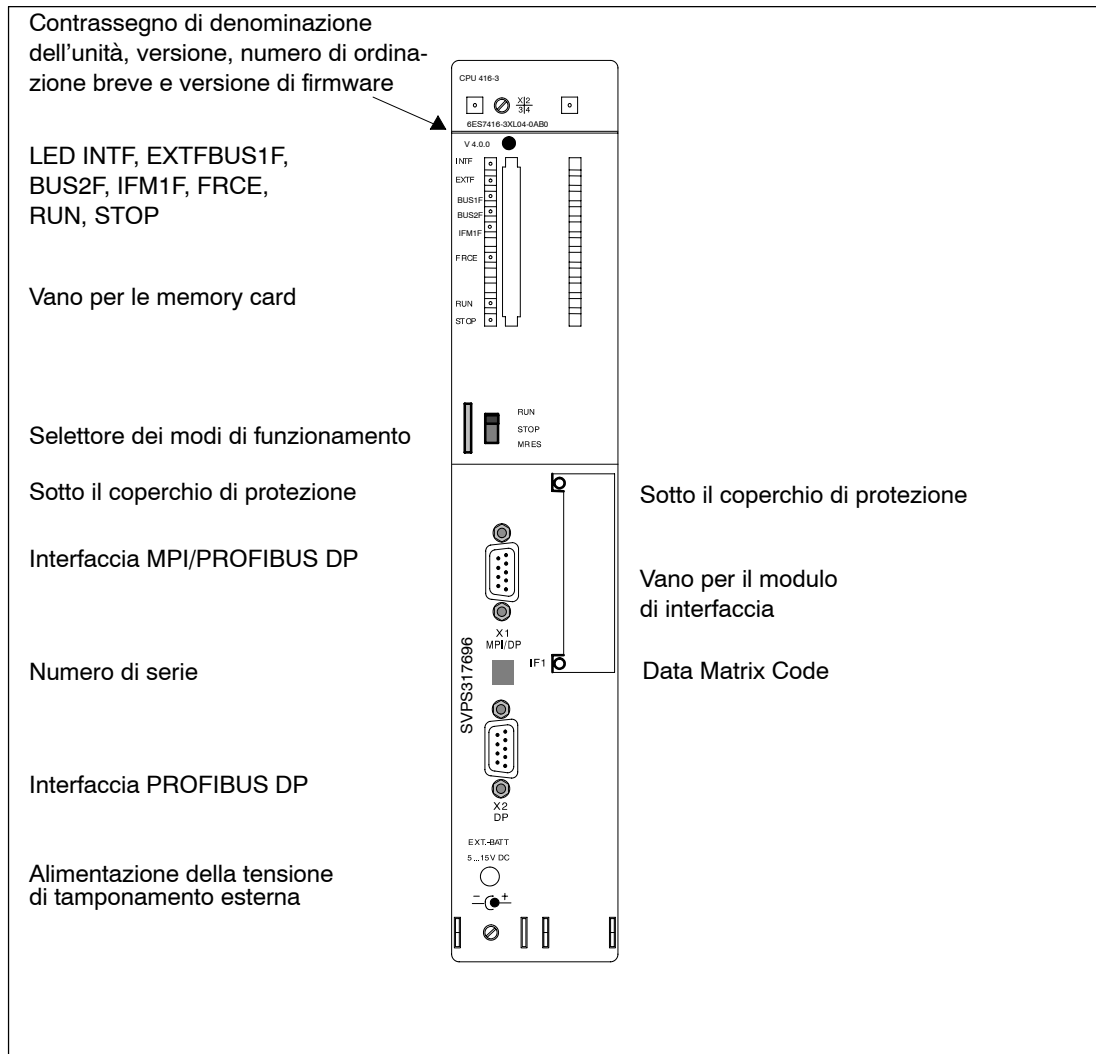


Figura 1-3 Disposizione degli elementi di comando e indicatori della CPU 41x-3

Elementi di comando e indicatori della CPU 417-4

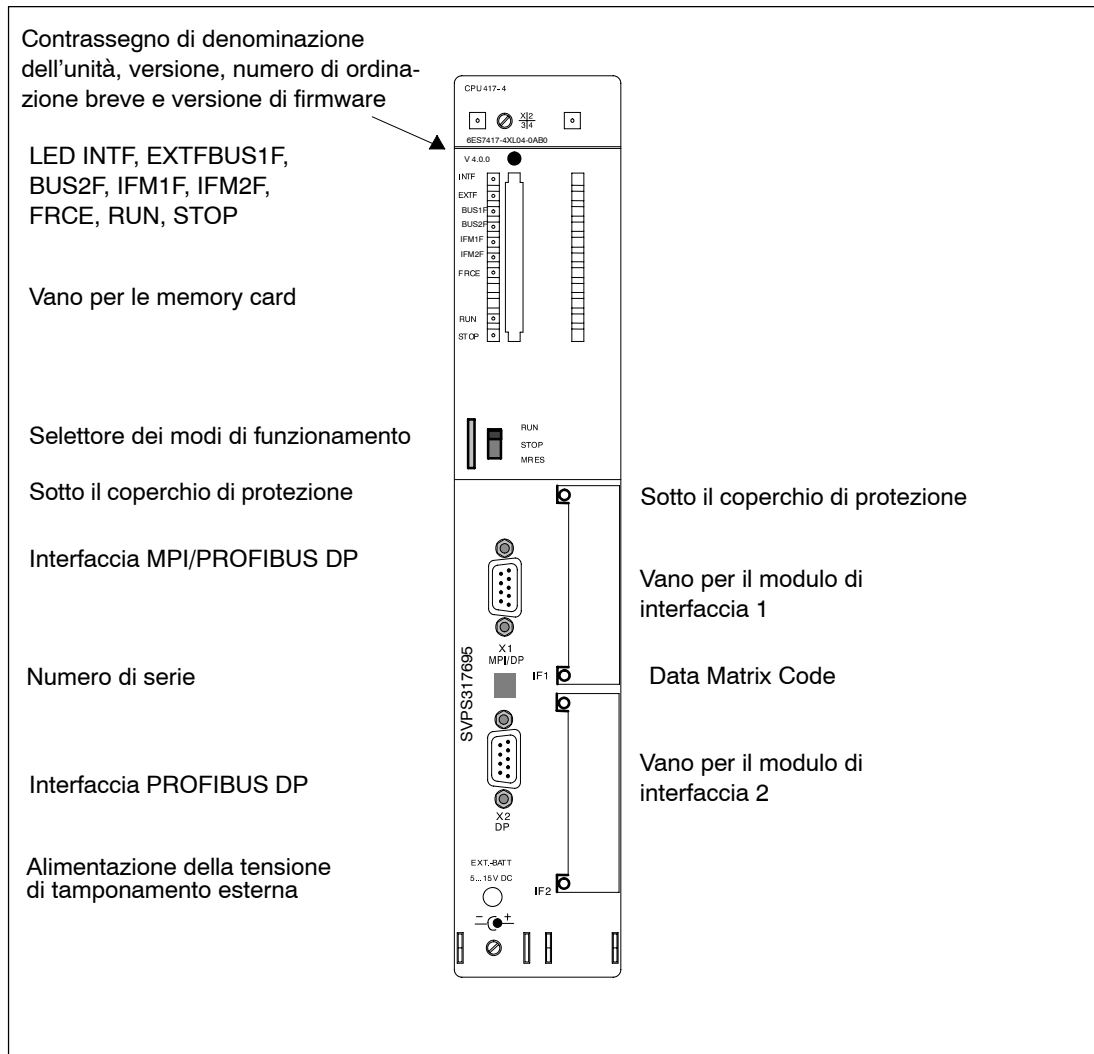


Figura 1-4 Disposizione degli elementi di comando e indicatori della CPU 417-4

Indicatori a LED

La tabella 1-1 offre una panoramica sui LED presenti nelle singole CPU.

La sezione 1.2 descrive gli stati e gli errori che vengono evidenziati tramite questi LED.

Tabella 1-1 LED delle CPU

| LED | Colore | Significato | Presenti nella CPU | | | |
|-------|--------|--|--------------------|-------------------------|----------------|-------|
| | | | 412-1 | 412-2 414-2 416-2 | 414-3 416-3 | 417-4 |
| INTF | rosso | Errore interno | x | x | x | x |
| EXTF | rosso | Errore esterno | x | x | x | x |
| FRCE | giallo | Job Force attivo | x | x | x | x |
| RUN | verde | Stato di RUN | x | x | x | x |
| STOP | giallo | Stato di STOP | x | x | x | x |
| BUS1F | rosso | Errore di bus nell'interfaccia MPI/PROFIBUS DP 1 | x | x | x | x |
| BUS2F | rosso | Errore di bus nell'interfaccia PROFIBUS DP 2 | - | x | x | x |
| IFM1F | rosso | Errore nel modulo di interfaccia 1 | - | - | x | x |
| IFM2F | rosso | Errore nel modulo di interfaccia 2 | - | - | - | x |

Selettore dei modi di funzionamento

Tramite il commutatore dei modi di funzionamento è possibile impostare la modalità operativa corrente della CPU. Il commutatore dei modi di funzionamento è a bilico e dispone di tre posizioni.

Il capitolo 1.4 descrive le funzioni del commutatore dei modi di funzionamento.

Vano per le memory card

In questo vano si può innestare una memory card.

Esistono due tipi di memory card:

- RAM Card

Con le RAM Card è possibile ampliare la memoria di caricamento di una CPU.

- FLASH Card

Con le FLASH Card è possibile salvare il programma utente e i dati a prova di guasti (anche senza batteria tampone). Le FLASH Card possono essere programmate al PG o nella CPU. Anche le FLASH Card ampliano la memoria di caricamento della CPU.

Una descrizione più dettagliata delle memory card si trova nel capitolo 1.5.

Vano per i moduli d'interfaccia

In questo vano è possibile inserire rispettivamente un modulo di interfaccia (moduli IF) nelle CPU 41x-3 e 41x-4.

Interfaccia MPI/DP

All'interfaccia MPI della CPU è possibile ad esempio collegare le seguenti apparecchiature:

- Apparecchiature di programmazione
- Apparecchiature di servizio e supervisione
- Ulteriori controllori S7-400 o S7-300 (vedi sezione 1.6).

Utilizzare spinotti di collegamento del bus con uscita del cavo angolata (vedi manuale d'installazione, capitolo 7)

L'interfaccia MPI può essere progettata anche come master DP e utilizzata come interfaccia PROFIBUS DP con un massimo di 32 slave DP.

Interfaccia PROFIBUS DP

All'interfaccia PROFIBUS DP è possibile collegare la periferia decentrata, PG/OP e ulteriori stazioni master DP.

Alimentazione della tensione di tamponamento esterna alla presa "EXT.-BATT."

Negli alimentatori dell'S7-400 è possibile impiegare, a seconda del tipo di unità, una o due batterie tampone per realizzare quanto segue:

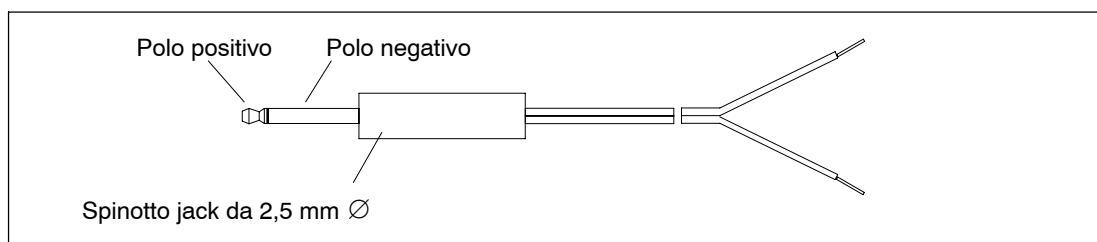
- Bufferizzazione di un programma utente che è stato memorizzato in una RAM.
- Mantenimento di merker, temporizzatori, contatori, dati del sistema e i dati nei blocchi dati variabili.
- Bufferizzazione dell'orologio interno.

È possibile raggiungere lo stesso risultato collegando alla presa "EXT.-BATT." della CPU una corrente continua compresa tra 5 V e 15 V.

L'ingresso "EXT.-BATT." ha le seguenti caratteristiche:

- Protezione dall'inversione di polarità
- Limitazione della corrente di cortocircuito a 20 mA

Per l'alimentazione alla presa "EXT.-BATT", è necessario un cavo di collegamento con uno spinotto jack da 2,5 mm Ø come illustrato nella seguente figura. Accertarsi che venga rispettata la polarità dello spinotto.



Avvertenza

Se si sostituisce un alimentatore e per la durata di questa operazione si desidera mantenere il programma utente e i dati sopra citati memorizzati in una RAM, è necessaria un'alimentazione esterna tramite la presa "EXT.-BATT."

1.2 Funzioni di controllo della CPU

Controlli e segnalazioni di errore

Nell'hardware della CPU e nel sistema operativo sono presenti funzioni di controllo che assicurano un funzionamento corretto e un comportamento definito nel caso di anomalie. Per una serie di errori è anche possibile una reazione tramite il programma utente. Nel caso di errori in arrivo e in partenza, il LED di errore si spegne nuovamente nel caso di errori in arrivo.

La seguente tabella offre una panoramica sui possibili errori, la relativa causa e la reazione della CPU.

| Tipo di errore | Causa dell'errore | Reazione del sistema operativo | LED di errore |
|---|---|---|---------------|
| Errore di accesso (in arrivo) | Guasto di una unità (SM, FM, CP) Errore di accesso alla periferia in lettura Errore di accesso alla periferia in scrittura | Il LED "EXTF" rimane acceso fino a quando l'errore non è stato confermato. Con SM: <ul style="list-style-type: none"> Richiamo dell'OB 122 Registrazione nel buffer di diagnostica Con le unità d'ingresso: Registrazione del dato "zero" nell'ACCU o immagine di processo Con le altre unità: <ul style="list-style-type: none"> Richiamo dell'OB 122 | EXTF |
| Errore di tempo (in arrivo) | <ul style="list-style-type: none"> Il tempo di esecuzione del programma utente (OB1 e tutti gli allarmi e OB di errore) supera il tempo di ciclo massimo preimpostato. OB di errore di richiesta Overflow del buffer di informazioni di avvio Errore di orario Ritorno in RUN dopo CiR | Il LED "INTF" rimane acceso fino a quando l'errore non è stato confermato. Richiamo dell'OB 80. Nel caso di OB non caricato: la CPU si porta in stop. | INTF |
| Errore dell'alimentatore(i), senza mancanza di corrente (in arrivo e in partenza) | Nel telaio di montaggio centrale o di ampliamento <ul style="list-style-type: none"> almeno una batteria tampone dell'alimentatore è scarica manca la tensione di tamponamento l'alimentazione a 24-V dell'alimentatore si è guastata | Richiamo dell'OB 81. Nel caso di OB non caricato: la CPU continua ad funzionare. | EXTF |
| Allarme di diagnostica (in arrivo e in partenza) | Una unità periferica capace di allarme segnala un allarme di diagnostica | Richiamo dell'OB 82. Nel caso di OB non caricato: la CPU si porta in stop. | EXTF |
| Allarme di estrazione/inserimento (in arrivo e in partenza) | Estrazione o inserimento di un SM e inserimento di un tipo di unità errato. Se si estrae l'unico SM innestato quando è impostata la parametrizzazione di default e la CPU è in STOP, il LED EXTF non si accende. Se l'SM viene di nuovo innestato, il LED si accende brevemente. | Richiamo dell'OB 83. Nel caso di OB non caricato: la CPU si porta in stop. | EXTF |
| Errore hardware della CPU (in arrivo) | <ul style="list-style-type: none"> Un errore di memoria è stato rilevato ed eliminato | Richiamo dell'OB 84 Nel caso di OB non caricato: la CPU rimane in RUN. | INTF |

| Tipo di errore | Causa dell'errore | Reazione del sistema operativo | LED di errore |
|--|---|--|---------------|
| Errore di classe di priorità (dipendente dalla modalità dell'OB 85 solo in arrivo e in partenza) | <ul style="list-style-type: none"> Viene richiamata la classe di priorità, ma il corrispondente OB manca. Nel richiamo di SFB: il DB di istanza manca o è difettoso Errore nell'aggiornamento dell'immagine di processo | Richiamo dell'OB 85. Nel caso di OB non caricato: la CPU si porta in stop. | INTF |
| Guasto di un telaio di montaggio / di una stazione (in arrivo e in partenza) | <ul style="list-style-type: none"> Mancanza di tensione in un'apparecchiatura di ampliamento Guasto di un ramo DP Guasto di un ramo di accoppiamento: IM mancante o guasto, conduttore interrotto | Richiamo dell'OB 86. Nel caso di OB non caricato: la CPU si porta in stop. | EXTF |
| Errore di comunicazione (in arrivo) | <ul style="list-style-type: none"> Informazione di stato non registrabile nel DB Identificazione del telegramma errata Errore di lunghezza del telegramma Errore nella struttura del telegramma di dati globali Errore nell'accesso DB | Richiamo dell'OB 87. | INTF |
| Interruzione elaborazione (in arrivo) | <ul style="list-style-type: none"> Profondità di annidamento troppo elevata in caso di errori di sincronizzazione Annidamento troppo elevato di richiami di blocco (stack B) Errore nell'allocazione dei dati locali | Richiamo dell'OB 88 Nel caso di OB non caricato: la CPU si porta in stop. | INTF |
| Errore di programmazione (in arrivo) | <p>Errore nel codice macchina o nel programma utente:</p> <ul style="list-style-type: none"> Errore di conversione BCD Errore di lunghezza del settore Errore di settore Errore di allineamento Errore di scrittura Errore di numero di timer Errore di numero di contatore Errore di numero di blocco Blocco non caricato | Richiamo dell'OB 121 Nel caso di OB non caricato: la CPU si porta in stop. | INTF |
| Errore di codice (in arrivo) | Errore nel programma utente compilato, ad esempio codice operazione non ammesso o salto oltre il fine blocco | La CPU si porta in STOP. Necessario nuovo avviamento o cancellazione totale. | INTF |
| Perdita di clock (in arrivo) | Nel caso di utilizzo del sincronismo di clock: sono stati persi dei clock perché non è stato possibile avviare un OB 61...64 a causa di priorità più elevate oppure perché carichi sul bus supplementari asincroni hanno soppresso il clock di bus. | Richiamo dell'OB 80 Nel caso di OB non caricato: la CPU si porta in STOP. Richiamo degli OB 61..64 nel ciclo successivo. | INTF |

In ogni CPU sono disponibili inoltre funzioni informative e di test che possono essere richiamate con STEP 7.

1.3 LED di stato e di errore

Spie di stato

I LED RUN e STOP sul pannello frontale di una CPU segnalano lo stato di funzionamento attuale della CPU.

| LED | | Significato |
|-------------|-------------|--|
| RUN | STOP | |
| H | D | La CPU è nello stato di funzionamento RUN. |
| D | H | La CPU è nello stato di funzionamento STOP. Il programma utente non viene elaborato. È possibile il riavviamento e avviamento a caldo/nuovo avviamento. Se lo stato di STOP è stato causato da un errore, è inoltre accesa il led di anomalia (INTF o EXTF). |
| B 2 Hz | B 2 Hz | La CPU si trova nello stato di GUASTO. Inoltre lampeggiano anche i LED INTF, EXTF e FRCE. |
| B 0,5 Hz | H | Lo stato di STOP è stato attivato da una funzione di test. |
| B 2 Hz | H | È stato attivato un avviamento a caldo/nuovo avviamento/riavviamento. A seconda della lunghezza dell'OB richiamato, fino all'esecuzione dell'avviamento a caldo/nuovo avviamento/riavviamento può trascorrere un minuto o più. Se nemmeno in questo caso la CPU si porta in RUN, può verificarsi p. es. un errore nella progettazione dell'impianto. |
| x | B 0,5 Hz | La CPU richiede la cancellazione totale. |
| x | B 2 Hz | Cancellazione totale in corso. |

D = LED è spento; H = LED è acceso; B = LED lampeggia con la frequenza indicata; x = lo stato del LED è irrilevante

LED di errore e particolarità, tutte le CPU

I tre LED INTF, EXTF e FRCE sul pannello frontale di una CPU informano l'utente sugli errori e sulle particolarità nello svolgimento del programma utente.

| LED | | | Significato |
|------|------|------|--|
| INTF | EXTF | FRCE | |
| H | x | x | È stato individuato un errore interno (di programmazione o di parametrizzazione) oppure la CPU esegue una procedura CiR. |
| x | H | x | È stato individuato un errore esterno (cioè un errore la cui causa non risiede nell'unità della CPU). |
| x | x | H | C'è un job di forzamento attivo. |

H = LED è acceso; x = lo stato del LED è irrilevante

I LED BUSF1, BUSF2 visualizzano errori connessi all'interfaccia MPI/DP e all'interfaccia PROFIBUS DP.

| LED | | Significato |
|-------|-------|---|
| BUS1F | BUS2F | |
| H | x | È stato individuato un errore all'interfaccia MPI/DP. |
| x | H | È stato individuato un errore all'interfaccia PROFIBUS DP. |
| B | x | Master DP: Uno o più slave dell'interfaccia PROFIBUS DP 1 non rispondono. Slave DP: non viene interrogato dal master DP. |
| x | B | Master DP: Uno o più slave dell'interfaccia PROFIBUS DP 2 non rispondono. Slave DP: non viene interrogato dal master DP. |

H = LED è acceso; B = LED lampeggia; x = lo stato del LED è irrilevante

LED di errore e particolarità, CPU 41x-3 e 41x-4

Le CPU 41x-3 e 41x-4 dispongono inoltre dei LED IFM1F / IFM2F e IFM2F. Questi LED visualizzano errori connessi alla prima e alla seconda interfaccia di moduli.

| LED | | Significato |
|-------|-------|--|
| IFM1F | IFM2F | |
| H | x | È stato riconosciuto un errore nell'interfaccia di moduli 1. |
| x | H | È stato riconosciuto un errore nell'interfaccia di moduli 2. |
| B | x | Master DP: uno o più slave del modulo d'interfaccia PROFIBUS DP innestato nel vano del modulo 1 non rispondono Slave DP: non viene interrogato dal master DP. |
| x | B | Master DP: uno o più slave del modulo d'interfaccia PROFIBUS DP innestato nel vano del modulo 2 non rispondono Slave DP: non viene interrogato dal master DP. |

H = LED è acceso; B = LED lampeggia; x = lo stato del LED è irrilevante

Buffer di diagnostica

Per l'eliminazione di errori è possibile leggere dal buffer di diagnostica l'esatta causa dell'errore con STEP 7 (Sistema di destinazione -> Stato dell'unità).

1.4 Selettore dei modi di funzionamento

Funzione del selettore dei modi di funzionamento

Con il commutatore dei modi di funzionamento è possibile porre la CPU nello stato di funzionamento RUN e STOP o effettuare la cancellazione totale della stessa. Ulteriori possibilità per modificare lo stato operativo sono offerte in STEP 7.

Posizioni

Il commutatore dei modi di funzionamento è a ribaltamento. La figura 1-5 mostra la possibili posizioni del commutatore dei modi di funzionamento.

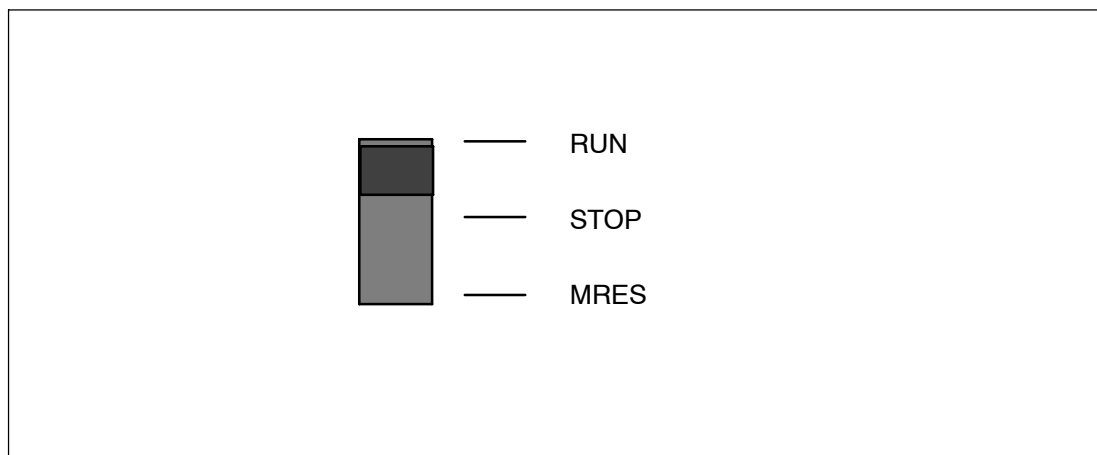


Figura 1-5 Posizioni del selettore dei modi di funzionamento

La tabella 1-2 spiega le posizioni del selettore dei modi di funzionamento. In caso di errore o di ostacoli all'avvio, la CPU si porta o rimane in STOP indipendentemente dalla posizione del selettore dei tipi di funzionamento.

Tabella 1-2 Posizioni del selettore dei tipi di funzionamento

| Posizione | Commento |
|---|---|
| RUN | Se non sono presenti fattori che impediscono l'avviamento o errori e la CPU è passata in RUN, la CPU elabora il programma utente o funziona a vuoto. E' possibile accedere alla periferia. <ul style="list-style-type: none"> • I programmi possono essere letti dalla CPU con il PG (CPU -> PG). • I programmi possono essere trasferiti dal PG nella CPU (PG -> CPU). |
| STOP | La CPU non elabora il programma utente. Le unità di ingresso/uscita digitali sono bloccate. <ul style="list-style-type: none"> • I programmi possono essere letti dalla CPU con il PG (CPU -> PG). • I programmi possono essere trasferiti dal PG nella CPU (PG -> CPU). |
| MRES (cancellazione totale; reset master) | Posizione ad impulso dell'interruttore per la cancellazione totale della CPU (vedi pagine seguenti). |

Livelli di protezione

Con le CPU dell'S7-400 è possibile stabilire un livello di protezione tramite il quale proteggere i programmi nella CPU da un accesso non autorizzato. Il livello di protezione consente di stabilire quali funzioni del PG possono essere eseguite in una data CPU da un utente che non dispone di una particolare autorizzazione (password). Con la password sono possibili tutte le funzioni del PG.

Impostazione dei livelli di protezione

I livelli di protezione (1 - 3) per una CPU possono essere impostati in STEP 7/Configurazione hardware.

Il livello di protezione impostato in STEP 7/Configurazione hardware può essere eliminato tramite una cancellazione totale manuale con il selettore dei modi di funzionamento.

La tabella 1-3 mostra i livelli di protezione di una CPU dell'S7-400.

Tabella 1-3 Livelli di protezione di una CPU dell'S7-400

| Livello di protezione | Funzione | Posizione selettore |
|-----------------------|---|---------------------|
| 1 | <ul style="list-style-type: none"> Tutte le funzioni del PG sono ammesse (impostazione di default). | RUN-P / STOP |
| 2 | <ul style="list-style-type: none"> È ammesso il caricamento di oggetti dalla CPU nel PG, sono cioè ammesse solo le funzioni PG in lettura. Sono ammesse le funzioni per la conduzione del processo, la relativa osservazione e per la comunicazione di processo. Sono ammesse tutte le funzioni informative. | RUN |
| 3 | <ul style="list-style-type: none"> Sono ammesse le funzioni per la conduzione del processo, la relativa osservazione e per la comunicazione di processo. Sono ammesse tutte le funzioni informative. | - |

Ordine da seguire nella cancellazione totale

Caso A: si desidera trasferire un nuovo programma per intero nella CPU.

1. Portare l'interruttore nella posizione STOP.

Risultato: Il LED STOP si accende.

2. Portare l'interruttore nella posizione MRES e mantenere questa posizione.

Risultato: Il LED STOP si spegne per un secondo, si accende per un secondo, si spegne per un secondo per riaccendersi poi definitivamente.

3. Portare l'interruttore indietro nella posizione STOP e quindi, entro i tre secondi successivi, di nuovo in posizione MRES e di nuovo indietro su STOP.

Risultato: Il LED STOP lampeggia per almeno 3 secondi con una frequenza di 2 Hz (la cancellazione totale viene effettuata) e rimane quindi acceso.

Caso B: tramite un lampeggiare lento con 0,5 Hz del LED di STOP, la CPU richiede la cancellazione totale (richiesta di cancellazione totale da parte del sistema, ad esempio dopo l'estrazione o l'inserimento di una memory card).

Portare l'interruttore nella posizione MRES e di nuovo indietro in posizione STOP.

Risultato: l'indicatore di STOP lampeggia per almeno 3 secondi con 2 Hz (viene eseguita la cancellazione totale) e in seguito rimane acceso.

La completa descrizione del processo di cancellazione totale si trova nel manuale d'installazione: Sistemi di automazione S7-400, M7-400, capitolo 6.

Svolgimento della cancellazione totale nella CPU

Durante la cancellazione totale, nella CPU si svolge la seguente procedura:

- La CPU cancella l'intero programma utente dalla memoria di lavoro e dalla memoria di caricamento (memoria RAM integrata ed eventualmente RAM Card).
- La CPU cancella tutti i contatori, i merker ed i temporizzatori (incluso l'orario).
- La CPU controlla il proprio hardware.
- La CPU inizializza i propri parametri hardware e di sistema, ovvero le preimpostazioni interne (di default). Alcune preimpostazioni parametrizzate vengono considerate.
- Se è innestata una FLASH Card, dopo la cancellazione totale la CPU copia il programma utente ed i parametri di sistema memorizzati nella FLASH Card nella memoria di lavoro.

Cosa rimane dopo la cancellazione totale...

A cancellazione totale della CPU effettuata, rimangono intatti:

- il contenuto del buffer di diagnostica
Il contenuto può essere letto con il PG con STEP 7.
- i parametri dell'interfaccia MPI (indirizzo MPI e massimo indirizzo MPI). Osservare le particolarità riportate nella seguente tabella.
- l'orario
- stato e valore del contatore di funzionamento

Particolarità: parametri MPI

Nella cancellazione totale, i parametri MPI hanno una particolarità. Nella seguente tabella è descritto quali parametri MPI sono validi dopo la cancellazione totale.

| Cancellazione totale ... | Parametri MPI... |
|----------------------------|---|
| con FLASH Card innestata | ..., che si trovano sulla FLASH Card, sono validi |
| senza FLASH Card innestata | ...nella CPU rimangono invariati e sono validi |

Avvio a freddo

- Nell'avvio a freddo, tutti i dati (immagine di processo, merker, temporizzatori, contatori e blocchi dati) vengono reimpostati sui valori iniziali impostati nel programma (memoria di caricamento), indipendentemente dal fatto che essi siano stati parametrizzati o meno nella memoria a ritenzione.
- L'elaborazione del programma viene ricominciata di nuovo dall'inizio (OB 100, OB 101, OB 102 o OB 1).

Nuovo avviamento (avvio a caldo)

- Nel nuovo avviamento vengono resettati l'immagine del processo e i merker, i temporizzatori e contatori non a ritenzione.
Merker, temporizzatori e contatori a ritenzione mantengono l'ultimo valore valido.
Tutti i blocchi dati che sono stati parametrizzati con la caratteristica "Non Retain", vengono reimpostati sui valori di caricamento. Gli altri blocchi dati mantengono l'ultimo valore valido.
- L'elaborazione del programma viene riavviata dall'inizio (OB di avvio o OB 1).
- In caso di interruzione dell'alimentazione, l'avviamento a caldo è disponibile solo nel funzionamento bufferizzato.

Riavviamento

- Nel riavviamento, tutti i dati inclusa l'immagine del processo mantengono l'ultimo valore valido.
- L'elaborazione del programma viene proseguita esattamente con l'istruzione in corso al momento dell'interruzione.
- Fino alla fine del ciclo corrente le uscite non vengono modificate.
- Nel caso di interruzione dell'alimentazione, il riavviamento è disponibile solo con funzionamento bufferizzato.

Ordine da seguire nel nuovo avviamento (avvio a caldo)

1. Portare l'interruttore nella posizione STOP.
2. **Risultato:** il LED di STOP lampeggia
3. Portare l'interruttore nella posizione RUN.

Ordine da seguire nel riavviamento

1. Selezionare sul PG il tipo di avviamento "Riavviamento"
Il pulsante corrispondente è attivo solo nel momento in cui è possibile eseguire un riavviamento con questa CPU.

Ordine da seguire nell'avviamento a freddo

Un avvio a freddo può essere eseguito esclusivamente con il PG.

1.5 Struttura e funzioni delle memory card

Numero di ordinazione

I numeri di ordinazione delle memory card sono elencati nelle schede tecniche al capitolo 6.

Struttura

La memory card è un po' più grande di una carta di credito ed è protetta da una robusta custodia metallica. La memory card viene inserita in un alloggiamento sul lato frontale della CPU; la sua particolare struttura ne consente l'inserimento in un unico senso.

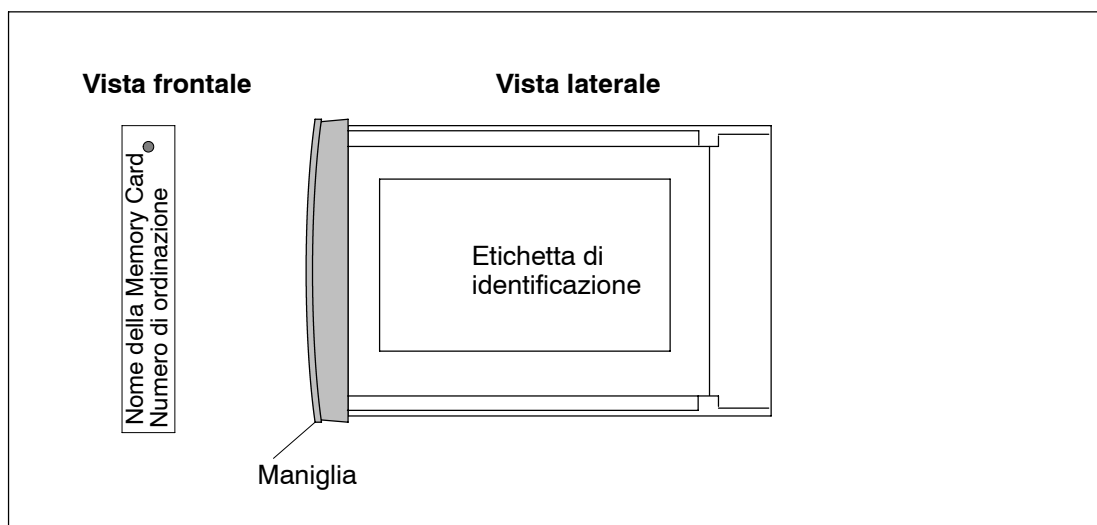


Figura 1-6 Struttura della memory card

Funzione

La memory card e un'area di memoria integrata sulla scheda della CPU costituiscono la memoria di caricamento della CPU stessa. Durante il funzionamento la memoria di caricamento contiene il programma utente completo inclusi i commenti, i simboli, altre informazioni particolari che permettono la ricompilazione del programma e tutti i parametri delle unità (vedere il capitolo 4.1).

Cosa si memorizza nella memory card

Nella memory card possono essere memorizzati i seguenti tipi di dati:

- il programma utente, ossia i blocchi (OB, FB, FC, DB) e i dati di sistema
- i parametri che determinano il comportamento della CPU
- i parametri che definiscono il comportamento delle unità di periferia
- a partire da STEP 7 V5.1, tutti i file del progetto nelle memory card adatte

Tipi di memory card per l'S7-400

Con l'S7-400 possono essere utilizzati due tipi di memory card:

- RAM card
- FLASH card (FEPROM card)

Avvertenza

Con l'S7-400 non è possibile utilizzare schede di memoria non riconosciute dal sistema.

Tipo di memory card da utilizzare

La scelta della memory card dipende dalla modalità di utilizzo.

Tabella 1-4 Tipi di memory card

| Se si intende ... | occorre ... |
|---|----------------------------------|
| modificare i dati nella memoria RAM ed il programma anche durante il modo di funzionamento RUN, | utilizzare una RAM card |
| memorizzare in modo permanente il programma utente sulla memory card (senza memoria transitoria o esternamente alla CPU), | utilizzare una FLASH card |

RAM card

Se si utilizza una RAM card, è necessario inserirla nella CPU per potervi caricare il programma utente, un'operazione che viene eseguita con l'ausilio del dispositivo di programmazione (PG).

Nella memoria di caricamento è possibile caricare l'intero programma o alcune sue parti, ad esempio i blocchi FB, FC, OB, DB o SDB nello stato STOP o RUN.

Quando si estrae la RAM card dalla CPU, le informazioni memorizzate sulla scheda andranno perse. La RAM card non dispone di una batteria tampone integrata.

Se l'alimentatore contiene una batteria tampone, oppure se alla CPU viene applicata una tensione di batteria esterna tramite il connettore "EXT. BATT.", il contenuto della RAM card viene mantenuto anche dopo lo spegnimento dell'alimentatore, finché la scheda rimane inserita nella CPU e quest'ultima è installata sul telaio di montaggio.

FLASH card

Se si utilizza una FLASH card, esistono due possibilità per caricare il programma utente.

- portare la CPU in stato di STOP con il selettore del modo di funzionamento, inserire la FLASH card nella CPU e caricare il programma utente con STEP 7 "Sistema di destinazione -> Carica programma utente nella memory card".
- caricare il programma utente in modalità offline sul dispositivo/adattatore di programmazione nella FLASH card e inserire poi la scheda nella CPU.

Con la FLASH card è possibile ricaricare solo l'intero programma. Parti di programma più piccole possono essere caricate con il PG nella memoria di caricamento integrata sulla CPU. In caso di modifiche al programma consistenti, la FLASH card deve essere sempre caricata nuovamente insieme al programma utente completo.

La FLASH card non richiede tensione per la memorizzazione del suo contenuto, ovvero le informazioni in essa presenti vengono mantenute anche se si estrae la scheda dalla CPU oppure se l'S7-400 funziona senza buffer (senza batteria tampone nell'alimentatore né tensione esterna applicata al connettore "EXT. BATT." della CPU).

Capacità della memory card

La scelta della capacità della memory card dipende dalle dimensioni del programma utente e dall'ulteriore fabbisogno di memoria connesso all'utilizzo di unità logiche e di comunicazione. Il fabbisogno di memoria di tali componenti è specificato nella documentazione delle singole unità.

Per ottimizzare l'uso della memoria di lavoro (codice e dati) della CPU è opportuno ampliare la memoria di caricamento della CPU con una memory card fino a raggiungere le stesse dimensioni della memoria di lavoro.

Sostituzione della memory card

Per sostituire la memory card, procedere nel modo seguente:

1. Commutare la CPU nello stato di STOP.
2. Estrarre la memory card innestata

Avvertenza

Quando si estrae la memory card il LED di STOP della CPU inizia a lampeggiare a intervalli di 3 secondi e richiede di effettuare una cancellazione totale. Questo comportamento non può essere influenzato dagli OB di errore.

3. Innestare la "nuova" memory card nella CPU.
4. Effettuare la cancellazione totale della CPU.

1.6 Interfaccia multipunto (MPI)

Apparecchiature collegabili

All'MPI è possibile ad esempio collegare i seguenti nodi:

- Apparecchiature di programmazione (PG/PC)
- Apparecchiature di servizio e supervisione (OP e TD)
- Ulteriore controllori SIMATIC S7.

Alcune apparecchiature collegabili prelevano l'alimentazione a 24 V dall'interfaccia. Tale tensione viene resa disponibile senza separazione di potenziale.

Comunicazione PG/OP-CPU

Nella comunicazione con PG/OP, una CPU può realizzare contemporaneamente più collegamenti online. Tuttavia, un collegamento è sempre riservato tramite preimpostazione ad un PG e uno ad un'apparecchiatura OP/S+S.

Per informazioni specifiche delle CPU relative al numero di risorse per il collegamento e gli OP collegabili consultare il capitolo 6 Dati tecnici.

Comunicazione e tempi di reazione all'allarme

Attenzione

Nei job di lettura e scrittura con la quantità di dati massima (circa 460 byte), si possono incrementare i tempi di reazione all'allarme.

Comunicazione CPU-CPU

Per la comunicazione CPU-CPU sono disponibili tre procedimenti:

- scambio dati tramite comunicazione di base S7
- scambio dati tramite comunicazione S7
- scambio dati tramite comunicazione di dati globali

Ulteriori informazioni su questo argomento si trovano nel manuale "Programmazione con STEP 7".

Connettori

Utilizzare esclusivamente connettori di bus con uscita del cavo angolata per PROFIBUS DP o cavo per il PG per il collegamento dei dispositivi all'MPI (vedere *Manuale di installazione*, capitolo 7).

Interfaccia MPI come interfaccia DP

L'interfaccia MPI può essere parametrizzata anche come interfaccia DP. A tale scopo è possibile effettuare una modifica dei parametri dell'interfaccia MPI in STEP 7 nel SIMATIC Manager. È così possibile creare un ramo DP con massimo 32 slave.

1.7 Interfaccia PROFIBUS DP

Apparecchiature collegabili

All'interfaccia Profibus DP è possibile ad esempio collegare tutti gli slave DP conformi.

La CPU è in questo caso master DP oppure slave DP ed è collegata tramite il bus di campo PROFIBUS DP alle stazioni slave passive o altri master DP.

Alcune apparecchiature collegabili prelevano l'alimentazione a 24 V dall'interfaccia. Tale tensione viene messa a disposizione senza separazione di potenziale.

Connettori

Utilizzare esclusivamente connettori di bus per PROFIBUS DP o un cavo PROFIBUS per il collegamento delle apparecchiature all'interfaccia Profibus DP (*vedere Manuale di installazione, capitolo 7*).

1.8 Panoramica dei parametri per le CPU S7-400

Valori di default

Quando l'apparecchiatura viene fornita, tutti i parametri sono impostati su valori di default. Con questi valori, adatti per una serie di applicazioni standard, l'S7-400 può essere usata direttamente e senza ulteriori impostazioni.

I valori di default specifici per la CPU possono essere controllati con STEP 7 "Configurazione hardware".

Blocchi di parametri

Il comportamento e le proprietà della CPU vengono stabiliti tramite parametri (che vengono salvati nei blocchi dei dati di sistema). Le CPU hanno una preimpostazione definita che può essere modificata cambiando i parametri della Configurazione hardware.

Il seguente elenco offre una panoramica delle proprietà del sistema parametrizzabili disponibili nelle CPU.

- Proprietà generali (ad es. nome della CPU)
- Avvio (ad esempio abilitazione del riavviamento)
- Allarmi in sincronismo di clock
- Ciclo/merker di clock (ad esempio tempo di controllo del ciclo)
- Ritenzione (numero dei merker, temporizzatori e contatori a ritenzione)
- Memoria (ad es. dati locali)

Avvertenza: Se si modifica la suddivisione della memoria di lavoro tramite parametrizzazione, nel caricamento dei dati del sistema nella CPU la memoria di lavoro viene riorganizzata. Ciò ha come conseguenza che i blocchi di dati che sono stati generati tramite SFC vengono cancellati ed i blocchi di dati restanti vengono preimpostati con valori iniziali dalla memoria di caricamento.

Le dimensioni utili della memoria di lavoro per blocchi di dati o di codice vengono modificate al caricamento dei dati di sistema se si modificano i seguenti parametri:

- Dimensione dell'immagine del processo (a byte; nella scheda "ciclo/merker di clock")
- Risorse di comunicazione (nella scheda "Memoria")
- Dimensione del buffer di diagnostica (nella scheda "Diagnostica/orologio")
- Numero dei dati locali per tutte le classi di priorità (scheda "Memoria")
- Correlazione degli allarmi (interrupt di processo, allarmi di ritardo, allarmi di errore di asincronismo) alle classi di priorità
- Allarmi dell'orologio (ad es. avvio, durata dell'intervallo, priorità)
- Schedulazioni orologio (ad es. priorità, durata dell'intervallo)
- Diagnostica/orologio(ad esempio sincronizzazione oraria)
- Livelli di protezione

Avvertenza

Nell'impostazione predefinita 16 byte di merker e 8 contatori sono impostati a ritenzione. Al nuovo avviamento della CPU essi non vengono cancellati.

Tool di parametrizzazione

I singoli parametri della CPU possono essere impostati con STEP 7 "Configurazione hardware".

Avvertenza

Se si eseguono modifiche ai seguenti parametri rispetto alle impostazioni avute finora, il sistema operativo effettua inizializzazioni come nel caso dell'avviamento a freddo.

- Dimensione dell'immagine di processo degli ingressi
- Dimensione dell'immagine di processo delle uscite
- Dimensione dei dati locali
- Numero delle registrazioni del buffer di diagnostica
- Risorse di comunicazione

Queste inizializzazioni sono:

- I blocchi dati vengono inizializzati con i valori iniziali
 - i merker, i contatori, i temporizzatori e le uscite vengono cancellati indipendentemente dalla ritenzione impostata (0)
 - i DB creati tramite SFC vengono cancellati
 - i collegamenti per la comunicazione di base progettati in modo fisso vengono disattivati
 - tutti i livelli di processo partono dall'inizio
-

Funzioni speciali di una CPU 41x

2

Panoramica del capitolo

| Nel paragrafo | si trova | a pagina |
|----------------------|--|-----------------|
| 2.1 | Lettura dei dati di servizio | 2-2 |
| 2.2 | Multicomputing | 2-3 |
| 2.3 | Modifica all'impianto durante il funzionamento | 2-7 |

2.1 Lettura dei dati di servizio

Presupposto

Per utilizzare questa funzione, deve essere installato STEP 7 dalla versione 5.3.

Situazione concreta

In presenza di un problema la cui soluzione richiede l'intervento del Customer Support, può essere necessario che esso necessiti, per scopi di diagnostica, di speciali informazioni sullo stato della CPU dell'impianto. Queste informazioni sono memorizzate nel buffer di diagnostica e nei dati di servizio veri e propri.

Esse possono essere lette con il comando di menù "Sistema di destinazione -> Salva dati di servizio" e salvate in due file che possono poi essere inviati al Customer Support.

Notare in questo caso quanto segue:

- Salvare i dati di servizio possibilmente direttamente dopo il passaggio in STOP di una CPU o dopo che in un sistema H si è avuta una perdita di sincronismo.
- In un sistema H, salvare sempre i dati di servizio di ambedue le CPU, quindi anche della CPU che è ancora in RUN dopo una perdita di sincronismo.

I dati di servizio vengono salvati nel file <filename.ext> nel percorso <pfadname>.

Procedura

1. Scegliere il comando di menù "Sistema di destinazione -> Salva dati di servizio"

Si apre una finestra di dialogo nella quale è possibile stabilire il luogo di salvataggio ed il nome per entrambi i file.

2. Salvare il file.
3. Inviare i file al Customer Support su richiesta di quest'ultimo.

2.2 Multicomputing

Panoramica del capitolo

| Nel paragrafo | si trova | a pagina |
|---------------|--|----------|
| 2.2.1 | Particolarità | 2-5 |
| 2.2.2 | Allarme di multicomputing | 2-6 |
| 2.2.3 | Configurazione e programmazione del funzionamento multicomputing | 2-6 |

Definizione di funzionamento multicomputing

Il funzionamento multicomputing è il funzionamento contemporaneo di più (massimo 4) CPU che supportino il multicomputing in un'apparecchiatura centrale dell'S7-400.

Le CPU interessate cambiano automaticamente i propri stati di funzionamento in modo sincrono, esse si avviano insieme e si portano insieme nello stato di funzionamento STOP. In ogni CPU il programma utente opera indipendentemente dai programmi delle altre CPU. Ciò rende possibile una parallelizzazione di compiti di comando.

Telai di montaggio adatti al funzionamento multicomputing

I seguenti telai di montaggio sono adatti al funzionamento multicomputing:

- UR1 e UR 2
- UR2-H, il funzionamento multicomputing di più CPU è possibile solo se le CPU sono innestate nella stessa apparecchiatura parziale.
- CR3, poiché il CR3 dispone solo di 4 posti connettore, è possibile solo il funzionamento multicomputing di due CPU.

Differenza tra funzionamento multicomputing e funzionamento nel telaio di montaggio segmentato

Nel telaio di montaggio segmentato CR2 (fisicamente segmentato, non impostabile tramite parametrizzazione) è ammessa una sola CPU per segmento. In questo caso tuttavia non si tratta di multicomputing. Le CPU nel telaio di montaggio segmentato costituiscono un sistema parziale indipendente e si comportano come singoli processori. Non esiste un campo di indirizzamento logico comune.

Nel telaio di montaggio segmentato, il funzionamento multicomputing non è possibile (vedere anche il manuale d'installazione).

Quando utilizzare il multicomputing?

Un impiego del multicomputing è vantaggioso nei seguenti casi:

- Se il proprio programma utente è troppo complesso per una CPU e la quantità di memoria diventa insufficiente, distribuire il programma tra più CPU.
- Se una determinata parte del proprio impianto deve essere gestita velocemente, separare la parte del programma interessata dal programma complessivo e farla elaborare da una propria CPU "veloce".
- Se il proprio impianto è composto da più parti che sono ben separabili tra di loro e quindi relativamente autonome da comandate o regolare, far gestire la parte dell'impianto 1 dalla CPU1, la parte dell'impianto 2 dalla CPU 2 ecc.

Esempio

Nella figura seguente è rappresentato un controllore programmabile operante in funzionamento multicomputing. Ogni CPU può accedere alle unità assegnatele (FM, CP, SM).

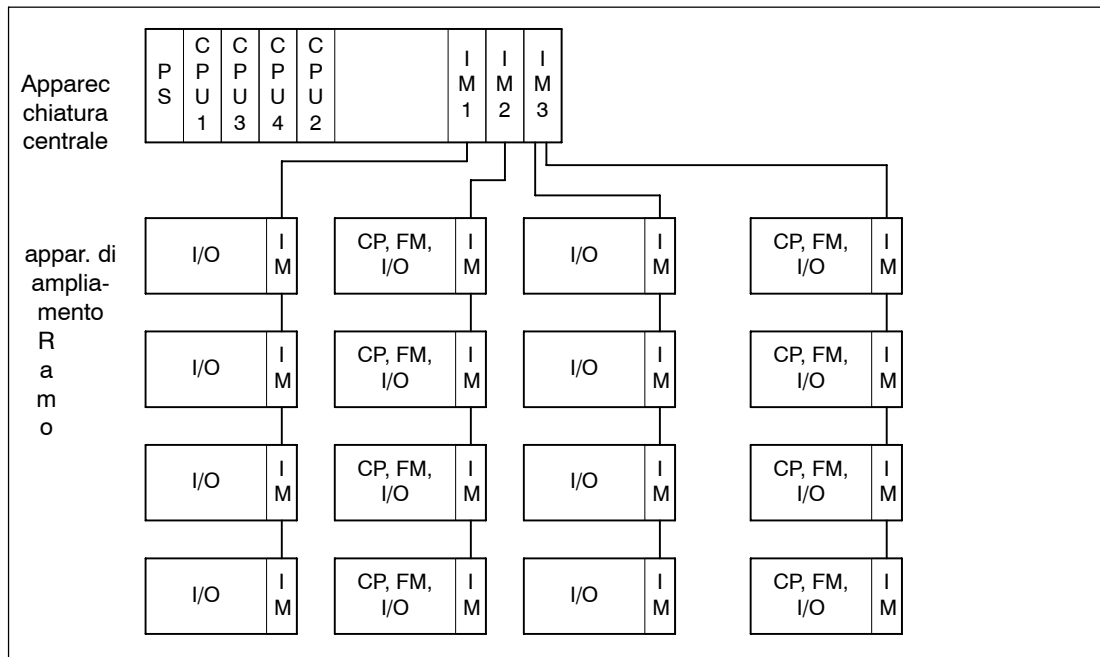


Figura 2-1 Esempio di multicomputing

2.2.1 Particolarità

Regole per i posti connettore

Nel funzionamento multicomputing in un'apparecchiatura centrale è possibile innestare fino a quattro CPU contemporaneamente in un ordine qualsiasi.

Collegamento di bus

Le CPU sono collegate tramite il bus K, per cui, se progettate opportunamente, possono essere tutte raggiunte dal PG attraverso una porta MPI.

Comportamento all'avvio e durante il funzionamento

All'avvio, le CPU interessate al funzionamento multicomputing controllano automaticamente se possono sincronizzarsi. Una sincronizzazione è possibile solo nei seguenti casi:

- se tutte le CPU configurate (e solo quelle) sono innestate e non guaste.
- se per tutte le CPU innestate sono stati creati dati di configurazione corretti con STEP 7 e se questi sono caricati

Se uno dei seguenti presupposti non si verifica, nel buffer di diagnostica viene registrato l'evento con l'ID 0x49A4. Per maggiori informazioni sugli ID di evento consultare la guida di riferimento alle funzioni standard e di sistema.

Quando si esce dallo stato di funzionamento STOP viene effettuato un confronto fra i tipi di avviamento AVVIAMENTO A FREDDO/NUOVO AVVIAMENTO (AVVIAMENTO A CALDO)/RIAVVIAMENTO. Nel caso di modalità di avviamento diversa, le CPU **non** si portano nello stato di funzionamento RUN.

Correlazione di indirizzi e allarmi

Nel funzionamento multicomputing, le singole CPU possono accedere all'unità che è stata loro collegata nella configurazione con STEP 7. L'area di indirizzamento di una unità è sempre correlata ad una CPU in modo "esclusivo".

Ad ogni CPU è correlata un'unità capace di allarme. Gli allarmi che partono da un'unità con questa caratteristica non possono essere ricevuti da altre CPU.

Elaborazione degli allarmi

Per l'elaborazione degli allarmi vale:

- Gli interrupt di processo e gli allarmi di diagnostica vengono inviati solo ad una CPU.
- In caso di guasto o nel disinserimento e inserimento di una unità, l'allarme viene elaborato dalla CPU che nella parametrizzazione con STEP 7 è stata correlata all'unità.
Eccezione: Un allarme di estrazione/inserimento che viene da un CP raggiunge tutte le CPU anche se il CP nella configurazione con STEP 7 è stato correlato ad una CPU specifica.
- In caso di guasto di un telaio di montaggio, viene richiamato l'OB 86 in ogni CPU e quindi anche nelle CPU alle quali non era correlata alcuna unità del telaio di montaggio che ha subito il guasto.

Informazioni più dettagliate sull'OB 86 si trovano nella guida di riferimento dei blocchi organizzativi.

Risorse I/O

Nel funzionamento multicomputing, le risorse I/O di un sistema di automazione corrispondono a quelle della CPU con la massima quantità di risorse. Nelle singole CPU, le risorse della CPU o del master DP non vanno superate.

2.2.2 Allarme di multicomputing

Con l'ausilio dell'allarme di multicomputing (OB 60), nel multicomputing è possibile reagire ad un evento nella corrispondente CPU in modo sincrono. Contrariamente agli interrupt di processo che vengono generati da unità di ingresso/uscita, l'allarme di multicomputing può essere emesso esclusivamente da CPU. L'allarme di multicomputing viene generato tramite richiamo dell'SFC 35 "MP_ALM".

Informazioni più precise sono disponibili nel manuale *Software di sistema per S7-300/400, Funzioni standard e di sistema*.

2.2.3 Configurazione e programmazione del funzionamento multicomputing

La procedura da seguire per configurare e programmare le CPU e i telai di montaggio è descritta nel manuale *Configurazione dell'hardware e progettazione di collegamenti con STEP 7*.

2.3 Modifica dell'impianto durante il funzionamento

La modifica dell'impianto in funzionamento mediante CiR (Configuration in RUN) consente di modificare la configurazione in RUN. L'elaborazione del processo viene interrotta per un breve intervallo di tempo. Il limite superiore di tale intervallo è impostato a 1 per default ma può essere modificato. Durante l'intervallo gli ingressi del processo mantengono l'ultimo valore (vedere anche il manuale "Modifica dell'impianto in funzionamento mediante CiR")

Questo manuale può essere scaricato gratuitamente da Internet al sito:<http://www.siemens.com/automation/service&support>

La modifica dell'impianto in funzionamento mediante CiR può essere effettuata nelle parti dell'impianto che dispongono di una periferia decentrata e che hanno la configurazione illustrata nella figura seguente. Per ragioni di chiarezza sono stati considerati un solo sistema master DP e un solo sistema master PA. Nella realtà queste limitazioni non sussistono.

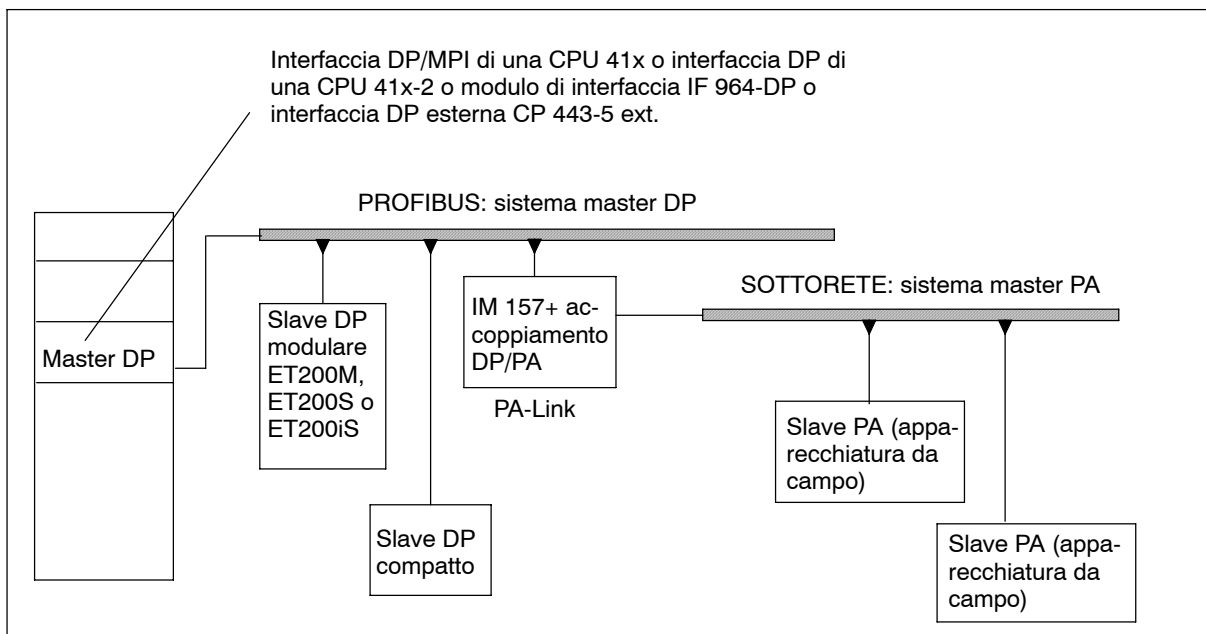


Figura 2-2 Panoramica: struttura del sistema per la modifica dell'impianto durante il funzionamento

Requisiti hardware per la modifica dell'impianto durante il funzionamento

Per eseguire una modifica dell'impianto durante il funzionamento è necessario che sussistano i seguenti requisiti hardware già durante la fase di messa in servizio:

- utilizzo di una CPU standard S7-400 (CPU 412, CPU 414, CPU 416 o CPU 417) a partire dalla versione di firmware V3.1 o di una CPU H S7-400 (CPU 414-4H o CPU 417-4H) in funzionamento singolo a partire dalla versione di firmware V3.1
- Per eseguire una modifica dell'impianto durante il funzionamento in un sistema master DP dotato di master DP esterno (CP 443-5 extended), quest'ultimo deve avere almeno la versione di firmware V5.0.
- Per inserire unità nell'ET 200M: utilizzare l'IM 153-2 a partire dal numero di ordinazione 6ES7153-2BA00-0XB0 o l'IM 153-2FO a partire dal numero di ordinazione 6ES7153-2BB00-0XB0. È inoltre necessario configurare l'ET 200M con elementi di bus attivi e prevedere uno spazio di memoria sufficiente per l'ampliamento che si intende realizzare. L'ET 200M non può essere integrato come slave DPV0 (tramite il file GSD).
- Per inserire stazioni complete: predisporre il connettore di bus, il ripetitore ecc.
- Per inserire gli slave PA (apparecchiature da campo): utilizzare l'IM 157 a partire dal numero di ordinazione 6ES7157-0AA82-0XA00 nel relativo PA/DP-Link.
- L'utilizzo del telaio di montaggio CR2 non è consentito.
- In una stazione nella quale si intende effettuare una modifica dell'impianto in funzionamento mediante CiR non è possibile utilizzare una o alcune delle unità citate di seguito: CP 444, IM 467.
- Nessun funzionamento multicomputing
- Nessun funzionamento sincrono al clock nello stesso sistema master DP

Avvertenza

È possibile utilizzare insieme i componenti che supportano la modifica dell'impianto in funzionamento e quelli che non la supportano (ad eccezione delle unità escluse sopra indicate). La modifica dell'impianto può essere tuttavia apportata solo ai componenti che supportano la funzione CiR.

Requisiti software per la modifica dell'impianto durante il funzionamento

Per eseguire una modifica della configurazione in RUN è necessario che il programma utente soddisfi i seguenti requisiti: deve essere creato, ad esempio, in modo che gli eventi "stazione fuori servizio, guasto delle unità o superamento del tempo di ciclo" non determinino lo STOP della CPU.

Nella CPU devono essere presenti i seguenti OB:

- OB di interrupt di processo (dall'OB 40 all'OB 47)
- OB degli errori di tempo (OB 80)
- OB di allarme di diagnostica (OB 82)
- OB di estrazione/inserimento (OB 83)
- OB di errore di hardware CPU (OB 84)
- OB di errore di esecuzione del programma (OB 85)
- OB di guasto del telaio di montaggio (OB 86)
- OB di errore di accesso alla periferia (OB 122)

Modifiche dell'impianto durante il funzionamento consentite: panoramica

Durante il funzionamento è possibile eseguire le modifiche dell'impianto descritte di seguito.

- Inserimento di unità nell'ET 200M slave DP modulare, a meno che essa non sia stata integrata come slave DPV0 (tramite file GSD).
- Modifica dei parametri delle unità ET 200M, ad esempio la selezione di limiti di allarme diversi o l'uso di canali sinora inutilizzati.
- Utilizzo dei canali inutilizzati di un'unità o di un modulo nelle unità ET 200M, ET 200S, ET 200iS slave DP modulari.
- Aggiunta di slave DP ad un sistema master DP esistente.
- Inserimento di slave PA (apparecchiature da campo) in un sistema master PA.
- Inserimento di un accoppiamento DP/PA dopo un'IM157.
- Inserimento di PA Links (compresi i sistemi master PA) in un sistema master DP esistente.
- Assegnazione delle unità inserite ad un'immagine di processo parziale.
- Modifica dei parametri delle unità delle stazioni ET 200M (unità standard e unità di ingresso/uscita segnali ad elevata sicurezza in funzionamento standard).
- Annullamento delle modifiche: è possibile eliminare le unità, i moduli e gli slave DP e PA (apparecchiature da campo) inseriti.

Avvertenza

L'inserimento o l'eliminazione di slave o unità e la modifica dell'assegnazione dell'immagine di processo possono essere effettuate al massimo in quattro sistemi master DP.

Le modifiche non espressamente indicate nel paragrafo precedente non sono ammesse nell'ambito della funzione di modifica durante il funzionamento e non saranno oggetto di discussione nel presente manuale.

S7-400 nel funzionamento Profibus DP

3

Panoramica del capitolo

| Nel paragrafo | si trova | a pagina |
|----------------------|---------------------------------|-----------------|
| 3.1 | CPU 41x come master DP/slave DP | 3-2 |
| 3.2 | Comunicazione diretta | 3-31 |
| 3.3 | Dati coerenti | 3-34 |

3.1 CPU 41x come master DP/slave DP

Introduzione

In questo capitolo si trovano le caratteristiche ed i dati tecnici necessari quando si desidera impiegare una CPU 41x quale master DP o quale slave DP e progettargli per la comunicazione diretta.

Convenzione: poiché il comportamento master DP/slave DP è uguale per tutte le CPU, d'ora in poi le CPU verranno indicate con CPU 41x.

Ulteriore bibliografia

Descrizioni e avvertenze relative alla progettazione, alla configurazione di una sottorete PROFIBUS e alla diagnostica della sottorete PROFIBUS sono descritte nella guida in linea di *STEP 7*.

3.1.1 Aree di indirizzamento DP delle CPU 41x

Aree di indirizzamento delle CPU 41x

Tabella 3-1 CPU 41x (interfaccia MPI/DP come PROFIBUS DP)

| Area di indirizzamento | 412-1 | 412-2 | 414-2 | 416-2 |
|--|-------|-------|-------|-------|
| Interfaccia MPI come PROFIBUS DP, ingressi/uscite (byte) | 2048 | 2048 | 2048 | 2048 |
| Interfaccia DP come PROFIBUS DP, ingressi/uscite (byte) | - | 4096 | 6144 | 8192 |
| di cui nell'immagine di processo ingressi/uscite fino a x byte impostabili | 4096 | 4096 | 8192 | 16384 |

Tabella 3-2 CPU 41x (interfaccia MPI/DP e modulo DP come PROFIBUS DP)

| Area di indirizzamento | 414-3 | 416-3 | 417-4 |
|--|-------|-------|-------|
| Interfaccia MPI come PROFIBUS DP, ingressi/uscite (byte) | 2048 | 2048 | 2048 |
| Interfaccia DP come PROFIBUS DP, ingressi/uscite (byte) | 6144 | 8192 | 8192 |
| Modulo DP come PROFIBUS DP ingressi/uscite (byte) | 6144 | 8192 | 8192 |
| di cui nell'immagine di processo ingressi/uscite fino a x byte impostabili | 8192 | 16384 | 16384 |

Gli indirizzi di diagnostica DP occupano nell'area di indirizzamento per gli ingressi almeno 1 byte ciascuno per il master DP e per ogni slave DP. In questi indirizzi è ad esempio richiamabile la diagnostica a norma DP del singolo nodo (parametro LADDR dell'SFC 13). L'indirizzo di diagnostica DP viene stabilito nella progettazione. In caso contrario, *STEP 7* assegna gli indirizzi quali indirizzi di diagnostica DP a partire dal massimo indirizzo del byte verso il basso.

Nel modo DPV1 del master, gli slave hanno solitamente 2 indirizzi di diagnostica.

3.1.2 CPU 41x come master DP

Introduzione

In questo capitolo si trovano le caratteristiche ed i dati tecnici della CPU necessari quando si desidera impiegarla come master DP Profibus.

Le proprietà e i dati tecnici delle CPU 41x sono descritte a partire dal capitolo 6.1.

Presupposti

La corrispondente interfaccia della CPU deve essere configurata come master DP. Ciò significa che in *STEP 7* si deve effettuare quanto segue:

- progettare la CPU come master DP
- assegnare un indirizzo di PROFIBUS
- scegliere un modo di funzionamento (compatibile S7 o DPV1)
- correlare un indirizzo di diagnostica
- collegare gli slave DP al sistema master DP

Avvertenza

Lo slave PROFIBUS-DP è una CPU 31x o una CPU 41x?

Questo slave DP si trova già nel catalogo PROFIBUS-DP come “Stazione già progettata”. A questa CPU slave DP si assegna nel master DP un indirizzo di diagnostica slave. Il master DP deve essere accoppiato con la CPU slave DP e devono essere definite le aree di indirizzamento per lo scambio dati con la CPU slave DP.

Dalla norma EN 50170 alla DPV1

La norma sulla periferia decentrata EN 50170 è stata ampliata e le nuove modifiche sono confluite nella norma IEC 61158 / IEC 61784-1:2002 Ed1 CP 3/1, che nella documentazione SIMATIC viene definita DPV1. La nuova versione presenta alcuni ampliamenti e semplificazioni.

Alcuni componenti per l'automazione della Ditta SIEMENS sono già dotati di funzionalità DPV1. Per utilizzare questa funzionalità è necessario apportare alcune modifiche al proprio sistema. La descrizione completa del passaggio da EN 50170 a DPV1 è riportata sotto forma di FAQ con il titolo “Passaggio da EN50170 a DPV1”, contributo FAQ ID 7027576 al sito Internet del Customer Support.

Componenti che supportano la funzionalità Profibus DPV1

Master DPV1

- CPU S7-400 con interfaccia DP integrata a partire dalla versione di firmware 3.0.
- CP 443-5 con numero di ordinazione 6GK7 443-5DX03-0XE0 se utilizzato con una di queste CPU S7-400.

Slave DPV1

- Gli slave DP elencati in base alla gamma di appartenenza nel catalogo hardware di STEP 7 sono contrassegnati come slave DPV1 nel testo informativo.
- Gli slave DP che possono essere importati in STEP 7 tramite file GSD a partire dalla revisione 3 del file.

STEP 7

A partire da STEP 7 V5.1, Servicepack 2.

Modi di funzionamento disponibili per i componenti DPV1

- Modo S7 compatibile

In questo modo il componente è compatibile con la norma EN 50170. La funzionalità DPV1 non è tuttavia pienamente utilizzabile.

- Modo DPV1

In questo modo la funzionalità DPV1 è pienamente utilizzabile. I componenti della stazione che non la supportano possono essere impiegati nel modo consueto.

Compatibilità fra DPV1 e EN 50170

È possibile continuare ad utilizzare gli slave anche dopo essere passati alla DPV1, è necessario tuttavia tenere presente che essi non supportano le funzioni ampliate della DPV1.

Gli slave DPV1 possono essere utilizzati anche senza passare alla DPV1 e si comportano come gli slave normali. Gli slave DPV1 di SIEMENS possono essere impiegati in modo S7 compatibile. Per gli slave DPV1 di altri produttori è necessario un file GSD secondo EN 50170 con release inferiore alla 3.

Passaggio alla norma DPV1

Se si passa alla DPV1 è necessario convertire tutta la stazione effettuando le opportune impostazioni in Configurazione hardware di STEP 7 (modo DP).

Ulteriori informazioni

Descrizioni e avvertenze per il passaggio da PROFIBUS DP a PROFIBUS DPV1 si trovano in Internet al sito:

<http://www.siemens.com/automation/service&support>

al numero di contributo 7027576

Stato/comando, programmazione tramite PROFIBUS

Alternativamente all'interfaccia MPI è possibile programmare la CPU o eseguire le funzioni del PG stato e comando tramite l'interfaccia PROFIBUS DP.

Avvertenza

Le applicazioni programmazione o stato e comando tramite l'interfaccia PROFIBUS DP, prolungano il ciclo DP.

Equidistanza

L'equidistanza è la caratteristica del PROFIBUS DP che consente di ottenere cicli di bus della stessa durata. "Della stessa durata" significa che il master DP inizia sempre il ciclo del bus DP dopo lo stesso intervallo di tempo. Rispetto agli slave collegati ciò implica che anch'essi ricevono i dati dal master sempre allo stesso intervallo di tempo.

A partire da STEP 7 V 5.2 è possibile parametrizzare per le sotto-reti PROFIBUS cicli di bus della stessa durata (equidistanti).

Aggiornamento delle immagini del processo parziali con sincronismo di clock

Con l'SFC 126 "SYNC_PI" viene aggiornata un'immagine di processo parziale degli ingressi con sincronismo di clock. Con questo SFC, un programma utente legato al clock DP può aggiornare in modo sincrono a questo clock ed in modo coerente i dati di ingresso rilevati in un'immagine di processo parziale degli ingressi. Il SFC 126 può essere interrotto e può essere richiamato solo negli OB 61, 62, 63 e 64.

Con l'SFC 127 "SYNC_PO" viene aggiornata un'immagine di processo parziale delle uscite con sincronismo di clock. Con questo SFC, un programma utente legato al clock DP può aggiornare in modo sincrono a questo clock e trasferire alla periferia in modo coerente i dati di uscita calcolati di un'immagine di processo parziale delle uscite. L'SFC 127 può essere interrotto e può essere richiamato solo negli OB 61, 62, 63 e 64.

Affinché le immagini del processo parziali possano essere aggiornate con sincronismo di clock, tutti gli indirizzi di ingresso o indirizzi di uscita di uno slave devono essere correlati alla stessa immagine di processo parziale.

Affinché durante ogni clock sia assicurata la coerenza in un'immagine di processo parziale, in ogni CPU devono essere soddisfatte le seguenti condizioni:

- CPU 412: numero degli slave + numero di byte / 100 < 16
- CPU 414: numero degli slave + numero di byte / 100 < 26
- CPU 416: numero degli slave + numero di byte / 100 < 40
- CPU 417: numero degli slave + numero di byte / 100 < 44

Gli SFC 126 e 127 vengono descritti nella corrispondente guida in linea e nel manuale "Funzioni standard e di sistema".

Dati utili coerenti

I dati che presentano un'affinità dal punto di vista del contenuto e che descrivono lo stato del processo in un particolare momento vengono definiti dati coerenti. Per essere coerenti i dati non devono subire modifiche o aggiornamenti durante l'elaborazione o la trasmissione.

Per maggiori informazioni sull'argomento consultare il capitolo 3.3.

SYNC/FREEZE

Con il comando di controllo SYNC gli slave DP di un gruppo vengono impostati in modalità Sync, ovvero il master DP trasmette i dati attuali delle uscite e forza gli slave DP a congelare le uscite. Con i seguenti telegrammi di uscita gli slave DP memorizzano i dati delle uscite in un buffer interno; lo stato delle uscite resta invariato.

Dopo ciascun comando di controllo SYNC gli slave DP dei gruppi selezionati trasferiscono i dati di uscita del proprio buffer interno nelle uscite del processo.

L'aggiornamento ciclico delle uscite riprende quando viene attivato il comando di controllo UNSYNC mediante l'SFC 11 "DPSYC_FR".

Con il comando di controllo FREEZE gli slave DP vengono impostati in modalità Freeze, ovvero il master DP forza gli slave DP a congelare lo stato attuale degli ingressi. Quindi trasferisce i dati congelati nell'area di ingresso della CPU.

Dopo ciascun comando di controllo FREEZE gli slave DP congelano lo stato degli ingressi.

La ricezione ciclica dello stato attuale degli ingressi da parte del master DP riprende quando viene attivata il comando di controllo UNFREEZE mediante l'SFC 11 "DPSYC_FR".

L'SFC 11 viene descritto nella corrispondente guida in linea e nel manuale "Funzioni standard e di sistema".

Avviamento del sistema master DP

Il controllo del tempo di avvio del master DP viene impostata con i seguenti parametri:

- Trasferimento dei parametri ai moduli
- Segnale di pronto dell'unità

Nel tempo impostato gli slave DP devono cioè avviarsi ed essere parametrizzati dalla CPU (quale master DP).

Indirizzo di PROFIBUS del master DP

Sono ammessi tutti gli indirizzi di PROFIBUS.

3.1.3 Diagnostica della CPU 41x come master DP

Diagnostica tramite LED

La tabella 3-3 spiega il significato del LED BUSF.

Nel caso di una visualizzazione, si accenderà o lampeggerà sempre il LED BUSF che è correlato all'interfaccia progettata quale interfaccia PROFIBUS DP.

Tabella 3-3 Significato del LED "BUSF" della CPU 41x come master DP

| BUSF | Significato | Rimedio |
|--|--|--|
| spenta | Progettazione in ordine; Tutti gli slave progettati sono accessibili | - |
| acceso | <ul style="list-style-type: none"> Errore di bus (errore fisico) Errore d'interfaccia DP Baudrate diversi nel funzionamento multi-master DP | <ul style="list-style-type: none"> Controllare il cavo di bus relativamente ai cortocircuiti e alle interruzioni. Esaminare la diagnostica. Progettare di nuovo o correggere la progettazione. |
| lampeggiante | <ul style="list-style-type: none"> Guasto stazione Almeno uno degli slave correlati non è accessibile | <ul style="list-style-type: none"> Controllare se il cavo di bus è collegato alla CPU 41x o se il bus è interrotto. Attendere fino a che la CPU 41x non si è avviata. Se il LED continua a lampeggiare, controllare gli slave DP o esaminare la relativa diagnostica DP. |
| lampeggia brevemente ad intermittenza INTF lampeggia brevemente | È in corso la sincronizzazione CiR | - |

Avvio del rilevamento della topologia di bus in un sistema master DP con l'SFC 103 "DP_TOPOL".

Per consentire che, in caso di guasto, sia possibile individuare più facilmente l'unità in cui si è verificata l'anomalia oppure il punto del cavo DP in cui si è verificata un'interruzione, è stato previsto un ripetitore di diagnostica. Questa unità funge da slave ed è in grado di rilevare la topologia di una sotto-rete DP e, in base a questa, gli eventuali guasti.

L'SFC 103 "DP_TOPOL" consente di avviare il rilevamento della topologia di bus di un sistema master DP mediante il ripetitore di diagnostica. L'SFC 103 è descritto nella relativa guida in linea e nel manuale "Funzioni standard e di sistema". Il ripetitore di diagnostica è descritto nel manuale "Repeater di diagnostica per PROFIBUS-DP", numero di ordinazione 6ES7972-0AB00-8BA0 (inglese).

Letture della diagnostica con STEP 7

Tabella 3-4 Lettura della diagnostica con STEP 7

| Master DP | Blocco o scheda in STEP 7 | Impiego | Vedi ... |
|-----------|-------------------------------|---|--|
| CPU 41x | Scheda "Diagnostica slave DP" | Visualizzare la diagnostica slave sotto forma di testo in STEP 7 | Vedi "Diagnostica dell'hardware" nella guida in linea STEP 7 e nel manuale utente di STEP 7 |
| | SFC 13 "DPNRM_DG" | Leggere la diagnostica slave (memorizzare nell'area dati del programma utente) | Per la struttura nella CPU 41x, vedere il capitolo 3.1.5; SFC vedi manuale di riferimento <i>Funzioni standard e di sistema</i> Struttura per altri slave, vedere la relativa descrizione |
| | SFC 59 "RD_REC" | Leggere il set di dati della diagnostica S7 (memorizzare nell'area dati del programma utente) | Manuale di riferimento <i>Funzioni standard e di sistema</i> |
| | SFC 51 "RDSYSST" | Leggere le liste parziali di lista di stato di sistema. Richiamare nell'allarme di diagnostica l'SFC 51 con ID di lista di stato di sistema W#16#00B3 e leggere la lista di stato di sistema della CPU slave. | |
| | SFB 52 "RDREC" | Per slave DPV1: Leggere il set di dati della diagnostica S7 (memorizzare nell'area dati del programma utente) | |
| | SFB 54 "RALRM" | Per slave DPV1: Leggere le informazioni sugli allarmi all'interno del corrispondente OB di allarme | |
| | SFC 103 "DP_TOPOL" | Avvio del rilevamento della topologia di bus di un sistema master DP mediante il relativo ripetitore di diagnostica. | |

Esaminare la diagnostica nel programma utente

La figura seguente mostra il procedimento da seguire per poter esaminare la diagnostica nel programma utente.

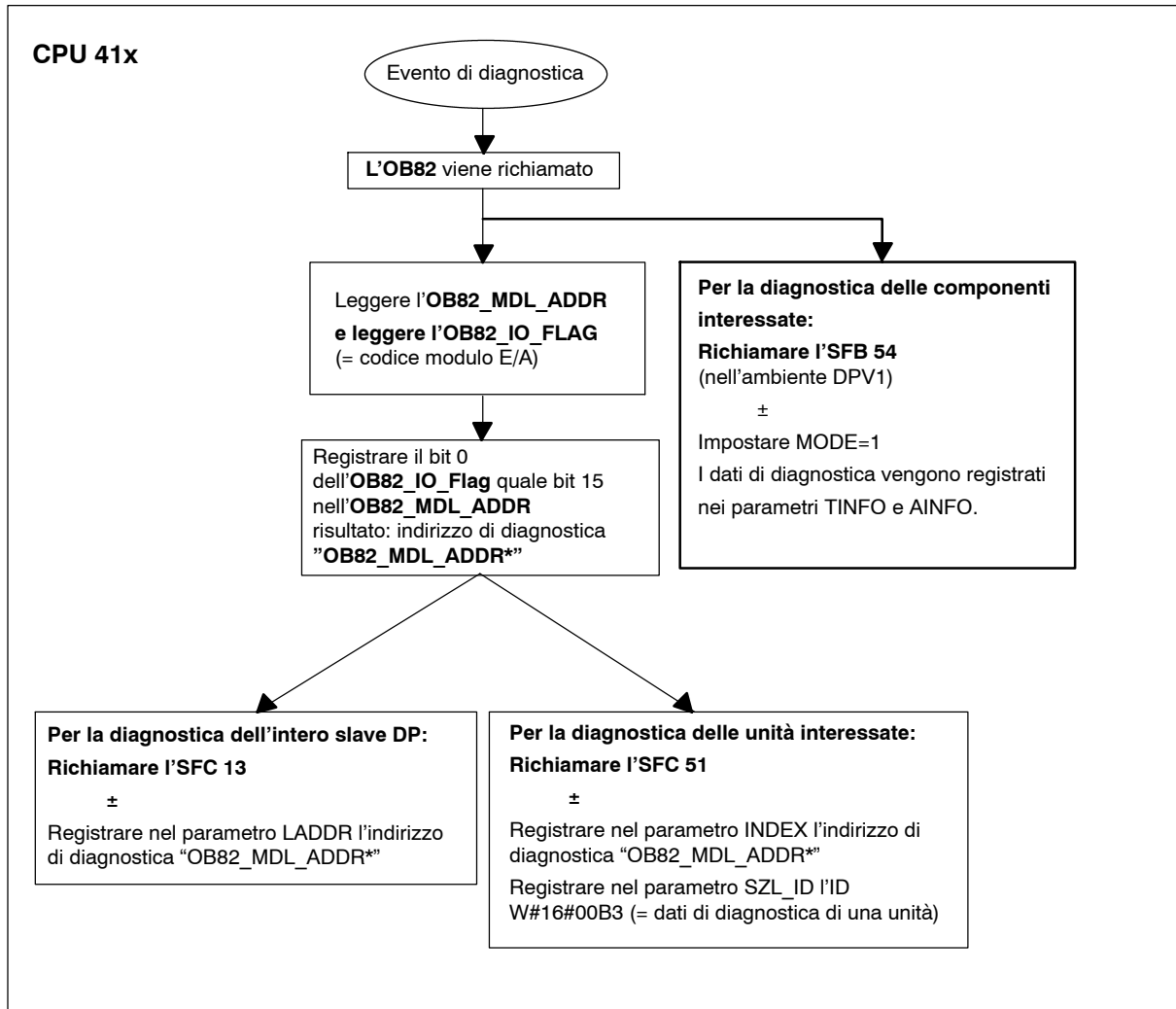


Figura 3-1 Diagnostica con la CPU 41x

Indirizzi di diagnostica in collegamento con la funzionalità slave DP

Nella CPU 41x vengono assegnati gli indirizzi di diagnostica per il PROFIBUS DP. Nella progettazione, notare che gli indirizzi di diagnostica DP sono correlati una volta al master DP e una allo slave DP.

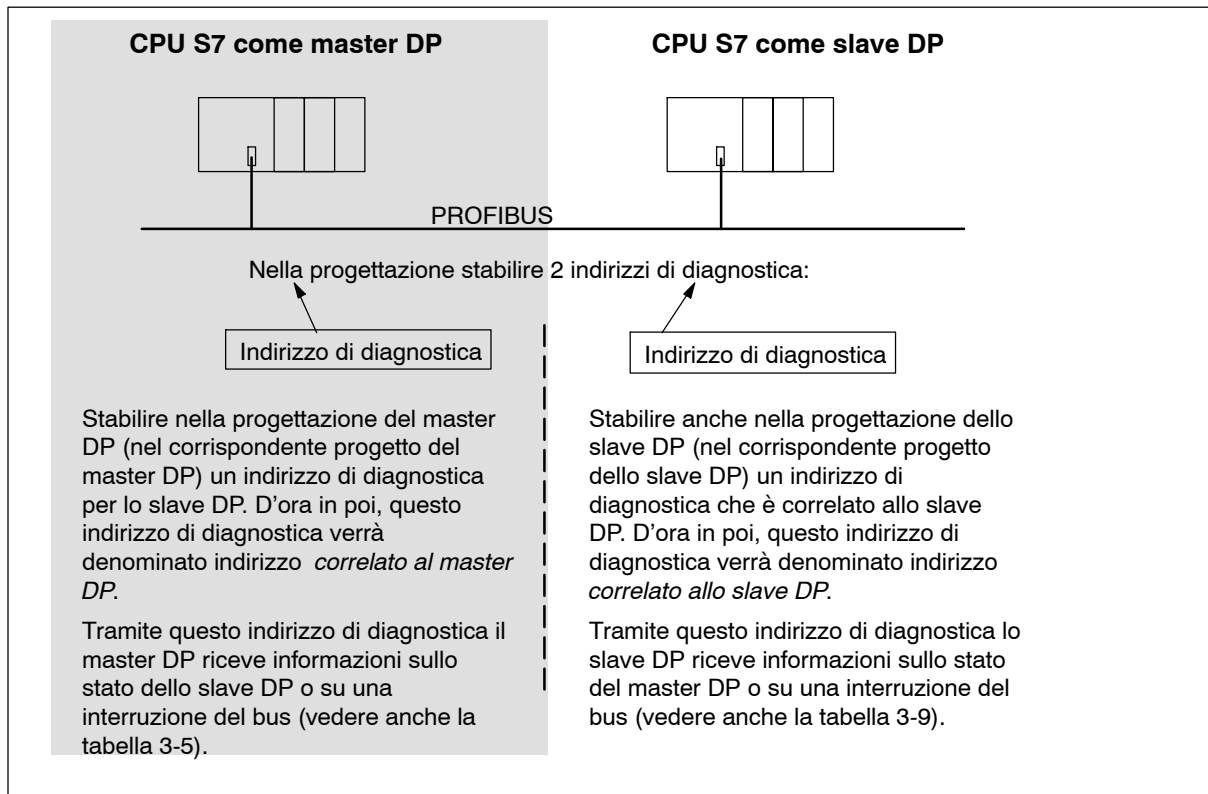


Figura 3-2 Indirizzi di diagnostica per master DP e slave DP

Identificazione dell'evento

La tabella 3-5 mostra come la CPU 41x che funge da master DP riconosca la commutazione di stato di una CPU che funge da slave DP oppure le interruzioni del trasferimento dati.

Tabella 3-5 Identificazione dell'evento delle CPU 41x come master DP

| Evento | Cosa succede nel master DP |
|--|--|
| Interruzione del bus (cortocircuito, connettore staccato) | <ul style="list-style-type: none"> Richiamo dell'OB 86 con la segnalazione <i>Guasto stazione</i> (evento in arrivo; indirizzo di diagnostica dello slave DP che è correlato al master DP) nel caso di accesso alla periferia: Richiamo dell'OB 122 (errore di accesso alla periferia) |
| Slave DP: RUN → STOP | <ul style="list-style-type: none"> Richiamo dell'OB 82 con la segnalazione <i>Unità guasta</i> (evento in arrivo; indirizzo di diagnostica dello slave DP che è correlato al master DP; variabile OB82_MDL_STOP=1) |
| Slave DP: STOP → RUN | <ul style="list-style-type: none"> Richiamo dell'OB 82 con la segnalazione <i>Unità ok</i>. (evento in partenza; Indirizzo di diagnostica dello slave DP che è correlato al master DP; variabile OB82_MDL_STOP=0) |

Valutazione nel programma utente

La tabella seguente mostra come poter esaminare, ad esempio, le transizioni RUN-STOP dello slave DP nel master DP (vedere anche la tabella 3-5).

| nel master DP | nello slave DP (CPU 41x) |
|---|--|
| Indirizzi di diagnostica: (esempio) indirizzo di diagnostica master= 1023 indirizzo di diagnostica slave nel sistema master= 1022 | Indirizzi di diagnostica: (esempio) indirizzo di diagnostica slave= 422 indirizzo di diagnostica master=irrelevante |
| <p>La CPU richiama l'OB 82 con le seguenti informazioni:</p> <ul style="list-style-type: none"> OB 82_MDL_ADDR:=1022 OB82_EV_CLASS:=B#16#39 (evento in arrivo) OB82_MDL_DEFECT:=anomalia dell'unità <p>Suggerimento: queste informazioni sono disponibili anche nel buffer di diagnostica della CPU</p> <p>Nel programma utente si consiglia di programmare anche l'SFC 13 "DPNRM_DG" per la lettura dei dati di diagnostica slave DP.</p> <p>Nell'ambiente DPV1 si consiglia di usare l'SFB54. Esso emette l'intera informazione sull'allarme.</p> | <p>← CPU: RUN → STOP</p> <p>La CPU genera un telegramma di diagnostica slave DP.</p> |

3.1.4 CPU 41x come slave DP

Introduzione

In questo capitolo vengono descritte le proprietà e i dati tecnici della CPU quando essa viene impiegata come slave DP.

Le proprietà e i dati tecnici delle CPU 41x sono descritti a partire dal capitolo 6.1.

Requisiti

1. È ammessa sempre la progettazione di una sola interfaccia DP di una CPU come slave DP.
2. L'interfaccia MPI/DP deve essere un'interfaccia DP? In questo caso si deve progettare l'interfaccia come interfaccia DP.

Prima della messa in servizio è necessario configurare la CPU come slave DP. Eseguire in *STEP 7* le seguenti operazioni:

- "attivare" la CPU come slave DP,
- assegnare un indirizzo PROFIBUS,
- assegnare un indirizzo di diagnostica slave
- stabilire le aree di indirizzamento per lo scambio dati con il master DP.

File GSD

Per progettare la CPU come slave DP in un sistema esterno, è necessario un file GSD.

Il file GSD può essere scaricato gratuitamente in Internet al sito http://www.ad.siemens.de/csi_e/gsi.

È possibile inoltre scaricare il file GSD dalla mailbox del centro interfacce a Fürth al numero +49 (911) 737972.

Telegramma di configurazione e parametrizzazione

STEP 7 consente di configurare/parametrizzare la CPU 41x. Qualora fosse necessaria una descrizione del telegramma di configurazione e parametrizzazione, ad esempio per il controllo con un monitor di bus, essa è disponibile in Internet al sito <http://www.ad.siemens.de/simatic-cs> al contributo 1452338.

Stato/comando, programmazione tramite PROFIBUS

Alternativamente all'interfaccia MPI è possibile programmare la CPU o eseguire le funzioni del PG stato e comando tramite l'interfaccia PROFIBUS DP. A tale scopo è necessario abilitare in *STEP 7* questa funzione nella configurazione della CPU come slave DP.

Avvertenza

Le applicazioni di programmazione o di stato e comando tramite l'interfaccia PROFIBUS DP prolungano il ciclo DP.

Trasferimento dati tramite una memoria di trasferimento

Quale slave DP, la CPU 41x mette a disposizione una memoria di trasferimento per il PROFIBUS DP. Il trasferimento dati tra la CPU come slave DP e il master DP avviene sempre tramite questa memoria di trasferimento. A tale vengono progettate fino a 32 aree di indirizzamento.

Il master DP scrive i propri dati in queste aree di indirizzamento della memoria di trasferimento e la CPU li legge nel programma utente e viceversa.

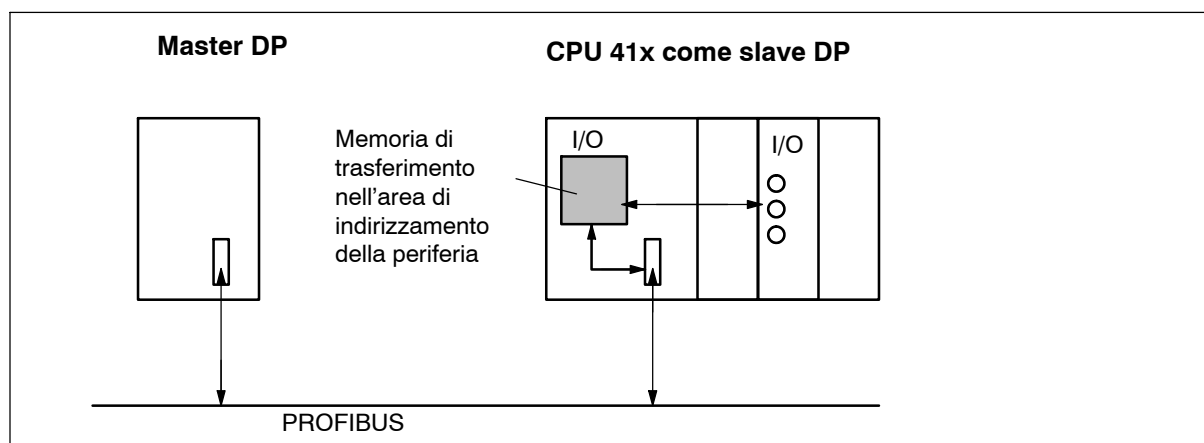


Figura 3-3 Memoria di trasferimento nella CPU 41x come slave DP

Aree di indirizzamento della memoria di trasferimento

In *STEP 7* vengono progettate aree di indirizzamento di ingresso e uscita:

- è possibile progettare fino a 32 aree di indirizzamento di ingresso e uscita
- ognuna di esse può occupare fino a 32 byte
- complessivamente si possono progettare al massimo 244 byte di ingressi e 244 byte di uscita.

La seguente tabella descrive un esempio di progettazione per l'assegnazione degli indirizzi della memoria di trasferimento. Queste informazioni si trovano anche nella guida alla progettazione di *STEP 7*.

Tabella 3-6 Esempio di progettazione per le aree di indirizzamento della memoria di trasferimento

| | Tipo | Indirizzo master | Tipo | Indirizzo slave | Lun- ghezza | Unità | Coerenza |
|--|------|------------------|---|-----------------|---|--------|-----------------------|
| 1 | E | 222 | A | 310 | 2 | Byte | Unità |
| 2 | A | 0 | E | 13 | 10 | Parola | Lunghezza complessiva |
| : | | | | | | | |
| 32 | | | | | | | |
| Aree di indirizzamento nella CPU master DP | | | Aree di indirizzamento nella CPU slave DP | | Questi parametri delle aree di indirizzamento devono essere uguali per master DP e slave DP | | |

Regole

Nell'uso della memoria di trasferimento devono essere rispettate le seguenti regole:

- correlazione delle aree di indirizzamento:
 - I dati di ingresso dello slave DP sono **sempre** dati di uscita del master DP
 - I dati di uscita dello slave DP sono **sempre** dati di ingresso del master DP
- Gli indirizzi possono essere assegnati liberamente. Nel programma utente si accede ai dati con istruzioni di caricamento/trasferimento o con gli SFC 14 e 15. È inoltre possibile specificare indirizzi dell'immagine di processo degli ingressi o delle uscite (vedere anche il capitolo 3.1.1).

Avvertenza

Per la memoria di trasferimento assegnare gli indirizzi dall'area di indirizzamento DP della CPU 41x.

Gli indirizzi assegnati per la memoria di trasferimento non devono essere di nuovo assegnati per le unità di periferia nella CPU 41x!

- L'indirizzo più basso delle singole aree di indirizzamento è l'indirizzo iniziale dell'area di indirizzamento in questione.
- La lunghezza, l'unità e la coerenza delle aree di indirizzamento interdipendenti per master DP e slave DP devono essere uguali.

Master DP S5

Se si impiega un IM 308 C quale master DP e la CPU 41x quale slave DP, per la sostituzione di dati coerenti vale quanto segue:

affinché tra master DP e slave DP vengano trasferiti dati coerenti, nell'IM 308-C è necessario programmare l'FB 192. Solo con l'FB 192, i dati interdipendenti della CPU 41x vengono emessi o letti in un blocco.

S5-95 come master DP

Se viene impiegato un AG S5-95 come master DP, impostare i parametri di bus relativi anche per la CPU 41x che funge da slave DP.

Esempio di programma

Qui di seguito si trova un piccolo esempio di programma che illustra lo scambio dati tra master DP e slave DP. In questo esempio si ritrovano gli indirizzi della tabella 3-6.

| Nella CPU slave DP | | | | Nella CPU master DP | | | |
|--------------------|---------|--------|------------------|---------------------|---------|--------|--------------------|
| L | 2 | | Preparazione dei | | | | |
| T | MB | 6 | dati nello slave | | | | |
| L | EB | 0 | DP | | | | |
| T | MB | 7 | | | | | |
| L | MW | 6 | Inoltrare i dati | | | | |
| T | PAW | 310 | al master DP | | | | |
| | | | | L | PEB | 222 | Elaborare i dati |
| | | | | T | MB | 50 | ricevuti nel |
| | | | | L | PEB | 223 | master DP |
| | | | | L | B#16#3 | | |
| | | | | + | I | | |
| | | | | T | MB | 51 | |
| | | | | L | 10 | | Preparazione dei |
| | | | | + | 3 | | dati nel master DP |
| | | | | T | MB | 60 | |
| | | | | CALL | SFC | 15 | Inviare i dati |
| | | | | LADDR:= | W#16#0 | | allo slave DP |
| | | | | RECORD:= | P#M60.0 | Byte20 | |
| | | | | RET_VAL:= | MW 22 | | |
| CALL | SFC | 14 | Ricevere i dati | | | | |
| LADDR:= | W#16#D | | dal master DP | | | | |
| RET_VAL:= | MW 20 | | | | | | |
| RECORD:= | P#M30.0 | Byte20 | | | | | |
| L | MB | 30 | Elaborare i dati | | | | |
| L | MB | 7 | ricevuti | | | | |
| + | I | | | | | | |
| T | MW | 100 | | | | | |

Trasferimento dati in STOP

La CPU slave DP si porta in STOP: I dati nella memoria di trasferimento della CPU vengono sovrascritti con "0", ciò significa che il master DP legge "0".

Il master DP si porta in STOP: I dati correnti nella memoria di trasferimento della CPU vengono mantenuti e la CPU può continuare a leggerli.

Indirizzo di PROFIBUS

Nella CPU 41x come slave DP, il 126 non può essere impostata quale indirizzo di PROFIBUS.

3.1.5 Diagnostica della CPU 41x come slave DP

Diagnostica tramite LED - CPU 41x

La tabella 3-7 spiega il significato dei LED BUSF.

Si accenderà o lampeggerà sempre il LED BUSF che è correlato all'interfaccia progettata come interfaccia PROFIBUS DP.

Tabella 3-7 Significato dei LED "BUSF" della CPU 41x quale slave DP

| BUSF | Significato | Rimedio |
|--------------|---|--|
| spenta | Progettazione in ordine | - |
| lampeggiante | La CPU 41x è parametrizzata in modo errato. Non avviene scambio dati tra master DP e CPU 41x. Cause: <ul style="list-style-type: none"> il tempo di controllo dell'intervento è trascorso la comunicazione del bus tramite PROFIBUS è interrotta l'indirizzo di PROFIBUS è errato | <ul style="list-style-type: none"> Controllare la CPU 41x Controllare se il connettore di collegamento del bus è innestato correttamente Controllare se il cavo di bus verso il master DP è interrotto Controllare la configurazione e la parametrizzazione. |
| Acceso | <ul style="list-style-type: none"> Cortocircuito del bus | <ul style="list-style-type: none"> Controllare il montaggio del bus |

Avviare il rilevamento della topologia del bus in un sistema master DP con l'SFC 103 "DP_TOPOL".

Per consentire che, in caso di guasto, sia possibile individuare più facilmente l'unità in cui si è verificata l'anomalia oppure il punto del cavo DP in cui si è verificata un'interruzione, è stato previsto un ripetitore di diagnostica. Questa unità funge da slave ed è in grado di rilevare la topologia di una sotto-rete DP e, in base a questa, gli eventuali guasti.

L'SFC 103 "DP_TOPOL" consente di avviare il rilevamento della topologia di bus di un sistema master DP mediante il ripetitore di diagnostica. L'SFC 103 è descritto nella relativa guida in linea e nel manuale "Funzioni standard e di sistema". Il ripetitore di diagnostica è descritto nel manuale "Repeater di diagnostica per PROFIBUS-DP", numero di ordinazione 6ES7972-0AB00-8AA0.

Diagnostica con STEP 5 o STEP 7

La diagnostica slave si comporta secondo la norma EN 50170, Volume 2, PROFIBUS. Essa può essere letta in funzione dal master DP per tutti gli slave DP che si comportano secondo la norma, con STEP 5 o STEP 7.

La lettura e la struttura della diagnostica slave è descritta nei seguenti capitoli.

Diagnostica S7

La diagnostica S7 può essere richiesta nel programma utente da tutte le unità diagnosticabili dello spettro SIMATIC S7. Nelle informazioni sulle unità o nel catalogo è descritto quali unità siano diagnosticabili. La struttura della diagnostica S7 è uguale per le unità innestate in modo centrale e decentrale.

I dati di diagnostica di una unità si trovano nei set di dati 0 e 1 dell'area dei dati del sistema dell'unità. Il set di dati 0 contiene 4 byte di dati di diagnostica che descrivono lo stato corrente di una unità. Il set di dati 1 contiene inoltre dati di diagnostica specifici dell'unità.

La struttura dei dati di diagnostica si trova nel manuale di riferimento *Funzioni standard e di sistema*.

Letture della diagnostica

Tabella 3-8 Lettura della diagnostica con *STEP 5* e *STEP 7* nel sistema master

| Sistema di automazione con master DP | Blocco o scheda in <i>STEP 7</i> | Impiego | Vedi ... |
|--|----------------------------------|---|---|
| SIMATIC S7 | Scheda "Diagnostica slave DP" | Visualizzare la diagnostica slave sotto forma di testo in <i>STEP 7</i> | Vedi "Diagnostica dell'hardware" nella guida in linea <i>STEP 7</i> e nel manuale utente di <i>STEP 7</i> |
| | SFC 13 "DP NRM_DG" | Leggere la diagnostica slave (memorizzare nell'area dati del programma utente) | SFC vedi manuale di riferimento <i>Funzioni standard e di sistema</i> |
| | SFC 51 "RDSYSST" | Leggere le liste parziali di stato di sistema. Richiamare nell'allarme di diagnostica l'SFC 51 con ID di lista di stato di sistema W#16#00B3 e leggere la lista di stato di sistema della CPU slave. | Manuale di riferimento <i>Funzioni standard e di sistema</i> |
| | SFB 54 "RDREC" | Per l'ambiente DPV1 vale: Leggere le informazioni sugli allarmi all'interno del corrispondente OB di allarme | |
| | FB 125/FC 125 | Esaminare la diagnostica slave | In Internet al sito http://www.ad.siemens.de/simatic-cs ID 387 257 |
| SIMATIC S5 con IM 308-C quale master DP | FB 192 "IM308C" | Leggere la diagnostica slave (memorizzare nell'area dati del programma utente) | FB vedi manuale <i>Sistema di periferia decentrata ET 200</i> |
| SIMATIC S5 con dispositivo di automazione S5-95U quale master DP | SFB 230 "S_DIAG" | | |

Esempio di lettura della diagnostica slave con l'FB 192 "IM 308C"

Qui si trova l'esempio di lettura della diagnostica slave con l'FB 192 per uno slave DP nel programma utente *STEP 5*.

Supposizioni

Per questo programma utente *STEP 5* valgono i seguenti presupposti:

- Come master DP l'IM 308-C deve occupare le pagine 0 ... 15 (numero 0 dell'IM 308-C).
- Lo slave DP deve avere l'indirizzo di PROFIBUS 3.
- La diagnostica slave deve essere memorizzata nel DB 20. È tuttavia possibile utilizzare anche un qualsiasi altro blocco di dati.
- La diagnostica slave è composta da 26 byte.

Programma utente *STEP 5*

| AWL | | Chiarimenti |
|------|-------------|--|
| | :A DB 30 | |
| | :SPA FB 192 | |
| Nome | :IM308C | |
| DPAD | : KH F800 | Area di indirizzamento di default dell'IM 308-C |
| IMST | : KY 0, 3 | N. di IM = 0, indirizzo PROFIBUS dello slave DP = 3 |
| FCT | : KC SD | Funzione: Leggere la diagnostica slave |
| GCGR | : KM 0 | Non viene esaminato |
| TYP | : KY 0, 20 | Area dati S5: DB 20 |
| STAD | : KF +1 | Dati di diagnostica dalla parola di dati 1 |
| LENG | : KF 26 | Lunghezza della diagnostica = 26 byte |
| ERR | : DW 0 | Memorizzazione del codice di errore nella DW 0 del DB 30 |

Indirizzi di diagnostica in collegamento con la funzionalità master DP

Nella CPU 41x vengono assegnati gli indirizzi di diagnostica per il PROFIBUS DP. Nella progettazione, notare che gli indirizzi di diagnostica DP sono correlati una volta al master DP e una allo slave DP.

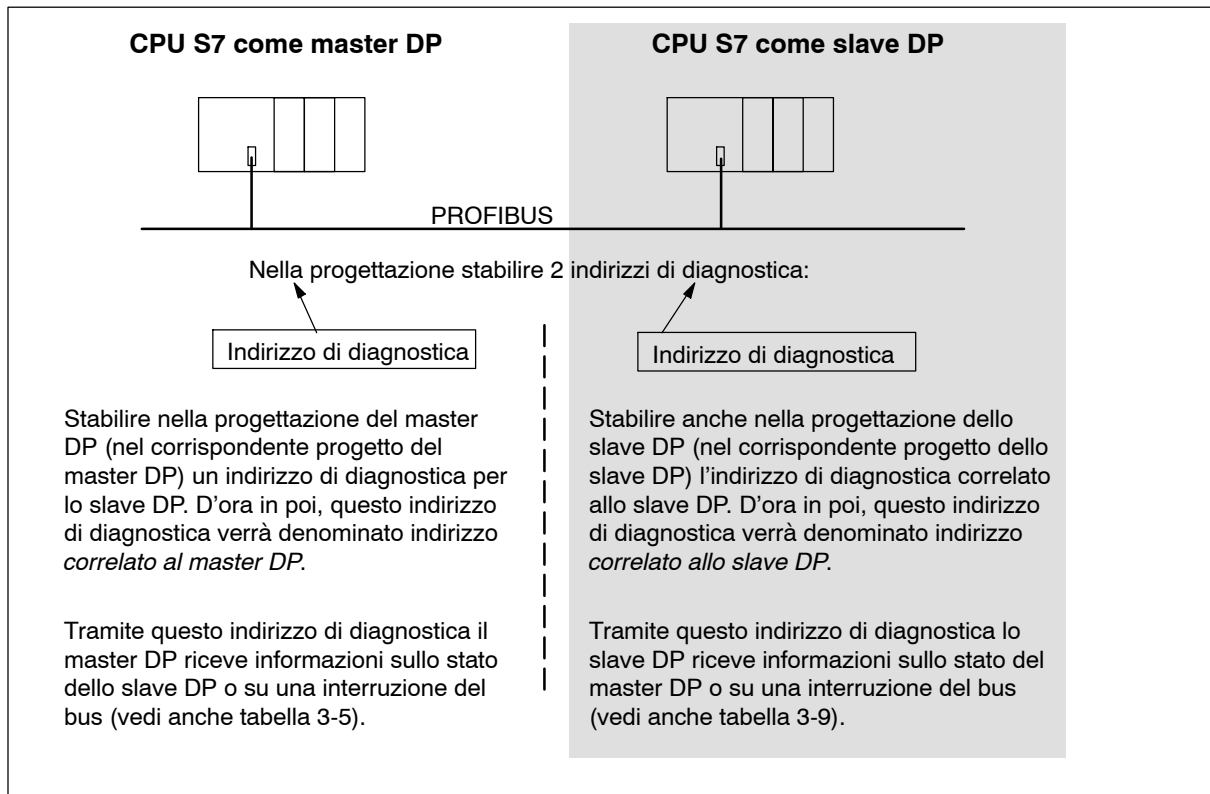


Figura 3-4 Indirizzi di diagnostica per master DP e slave DP

Identificazione dell'evento

La tabella 3-9 mostra come la CPU 41x che funge da slave DP riconosca i cambiamenti degli stati di funzionamento o le interruzioni del trasferimento dati.

Tabella 3-9 Identificazione dell'evento delle CPU 41x quali slave DP

| Evento | Cosa succede nello slave DP |
|---|--|
| Interruzione del bus (cortocircuito, connettore staccato) | <ul style="list-style-type: none"> Richiamo dell'OB 86 con la segnalazione <i>Guasto stazione</i> (evento in arrivo; indirizzo di diagnostica dello slave DP che è correlato al master DP) nel caso di accesso alla periferia: Richiamo dell'OB 122 (errore di accesso alla periferia) |
| Master DP: RUN → STOP | <ul style="list-style-type: none"> Richiamo dell'OB 82 con la segnalazione <i>Unità guasta</i> (evento in arrivo; indirizzo di diagnostica dello slave DP che è correlato al master DP; variabile OB82_MDL_STOP=1) |
| Master DP: STOP → RUN | <ul style="list-style-type: none"> Richiamo dell'OB 82 con la segnalazione <i>Unità ok</i>. (evento in partenza; Indirizzo di diagnostica dello slave DP che è correlato allo slave DP; variabile OB82_MDL_STOP=0) |

Valutazione nel programma utente

La tabella seguente 3-10 mostra all'utente come poter esaminare ad esempio le transizioni RUN-STOP del master DP nello slave DP (vedi anche tabella 3-9).

Tabella 3-10 Esame di transizioni RUN-STOP nel master DP/slave DP

| nel master DP | nello slave DP |
|---|--|
| Indirizzi di diagnostica: (esempio) indirizzo di diagnostica master= 1023 indirizzo di diagnostica slave nel sistema master= 1022 | Indirizzi di diagnostica: (esempio) indirizzo di diagnostica slave= 422 indirizzo di diagnostica master=irrelevante |
| CPU: RUN → STOP | <p>La CPU richiama l'OB 82 con le seguenti informazioni:</p> <ul style="list-style-type: none"> OB 82_MDL_ADDR:=422 OB82_EV_CLASS:=B#16#39 (evento in arrivo) OB82_MDL_DEFECT:=anomalia dell'unità <p>Suggerimento: queste informazioni sono disponibili anche nel buffer di diagnostica della CPU</p> |

Struttura della diagnostica slave

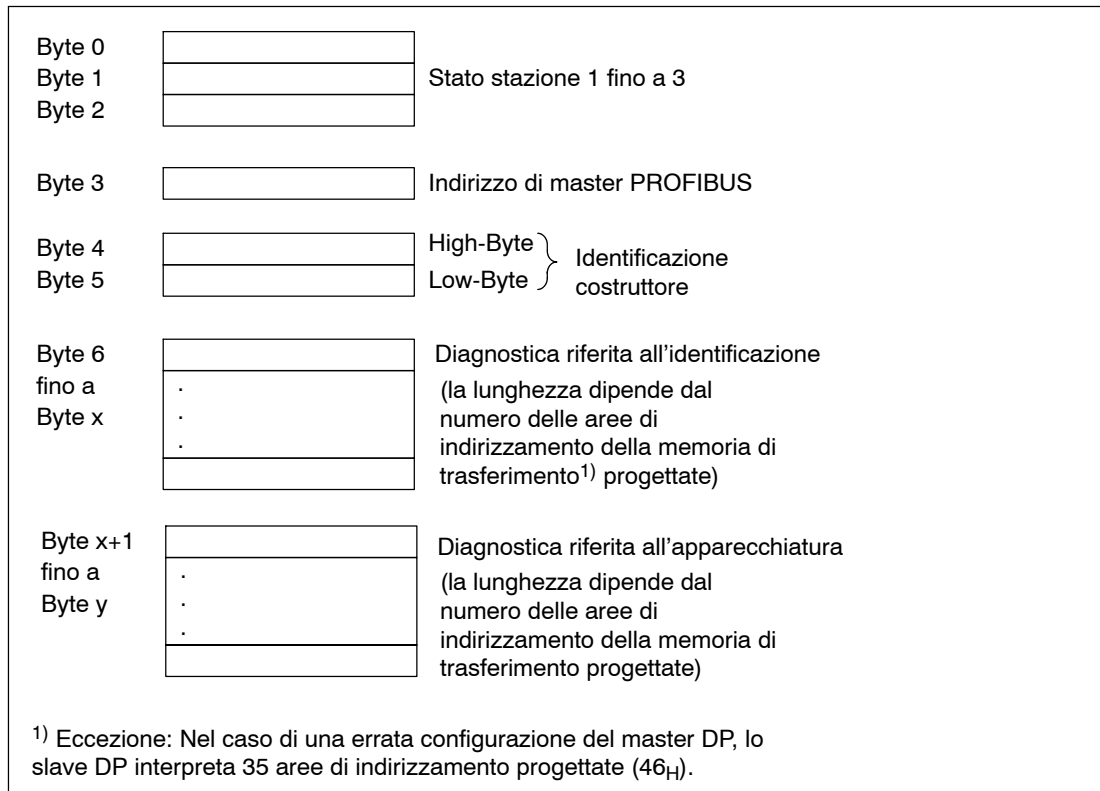


Figura 3-5 Struttura della diagnostica slave

3.1.6 CPU 41x come slave DP: stato delle stazioni da 1 a 3

Stato stazione da 1 fino a 3

Lo stato stazione da 1 a 3 offre una panoramica sullo stato di uno slave DP.

Tabella 3-11 Struttura dello stato della stazione 1 (byte 0)

| Bit | Significato | Rimedio |
|-----|--|---|
| 0 | 1: Il master DP non può accedere allo slave DP. | <ul style="list-style-type: none"> • Nello slave DP è impostato il giusto indirizzo DP? • Connettore di collegamento del bus collegato? • Tensione nello slave DP? • Repeater RS 485 impostato correttamente? • Eseguire un reset nello slave DP |
| 1 | 1: Lo slave DP non è ancora pronto per lo scambio dati. | <ul style="list-style-type: none"> • Attendere poiché lo slave DP si sta avviando. |
| 2 | 1: I dati di configurazione inviati dal master DP allo slave DP non corrispondono alla struttura dello slave DP. | <ul style="list-style-type: none"> • Nel software è stato introdotto il giusto tipo stazione o la giusta struttura dello slave DP? |
| 3 | 1: allarme di diagnostica generato da transizione RUN-STOP della CPU 0: allarme di diagnostica generato da transizione STOP-RUN della CPU | <ul style="list-style-type: none"> • È possibile leggere la diagnostica. |
| 4 | 1: la funzione non è supportata, ad es. modifica dell'indirizzo DP tramite software | <ul style="list-style-type: none"> • Controllare la progettazione. |
| 5 | 0: Il bit è sempre "0". | - |
| 6 | 1: Il tipo di slave DP non corrisponde alla progettazione software. | <ul style="list-style-type: none"> • Nel software è stato introdotto il giusto tipo stazione? (errore di parametrizzazione) |
| 7 | 1: Lo slave DP è stato parametrizzato da un master DP diverso da quello che attualmente ha accesso allo slave DP. | <ul style="list-style-type: none"> • Il bit è sempre 1 se, ad es., si sta accedendo allo slave DP con il PG o un altro master DP. L'indirizzo DP del master di parametrizzazione si trova nel byte di diagnostica "Indirizzo di master PROFIBUS". |

Tabella 3-12 Struttura dello stato stazione 2 (byte 1)

| Bit | Significato |
|-----|---|
| 0 | 1: Lo slave DP deve essere riparametrizzato e configurato. |
| 1 | 1: C'è una segnalazione di diagnostica. Lo slave DP non può continuare ad operare fino a quando l'errore non è stato eliminato (segnalazione di diagnostica statica). |
| 2 | 1: Se esiste uno slave DP con questo indirizzo DP, il bit è sempre "1". |
| 3 | 1: In questo slave DP è attivato il controllo dell'intervento. |
| 4 | 0: Il bit è sempre "0". |
| 5 | 0: Il bit è sempre "0". |
| 6 | 0: Il bit è sempre "0". |
| 7 | 1: Lo slave DP è disattivato, esso è escluso dall'elaborazione ciclica. |

Tabella 3-13 Struttura dello stato stazione 3 (byte 2)

| Bit | Significato |
|----------------------|--|
| 0 fin o a 6 | 0: I bit sono sempre "0" |
| 7 | 1. <ul style="list-style-type: none"> • Ci sono più segnalazioni di diagnostica di quante ne possa memorizzare lo slave DP. • Il master DP non può registrare nel proprio buffer di diagnostica tutte le segnalazioni di diagnostica inviate dallo slave DP. |

Indirizzo PROFIBUS del master

Nel byte di diagnostica indirizzo di master PROFIBUS si trova l'indirizzo DP del master DP:

- che ha parametrizzato lo slave DP e
- che ha accesso in lettura e in scrittura allo slave DP

Tabella 3-14 Struttura dell'indirizzo di master PROFIBUS (byte 3)

| Bit | Significato |
|---------|--|
| 0 ... 7 | Indirizzo DP del master DP che ha parametrizzato lo slave DP e che ha accesso in lettura e in scrittura allo slave DP. |
| | FF _H : Lo slave DP non è stato parametrizzato da un master DP. |

Identificazione costruttore

Nell'identificazione del costruttore è memorizzato un codice che descrive il tipo di slaveDP-Slave.

Tabella 3-15 Struttura dell'identificazione del costruttore (byte 4, 5)

| Byte 4 | Byte 5 | Identificazione del costruttore per la CPU |
|-----------------|-----------------|--|
| 80 _H | C5 _H | 412-1 |
| 80 _H | C6 _H | 412-2 |
| 80 _H | C7 _H | 414-2 |
| 80 _H | C8 _H | 414-3 |
| 80 _H | CA _H | 416-2 |
| 80 _H | CB _H | 416-3 |
| 80 _H | CC _H | 417-4 |

Diagnostica riferita all'identificazione

La diagnostica riferita all'identificazione indica per quale delle aree di indirizzamento della memoria di trasferimento progettate è avvenuta una registrazione.

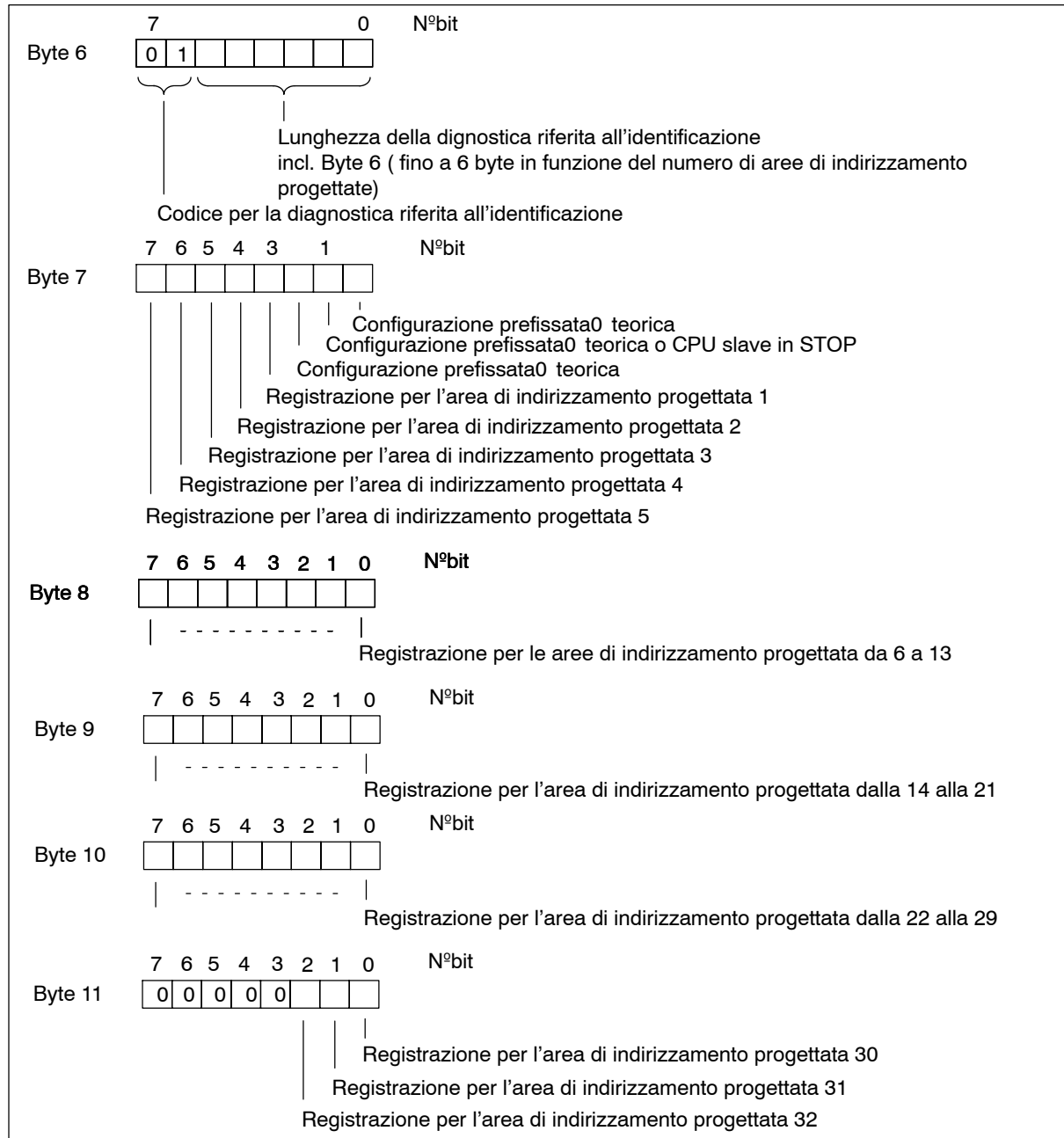


Figura 3-6 Struttura della diagnostica riferita all'identificazione della CPU 41x

Diagnostica riferita all'apparecchiatura

La diagnostica riferita all'apparecchiatura offre informazioni dettagliate su uno slave DP. La diagnostica riferita all'apparecchiatura inizia dal byte x e può comprendere al massimo 20 byte.

Nella figura seguente sono descritti struttura e contenuto dei byte per un'area di indirizzamento della memoria di trasferimento progettata.

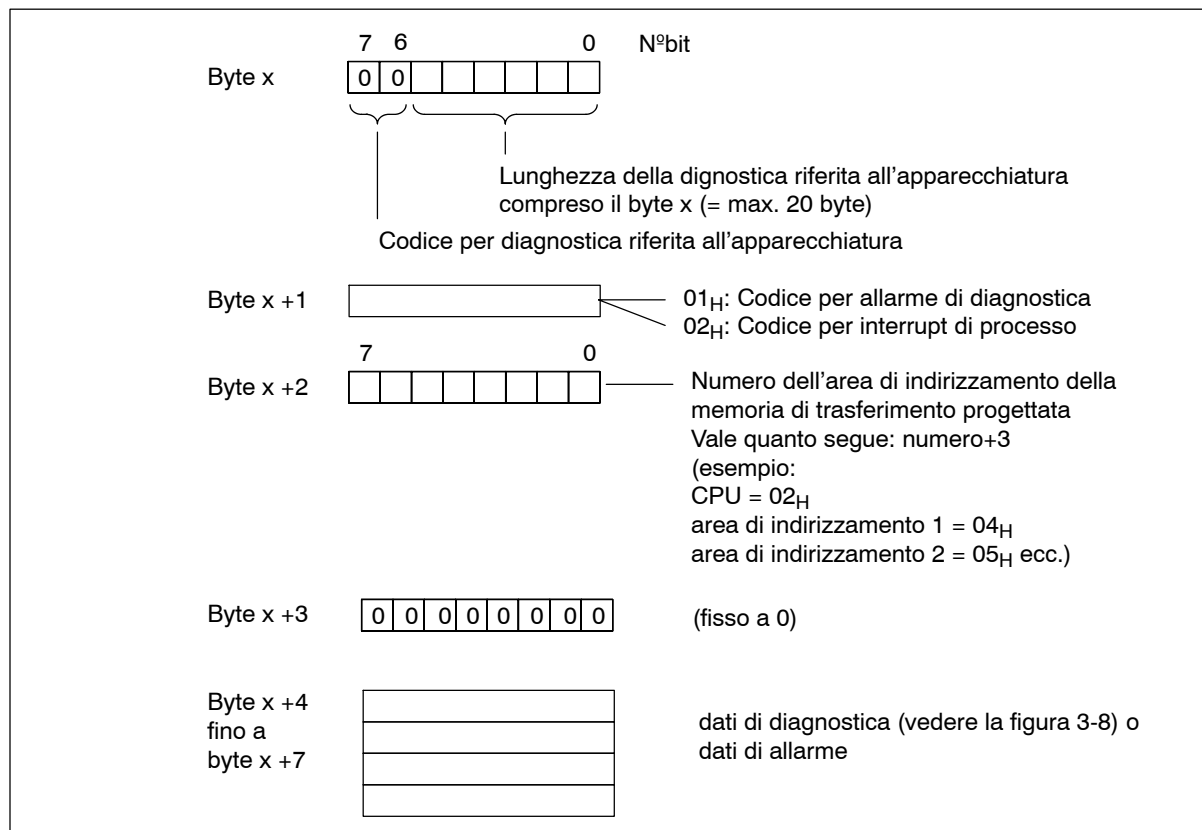


Figura 3-7 Struttura della diagnostica riferita all'apparecchiatura

Dal byte x +4

Il significato dei byte a partire dal byte x+4 dipende dal byte x +1 (vedere la figura 3-7).

| Nel byte x +1 si trova il codice per ... | |
|--|---|
| allarme di diagnostica (01 _H) | Interrupt di processo (02 _H) |
| I dati di diagnostica contengono i 16 byte di informazioni di stato della CPU. Nella figura 3-8 viene mostrata la configurazione dei primi 4 byte dei dati di diagnostica. I successivi 12 byte sono sempre 0. | Per l'interrupt di processo si possono programmare liberamente 4 byte di informazione. I 4 byte vengono trasferiti al master DP in <i>STEP 7</i> con l'SFC 7 "DP_PRAL". |

Byte x +4 fino a x +7 per allarme di diagnostica

La figura 3-8 mostra struttura e contenuto dei byte x +4 fino a x +7 per l'allarme di diagnostica. I contenuti di questi byte corrispondono al contenuto del set di dati 0 della diagnostica in *STEP 7* (in questo caso non tutti i bit sono occupati).

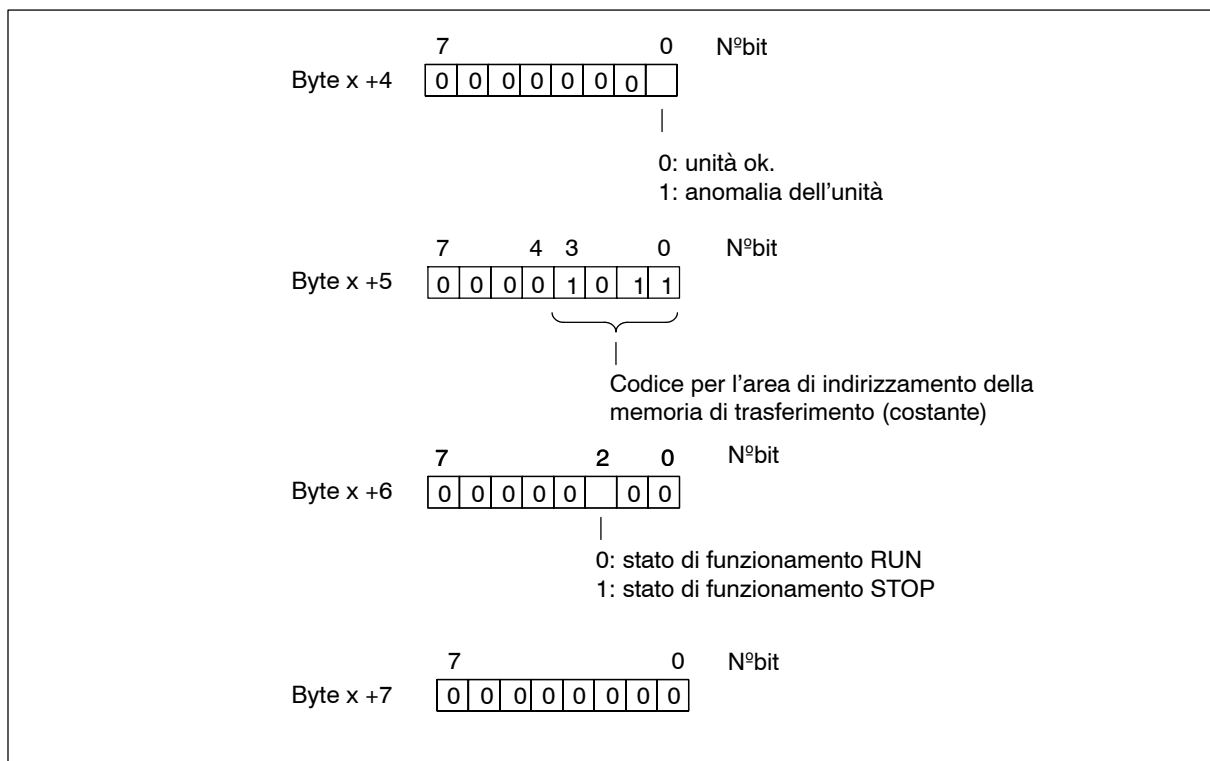


Figura 3-8 Byte x +4 fino a x +7 per allarme di diagnostica e di processo

Allarmi con master DP S7

Nella CPU 41x che funge da slave DP è possibile generare dal programma utente un interrupt di processo nel master DP. Con il richiamo dell'SFC 7 "DP_PRAL" si attiva nel programma utente del master DP un OB 40. Con l'SFC 7 è possibile inoltrare al master DP in una doppia parola l'informazione sull'allarme che può essere esaminato nella variabile OB40_POINT_ADDR dell'OB 40. L'informazione sull'allarme si può programmare liberamente. Una descrizione dettagliata dell'SFC 7 "DP_PRAL" si trova nel manuale di riferimento *Software di sistema per l'S7-300/400 - Funzioni standard e di sistema*.

Allarmi con un altro master DP

Se si usa la CPU 41x con un altro master DP, questi allarmi vengono riprodotti all'interno della diagnostica riferita all'apparecchiatura della CPU 41x. I corrispondenti eventi di diagnostica devono essere ulteriormente elaborare nel programma utente del master DP.

Avvertenza

Per esaminare con un altro master DP gli allarme di diagnostica e gli interrupt di processo tramite la diagnostica riferita all'apparecchiatura, osservare che:

- il master DP dovrebbe poter memorizzare le segnalazioni di diagnostica, esse devono essere memorizzate all'interno del master DP in un buffer circolare. Se il master DP non fosse in grado di memorizzare le segnalazioni di diagnostica verrebbe ad esempio memorizzata sempre solo l'ultima segnalazione di diagnostica giunta.
 - è necessario interrogare con regolarità nel programma utente i corrispondenti bit della diagnostica riferita all'apparecchiatura. In questo caso tenere presente anche il tempo di bus di PROFIBUS DP al fine di interrogare i bit in modo sincrono al tempo di bus almeno una volta.
 - con un IM 308-C quale master DP non è possibile usare gli interrupt di processo all'interno della diagnostica riferita all'apparecchiatura perché vengono segnalati solo gli interrupt in arrivo e non quelli in partenza.
-

3.2 Comunicazione diretta

A partire da *STEP 7 V 5.0* è possibile progettare per i nodi PROFIBUS la “comunicazione diretta”. Le CPU 41x possono partecipare alla comunicazione diretta come trasmettenti e riceventi.

La “comunicazione diretta” è un tipo speciale di comunicazione tra i nodi PROFIBUS DP.

3.2.1 Principio

La comunicazione diretta è caratterizzata dal fatto che anche i nodi PROFIBUS DP “ascoltano” quali dati uno slave DP restituisce al proprio master DP. Con questo meccanismo, l’“ascoltatore” (ricevente) può accedere direttamente alle modifiche di dati di ingresso di slave DP remoti.

Nella progettazione in *STEP 7* si stabilisce tramite i singoli indirizzi di ingresso della periferia in quale area di indirizzamento del ricevente debbano essere letti i dati desiderati del trasmettente.

Una CPU 41x può essere:

trasmittente come slave DP

ricevente come slave DP o master DP o come CPU, che non è implementata in un sistema master (vedere la figura 3-9).

Esempio

La figura 3-9 mostra con un esempio quali “rapporti” di comunicazione diretta si possono progettare. Nella figura, tutti i master DP e gli slave DP sono una CPU 41x. Notare che altri slave DP (ET 200M, ET 200X, ET 200S) possono essere solo trasmettenti.

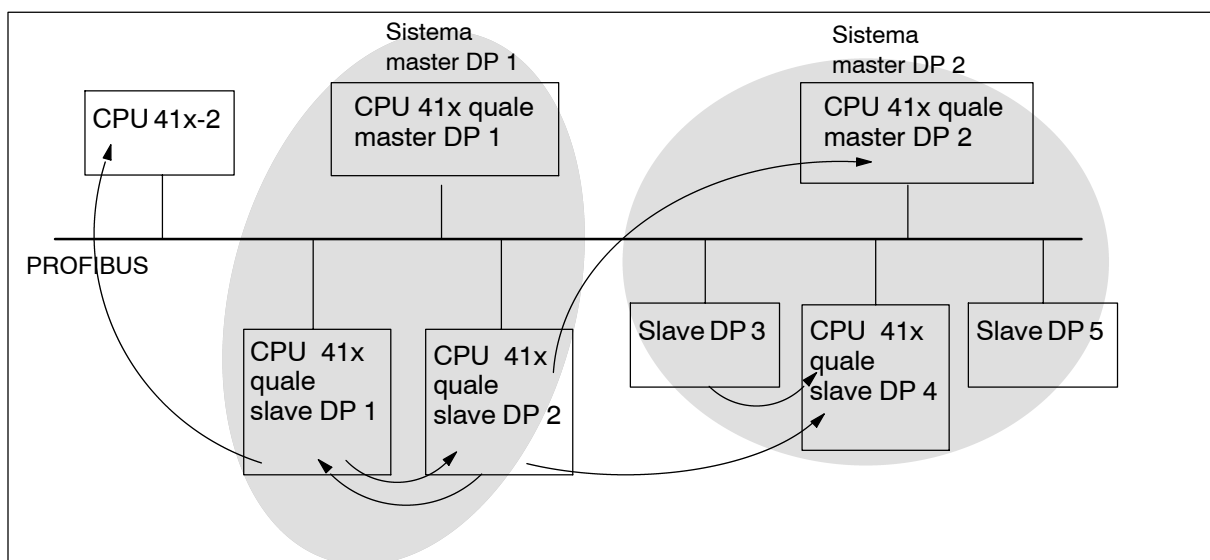


Figura 3-9 Comunicazione diretta con CPU 41x

3.2.2 Diagnostica nella comunicazione diretta

Indirizzi di diagnostica

Nello scambio di dati diretto si assegna un indirizzo di diagnostica nel ricevente:

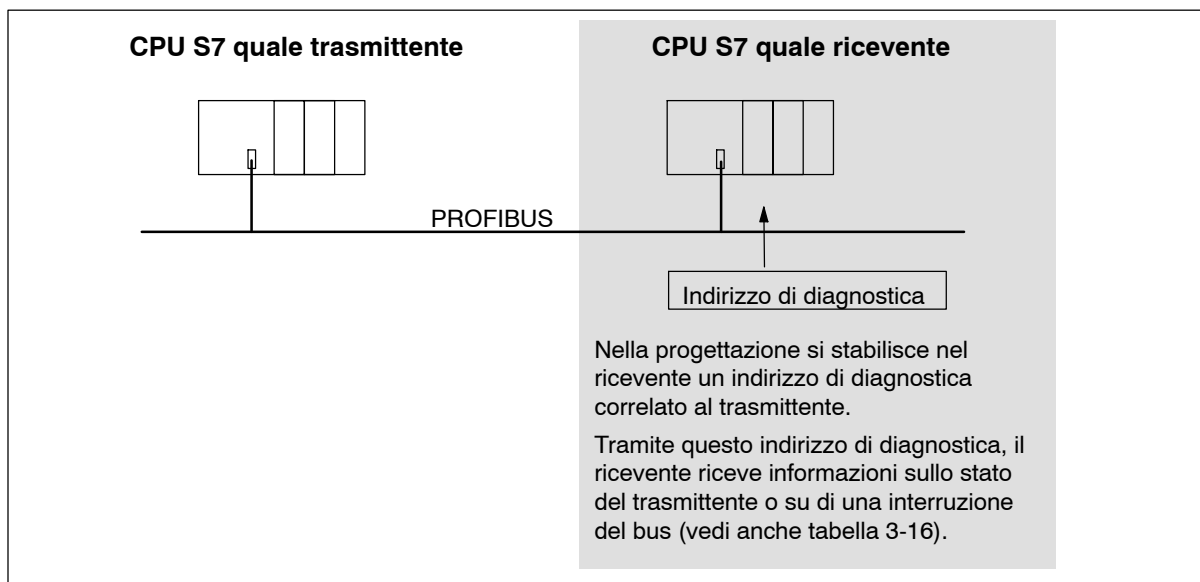


Figura 3-10 Indirizzo di diagnostica per il ricevente nella comunicazione diretta

Identificazione dell'evento

La tabella 3-16 mostra come la CPU 41x riconosca quale ricevente interruzioni del trasferimento dati.

Tabella 3-16 Identificazione dell'evento delle CPU 41x quale ricevente nella comunicazione diretta

| Evento | cosa succede nel ricevente |
|---|--|
| Interruzione del bus (cortocircuito, connettore staccato) | <ul style="list-style-type: none"> Richiamo dell'OB 86 con la segnalazione <i>Guasto stazione</i> (evento in arrivo; indirizzo di diagnostica del ricevente correlato al trasmittente) nel caso di accesso alla periferia: Richiamo dell'OB 122 (errore di accesso alla periferia) |

Valutazione nel programma utente

La tabella seguente 3-17 mostra all'utente come esaminare ad esempio il guasto stazione del trasmittente nel ricevente (vedi anche tabella 3-16).

Tabella 3-17 Valutazione del guasto stazione del trasmittente nello scambio di dati diretto

| nel trasmittente | nel ricevente |
|--|--|
| Indirizzi di diagnostica: (esempio) indirizzo di diagnostica master= 1023 indirizzo di diagnostica slave nel sistema master= 1022 | Indirizzo di diagnostica: (esempio) indirizzo di diagnostica= 444 |
| Guasto stazione | → La CPU richiama l'OB 86 con le seguenti informazioni: <ul style="list-style-type: none"> • OB 86_MDL_ADDR:=444 • OB86_EV_CLASS:=B#16#38 (evento in arrivo) • OB86_FLT_ID:=B#16#C4 (guasto di una stazione DP) Suggerimento: queste informazioni sono disponibili anche nel buffer di diagnostica della CPU |

3.3 Dati coerenti

I dati che presentano un'affinità dal punto di vista del contenuto e che descrivono lo stato del processo in un particolare momento, vengono definiti dati coerenti. Per essere coerenti i dati non devono subire modifiche o aggiornamenti durante l'elaborazione o la trasmissione.

Esempio

Per consentire che la CPU disponga di un'immagine coerente dei segnali del processo durante l'elaborazione ciclica del programma, i segnali del processo vengono letti nell'immagine di processo degli ingressi prima dell'elaborazione e vengono scritti in quella delle uscite dopo l'elaborazione. In seguito il programma utente, quando interroga le aree di operandi Ingressi (E) e Uscite (A) nel corso dell'elaborazione del programma, non accede direttamente alle unità di segnale ma all'area di memoria interna della CPU in cui si trova l'immagine di processo.

SFC 81 "UBLKMOV"

L'SFC 81 "UBLKMOV" consente di copiare in modo coerente il contenuto di un'area di memoria (= area sorgente) in un'altra area di memoria (= area di destinazione). La copia non può essere interrotta da altre attività del sistema operativo.

Le aree di memoria copiabili con l'SFC 81 "UBLKMOV" sono le seguenti:

- Merker
- Contenuti dei DB
- Immagine di processo degli ingressi
- Immagine di processo delle uscite

La quantità massima di dati copiabili è di 512 byte. È opportuno tener presente i limiti di ciascuna CPU indicati, ad esempio, nella lista operazioni.

Poiché la copia non può essere interrotta, utilizzando l'SFC 81 "UBLKMOV", i tempi di reazione all'allarme della CPU utilizzata possono aumentare.

Le aree sorgente e di destinazione non devono sovrapporsi. Se l'area di destinazione è maggiore di quella sorgente vi viene copiata solo la quantità di dati presenti nell'area sorgente. Se invece è più piccola vi viene copiata solo la quantità di dati che è in grado di contenere.

L'SFC 81 viene descritto nella corrispondente guida in linea e nel manuale "Funzioni standard e di sistema".

3.3.1 Coerenza dei blocchi dati e delle funzioni di comunicazione

Nell'S7-400 i job di comunicazione non vengono elaborati nel punto di controllo del ciclo ma in finestre temporali fisse durante la scansione del programma.

Dal punto di vista del sistema è sempre possibile elaborare in modo coerente i formati di dati byte, parola e doppia parola, ovvero il trasferimento o l'elaborazione di 1 byte, 1 parola (= 2 byte) o 1 doppia parola (= 4 byte) non possono essere interrotti.

Se nel programma utente vengono richiamati dei blocchi dati di comunicazione (ad es. SFB 12 "BSEND") che possono essere utilizzati solo in coppia (ad es. l'SFB 12 "BSEND" e l'SFB 13 "BRCV") e che accedono agli stessi dati, è possibile coordinare l'accesso a questa area di dati mediante il parametro "DONE". La coerenza dei dati trasferibili localmente mediante questi blocchi dati di comunicazione può essere quindi impostata nel programma utente.

La situazione è diversa nel caso delle funzioni di comunicazioni S7 per le quali non è necessario che sia presente un blocco nel programma utente del dispositivo di destinazione (ad es. SFB 14 "GET", SFB 15 "PUT"). In questo caso è necessario definire la dimensione dei dati coerenti già durante la programmazione.

3.3.2 Accesso alla memoria di lavoro della CPU

Le funzioni di comunicazione del sistema operativo accedono alla memoria di lavoro della CPU in blocchi di dimensione fissa. La dimensione dei blocchi corrisponde a una lunghezza delle variabili di 462 byte al massimo.

3.3.3 Lettura e scrittura coerente dei dati da/verso uno slave a norma DP

Letture dei dati da uno slave a norma DP mediante l'SFC 14 "DPRD_DAT"

L'SFC 14 "DPRD_DAT" (read consistent data of a DP-normslave) consente di leggere in modo coerente i dati di uno slave a norma DP.

Se non si verificano errori durante il trasferimento i dati letti vengono registrati nell'area di destinazione aperta mediante RECORD.

L'area di destinazione deve avere la stessa lunghezza progettata con STEP 7 per l'unità selezionata.

Ciascun richiamo dell'SFC 14 permette di accedere solo ai dati di una unità o un identificatore DP all'indirizzo iniziale progettato.

L'SFC 14 viene descritto nella corrispondente guida in linea e nel manuale "Funzioni standard e di sistema".

3.3.4 Scrittura coerente dei dati in uno slave a norma DP mediante l'SFC 15 "DPRD_DAT"

L'SFC 15 "DPWR_DAT" (write consistent data to a DP-normslave) consente di trasferire in modo coerente i dati di RECORD nello slave a norma DP indirizzato.

L'area sorgente deve avere la stessa lunghezza progettata con STEP 7 per l'unità selezionata.

Avvertenza

La norma DP Profibus stabilisce i limiti superiori per il trasferimento dei dati utili coerenti (vedere il prossimo paragrafo). Gli slave a norma DP attualmente in commercio rispettano tali limiti mentre le CPU meno recenti (<1999) hanno delle limitazioni rispetto al trasferimento dei dati utili coerenti. La lunghezza massima dei dati che queste CPU sono in grado di leggere/scrivere in modo coerente da/verso uno slave a norma DP è indicata nei dati tecnici alla voce "Master DP – dati utili per slave DP". Nelle CPU più recenti questo valore supera la lunghezza dei dati che uno slave a norma DP è in grado di mettere a disposizione o di acquisire.

Limiti superiori per il trasferimento dei dati utili coerenti in uno slave DP

La norma Profibus DP stabilisce dei limiti superiori per il trasferimento dei dati utili coerenti negli slave a norma DP. Si possono trasferire in modo coerente al massimo 64 parole = 128 byte di dati utili in un blocco.

La dimensione dell'area coerente deve essere stabilita in fase di progettazione. Nel formato di identificazione speciale è possibile impostare la lunghezza massima dei dati coerenti pari a 64 parole = 128 byte (128 byte per gli ingressi e 128 per le uscite), non è possibile impostarne una maggiore.

Questo limite superiore vale solo per i dati utili, mentre i dati di diagnostica e dei parametri vengono raggruppati in record di dati completi e trasferiti comunque in modo coerente.

Nel formato di identificazione normale è possibile impostare una lunghezza massima di 16 parole = 32 byte per i dati coerenti (32 byte per gli ingressi e 32 byte per le uscite), non è possibile impostarne una maggiore.

A tale riguardo si noti che in un contesto normale una CPU 41x che funge da slave DP deve essere configurabile in un master di altri produttori (integrato mediante file GSD) tramite il formato di identificazione normale. Per questo motivo la memoria di trasferimento di una CPU 41x che funge da slave DP per il PROFIBUS DP deve avere una dimensione massima di 16 parole = 32 byte.

L'SFC 15 viene descritto nella corrispondente guida in linea e nel manuale "Funzioni standard e di sistema".

3.3.5 Accesso coerente ai dati senza utilizzo dell'SFC 14 o dell'SFC 15

Un accesso ai dati coerente > 4 byte è possibile nelle CPU descritte in questo manuale anche senza gli SFC 14 o SFC 15. Il campo di dati di uno slave DP che deve essere trasferito in modo coerente, viene trasferito su di un'immagine di processo parziale. Le informazioni in questo campo sono così sempre coerenti. All'immagine del processo è possibile anche accedere poi tramite comandi di caricamento/trasferimento (ad esempio L EW 1). Ciò offre una possibilità di accesso particolarmente comoda e potente (carico di runtime ridotto) a dati coerenti. In tal modo è possibile una implementazione e parametrizzazione efficienti di, ad esempio, drive o altri slave DP.

Se si accedere direttamente ai dati (ad es. L PEW o T PAW) **non** si verificano errori di accesso alla periferia.

Riguardo alla scelta di utilizzare l'immagine di processo invece dell'SFC14/15 è importante considerare quanto segue:

- se si sceglie di utilizzare l'immagine di processo invece dell'SFC14/15 è sconsigliabile effettuare l'accesso contemporaneamente tramite le funzioni di sistema e l'immagine di processo. Generalmente l'immagine di processo viene aggiornata con la funzione di sistema SFC15 durante la scrittura, ma non durante la lettura. Non viene quindi garantita la coerenza fra i valori dell'immagine di processo e quelli della funzione di sistema SFC14.
- Se si utilizza l'SFC 14/15, l'SFC 50 "RD_LGADR" fornisce aree di indirizzamento diverse da quelle che si ottengono con l'immagine di processo.
- Se si usa il CP 443-5 ext l'accesso contemporaneo tramite l'SFC 14/15 e l'immagine di processo impedisce la lettura/scrittura nell'immagine di processo o mediante l'SFC 14/15.

Esempio:

Il seguente esempio (relativo all'immagine di processo parziale 3 "IPP 3") illustra una possibile progettazione in Configurazione hardware:

- IPP 3 in uscita: questi 50 byte sono coerenti nell'immagine di processo parziale 3 (elenco a discesa "Coerenza tramite -> Lunghezza complessiva") e possono essere quindi letti tramite i normali comandi "Ingresso di caricamento xy".
- La selezione nell'elenco a discesa "Immagine di processo parziale -> ---" sotto Ingresso non implica la memorizzazione in un'immagine di processo. È possibile solo l'handling con le funzioni di sistema SFC14/15.

Proprietà slave DP

Indirizzo / Identificazione

Tipo E/A:

Uscita

| Indirizzo: | Lunghezza: | Unità: | Coerenza tramite: |
|-----------------------|------------|--------|-----------------------|
| Inizio: 0 | 50 | Byte | Lunghezza complessiva |
| Fine: 49 | | | |
| Immagine di processo: | IPP 3 | | |

Ingresso

| Indirizzo: | Lunghezza: | Unità: | Coerenza tramite: |
|-----------------------|------------|--------|-----------------------|
| Inizio: 0 | 20 | Byte | Lunghezza complessiva |
| Fine: 19 | | | |
| Immagine di processo: | --- | | |

Dati del produttore:

(max. 14 byte esadecimali separati dalla virgola o da spazi vuoti)

Concetto di memoria e modalità di avviamento

4

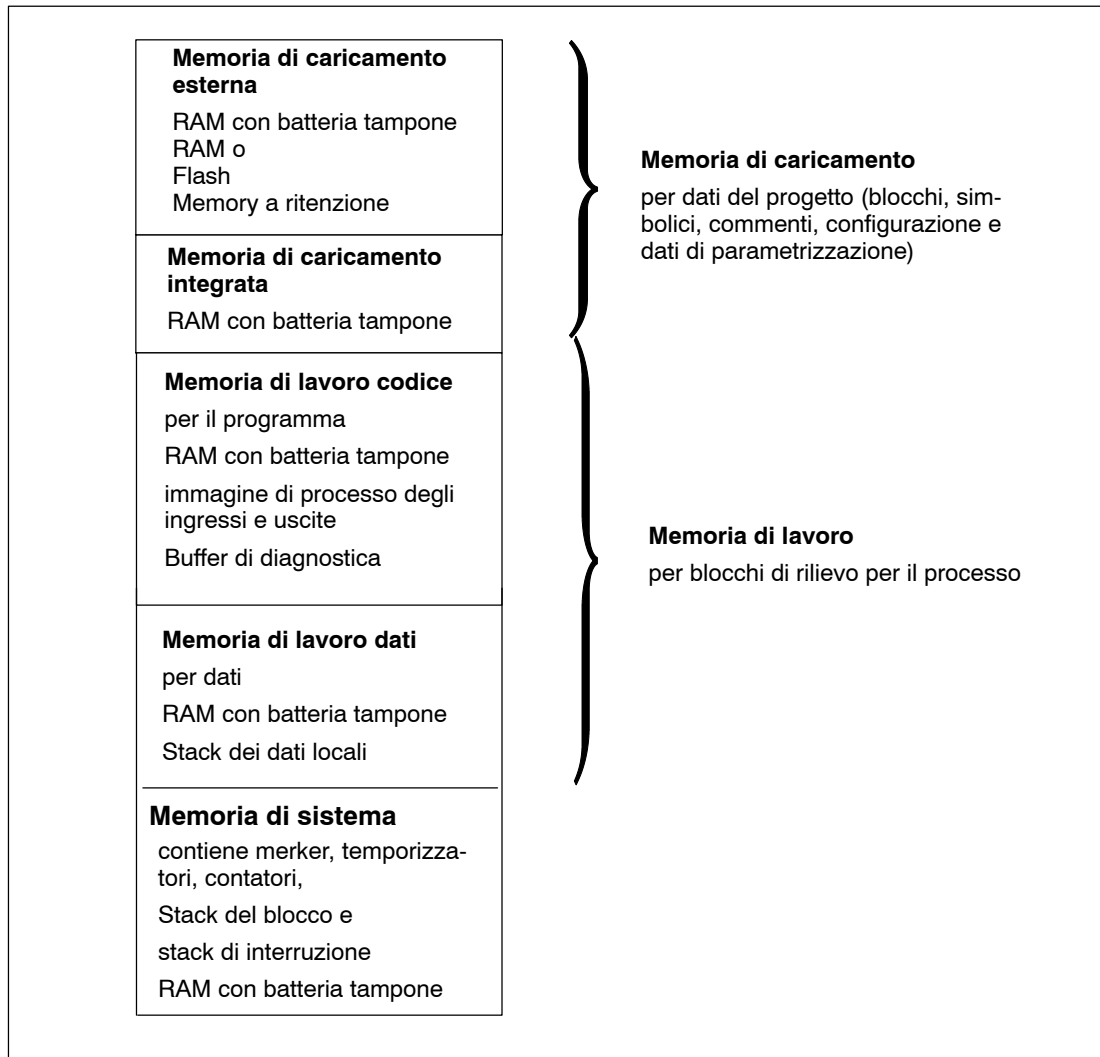
Panoramica del capitolo

| Nel paragrafo | si trova | a pagina |
|----------------------|--|-----------------|
| 4.1 | Panoramica sul concetto di memoria delle CPU S7-400 | 4-2 |
| 4.2 | Panoramica sulle modalità di avviamento delle CPU S7-400 | 4-5 |

4.1 Panoramica sul concetto di memoria delle CPU S7-400

Suddivisione delle aree di memoria

La memoria della CPU S7 può essere suddivisa nelle seguenti aree:



Avvertenza importante per le CPU con suddivisione parametrizzabile della memoria di lavoro

Se tramite parametrizzazione viene modificata la suddivisione della memoria di lavoro, al caricamento dei dati del sistema nella CPU la memoria di lavoro viene riorganizzata. Ciò ha come conseguenza che i blocchi di dati che sono stati prodotti tramite SFC vengono cancellati e i restanti blocchi di dati vengono preimpostati con valori iniziali dalla memoria di caricamento.

La dimensione utilizzabile della memoria di lavoro per blocchi di codice o blocchi di dati viene cambiata se si modificano i seguenti parametri:

- Dimensione dell'immagine di processo (a byte; nel registro "Ciclo/Merker di clock)
- Risorse di comunicazione (solo S7-400; nel registro "Memoria")
- Dimensione del buffer di diagnostica (nel registro "Diagnostica/orologio")
- Numero dei dati locali per tutte le classi di priorità (registro "Memoria")

Base di calcolo per lo spazio della memoria di lavoro necessario

Affinché non si superi lo spazio della memoria di lavoro della CPU a disposizione, nella parametrizzazione si deve tenere conto del seguente fabbisogno di memoria:

Tabella 4-1 Memoria richiesta

| Parametri | Memoria di lavoro necessaria | Nella memoria di codice/memoria di dati |
|--|--|---|
| Dimensione dell'immagine di processo (ingressi) | 12 byte per ogni byte nell'immagine di processo degli ingressi | Memoria di codice |
| Dimensione dell'immagine di processo (uscite) | 12 byte per ogni byte nell'immagine di processo delle uscite | Memoria di codice |
| Risorse di comunicazione (ordini di comunicazione) | 72 byte per ordine di comunicazione | Memoria di codice |
| Dimensione del buffer di diagnostica | 32 byte per registrazione nel buffer di diagnostica | Memoria di codice |
| Numero dei dati locali | 1 byte per ogni byte di dati locali | Memoria di dati |

Tipi di memoria nelle CPU S7-400

- Memoria di caricamento per i dati del progetto, ad esempio blocchi, dati di configurazione e di parametrizzazione, e dalla versione 5.1, memoria di caricamento completa inclusi i simboli e i commenti.
- Memoria di lavoro per i blocchi che sono di rilievo per il processo (blocchi di codice e blocchi di dati).
- La memoria di sistema (RAM) contiene gli elementi di memoria che ogni CPU mette a disposizione del programma utente come ad esempio: merker, temporizzatori e contatori. Essa contiene inoltre lo stack blocchi e lo stack di interruzione.
- La memoria di sistema della CPU mette inoltre a disposizione una memoria temporanea (stack dei dati locali, buffer di diagnostica e risorse di comunicazione) che viene correlata al programma al richiamo di un blocco per i relativi dati temporanei. Questi dati sono validi solo per il tempo in cui il blocco è attivo.

Con la modifica dei valori di default per immagine di processo, dati locali, buffer di diagnostica e risorse di comunicazione (vedi proprietà dell'oggetto della CPU in HW-Config), è possibile influenzare la memoria di lavoro disponibile per i blocchi che sono di rilievo per il processo.

Attenzione

Se si ingrandisce l'immagine di processo di una CPU, notare quanto segue. Cambiare la progettazione delle unità che possono essere usate solo al di sopra dell'immagine di processo in modo che esse giacciono anche al di sopra dell'immagine di processo ingrandita. Ciò vale in particolare per le unità IP e WF che si usano nella capsula adattatrice S5 in una S7 400.

Spazio di memoria flessibile

- Memoria di lavoro:
Lo spazio della memoria di lavoro è determinato dal tipo di CPU selezionato dalla gamma di CPU disponibili.
- Memoria di caricamento:
Per programmi di dimensioni piccole e medie la memoria di caricamento integrata è sufficiente.
Per programmi di maggiori dimensioni la memoria di caricamento può essere ampliata innestando memory card RAM.
Sono inoltre disponibili memory card Flash per conservare i programmi anche senza batteria tampone in caso di mancanza di tensione. Inoltre, tali Flash Memory Cards (da 4 MB), sono adatte per inviare e eseguire aggiornamenti del sistema operativo.

Bufferizzazione

- La batteria tampone alimenta la memoria di caricamento integrata e la parte esterna di essa, la parte dei dati della memoria di lavoro e quella del codice.

4.2 Panoramica sulle modalità di avviamento delle CPU S7-400

Avviamento a freddo

- Nell'avviamento a freddo, tutti i dati (immagine di processo, merker, temporizzatori, contatori e blocchi di dati) vengono reimpostati sui valori iniziali salvati nel programma (memoria di caricamento), indipendentemente dal fatto che essi siano stati o meno parametrizzati a ritenzione.
- L'elaborazione del programma viene avviata dall'inizio (OB di avvio o OB 1).

Nuovo avviamento (avvio a caldo)

- Nel nuovo avviamento vengono resettati l'immagine del processo e i merker, i temporizzatori e i contatori non memorizzati a ritenzione.
Merker, temporizzatori e contatori memorizzati a ritenzione mantengono l'ultimo valore valido.
Tutti i blocchi di dati che sono stati parametrizzati con la caratteristica "Non Retain", vengono reimpostati sui valori di caricamento. Gli altri blocchi di dati mantengono l'ultimo valore valido.
- L'elaborazione del programma viene avviata dall'inizio (OB di avvio o OB 1).
- Nel caso di interruzione dell'alimentazione, l'avviamento a caldo è disponibile solo con funzionamento bufferizzato.

Riavviamento

- Nel riavviamento, tutti i dati inclusa l'immagine di processo mantengono l'ultimo valore valido.
- L'elaborazione del programma viene proseguita esattamente partendo dall'istruzione nella quale è avvenuta l'interruzione.
- Fino alla fine del ciclo corrente le uscite non vengono modificate.
- Nel caso di interruzione dell'alimentazione, il riavviamento è disponibile solo con funzionamento bufferizzato.

Tempi di ciclo e di reazione dell'S7-400

Il presente capitolo illustra la composizione dei tempi di ciclo e di reazione dell'S7-400.

Il tempo di ciclo del programma utente nella corrispondente CPU può essere letto con il PG (vedi manuale *Configurazione dell'hardware e progettazione di collegamenti con STEP 7 V5.3* o più recente).

Il calcolo del tempo di ciclo viene mostrato sulla base di esempi.

Importante per la valutazione di un processo è il tempo di reazione. Il presente capitolo illustra le modalità di calcolo di questo tempo. Se nella rete PROFIBUS DP si impiega una CPU 41x-2 DP come master, considerare anche i tempi di ciclo DP (vedere capitolo 5.5).

Panoramica del capitolo

| Nel paragrafo | si trova | a pagina |
|---------------|--|----------|
| 5.1 | Tempo di ciclo | 5-2 |
| 5.2 | Calcolo del tempo di ciclo | 5-4 |
| 5.3 | Tempi di ciclo diversi | 5-7 |
| 5.4 | Carico di comunicazione | 5-9 |
| 5.5 | Tempo di reazione | 5-12 |
| 5.6 | Calcolo dei tempi di ciclo e di reazione | 5-17 |
| 5.6 | Esempi di calcolo per il tempo di ciclo e di reazione | 5-17 |
| 5.8 | Tempo di reazione all'allarme | 5-21 |
| 5.9 | Esempio di calcolo per il tempo di reazione all'allarme | 5-23 |
| 5.10 | Riproducibilità di allarmi di ritardo e di schedulazione | 5-24 |

Ulteriori informazioni

Ulteriori informazioni sui seguenti tempi di elaborazione si trovano nella lista operazioni S7-400. Questa contiene tutte le istruzioni *STEP 7* elaborabili dalle singole CPU con il relativo tempo di esecuzione, nonché tutti gli SFC/SFB integrati nelle CPU o le funzioni IEC richiamabili in *STEP 7* con i relativi tempi di elaborazione.

5.1 Tempo di ciclo

Questa sezione illustra la composizione ed il calcolo del tempo di ciclo.

Definizione di tempo di ciclo

Il tempo di ciclo è il tempo che il sistema operativo impiega per l'elaborazione di un ciclo di programma - ovvero di un ciclo di OB 1- e di tutte le parti di programma e attività del sistema che interrompono tale ciclo.

Questo tempo viene sorvegliato.

Modello a intervalli di tempo

L'elaborazione ciclica del programma e con essa anche l'elaborazione del programma utente, avviene in intervalli di tempo. Per mostrare più chiaramente i flussi operativi, qui di seguito si supponrà che ogni intervallo di tempo sia lungo esattamente 1 ms.

Immagine di processo

Affinché per la durata dell'elaborazione ciclica del programma la CPU abbia a disposizione una immagine congruente dei segnali di processo, essi vengono letti o scritti prima dell'elaborazione del programma. Alla fine la CPU, durante l'elaborazione del programma, nell'accedere alle aree degli operandi ingressi (E) e uscite (A) non accede direttamente alle unità di ingresso/uscita, bensì all'area di memoria interna della CPU nella quale si trova l'immagine degli ingressi/uscite.

Svolgimento dell'elaborazione ciclica del programma

La tabella seguente con figura mostra le fasi dell'elaborazione ciclica del programma.

Tabella 5-1 Elaborazione ciclica del programma

| Passo | Operazione |
|-------|---|
| 1 | Il sistema operativo avvia il tempo di controllo del ciclo. |
| 2 | La CPU scrive i valori dall'immagine di processo delle uscite nelle unità di uscita. |
| 3 | La CPU legge lo stato degli ingressi delle unità di ingresso e aggiorna l'immagine di processo degli ingressi. |
| 4 | La CPU elabora il programma utente in intervalli di tempo ed esegue le operazioni indicate nel programma. |
| 5 | Alla fine di un ciclo il sistema operativo esegue i compiti in attesa, ad es. il caricamento e la cancellazione dei blocchi. |
| 6 | Alla fine, eventualmente al trascorrere del tempo minimo del ciclo progettato, la CPU torna all'inizio del ciclo ed avvia di nuovo il controllo del tempo di ciclo. |

Parti del tempo di ciclo

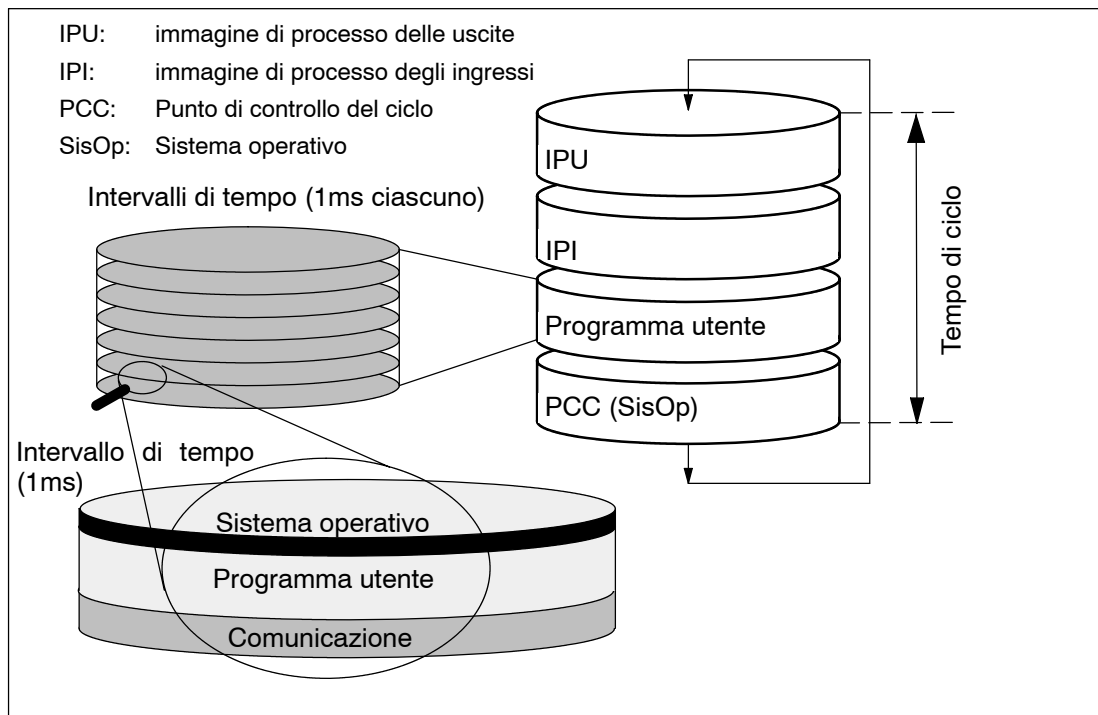


Figura 5-1 Parti e composizione del tempo di ciclo

5.2 Calcolo del tempo di ciclo

Prolungamento del tempo di ciclo

In linea di principio, è necessario tener presente che il tempo di ciclo di un programma utente si protrae a causa:

- dell'elaborazione dell'allarme comandato a tempo
- dell'elaborazione dell'interrupt di processo (vedere anche il capitolo 5.8)
- della diagnostica e dell'elaborazione degli errori (vedere anche il capitolo 5.9)
- della comunicazione tramite MPI e tramite i CP collegati tramite il bus K (ad esempio: Ethernet, PROFIBUS, DP); contenuti nel carico di comunicazione
- delle funzioni speciali come servizio e supervisione di variabili o stato del blocco
- del trasferimento e della cancellazione di blocchi nonché della compressione della memoria del programma utente
- del test memoria interno

Fattori influenzanti

Le seguente tabella mostra i fattori che influenzano il tempo di ciclo.

Tabella 5-2 Fattori che influenzano il tempo di ciclo

| Fattori | Osservazioni |
|--|---|
| Tempo di trasferimento per l'immagine di processo delle uscite (IPU) e l'immagine di processo degli ingressi (IPI) | ... vedere la tabella 5-3 |
| Tempo di elaborazione del programma utente | ... si calcola dai tempi di esecuzione delle singole operazioni (vedere la <i>Lista operazioni S7-400</i>). |
| Tempo di elaborazione del sistema operativo nel punto di controllo del ciclo | ... vedere la tabella 5-4 |
| Prolungamento del tempo di ciclo a causa della comunicazione | Il carico massimo del ciclo ammesso a causa della comunicazione, si parametrizza in % in <i>STEP 7</i> (manuale <i>Programmazione con STEP 7</i>). Vedere il capitolo 5.4. |
| Carico del tempo di ciclo da parte di allarmi | Gli allarmi possono interrompere il programma utente in qualsiasi momento. ... vedere la tabella 5-5 |

Aggiornamento dell'immagine di processo

La seguente tabella contiene i tempi della CPU per l'aggiornamento dell'immagine di processo (tempo di trasferimento dell'immagine di processo). I tempi indicati sono "valori ideali" che possono prolungarsi a causa o della comunicazione della CPU.

Il tempo di trasferimento per l'aggiornamento dell'immagine di processo viene calcolato nel modo seguente:

| |
|--|
| K + compon. nell'apparecchiatura centrale (dalla riga A della seguente tabella) + compon. nell'apparecchiatura di ampliamento con accoppiamento locale (dalla riga B) + compon. nell'apparecchiatura di ampliamento con accoppiamento remoto (dalla riga C) + compon. tramite interfaccia DP integrata (dalla riga D) + compon. dei dati coerenti tramite interfaccia DP integrata (dalla riga E1) + compon. dei dati coerenti tramite interfaccia DP esterna (dalla riga E2) |
| <hr style="width: 80%; margin: 5px auto;"/> = tempo di trasferimento per l'aggiornamento dell'immagine di processo |

Le seguenti tabelle contengono le singole parti del tempo di trasferimento per l'aggiornamento dell'immagine di processo (tempo di trasferimento dell'immagine di processo). I tempi indicati sono "valori ideali" che possono prolungarsi a causa di allarmi o per la comunicazione della CPU.

Tabella 5-3 Composizione del tempo di trasferimento dell'immagine di processo

| Componenti | CPU 412 | CPU 414 | CPU 416 | CPU 417 |
|---|---------------------------|----------------------------|----------------------------|----------------------------|
| n = numero di byte dell'immagine di processo k= numero di aree coerenti ^{***}) dell'immagine di processo | | | | |
| K Carico di base | 22 μs | 18 μs | 10 μs | 7 μs |
| A Nell'apparecchiatura centrale ^{*)} | n * 1,9 μs | n * 1,9 μs | n * 1,9 μs | n * 1,9 μs |
| B Nell'apparecchiatura di ampliamento con accoppiamento locale ^{*)} | n * 5 μs | n * 5 μs | n * 5 μs | n * 5 μs |
| C Nell'apparecchiatura di ampliamento con accoppiamento remoto ^{*) **)} | | | | |
| Leggere | n * 12 μs | n * 12 μs | n * 12 μs | n * 12 μs |
| Scrivere | n * 11 μs | n * 11 μs | n * 11 μs | n * 11 μs |
| D Nell'area DP per l'interfaccia DP integrata | 13 μs + n * 0,4 μs | 4,0 μs + n * 0,25 μs | 2,0 μs + n * 0,1 μs | 1,5 μs + n * 0,1 μs |
| E Nell'area DP per l'interfaccia DP esterna (CP 443-5 extended) | 2,3 μs + n * 2,3 μs | 1,3 μs + n * 2,0 μs | 1,0 μs + n * 2,0 μs | 1,0 μs + n * 2,0 μs |
| F1 Dati coerenti dell'immagine di processo per l'interfaccia DP integrata | k * 45 μs + n*0,25 μs | k * 4,0 μs + n*0,25 μs | k * 2,0 μs + n*0,15 μs | k * 1,5 μs + n*0,21 μs |
| F2 Dati coerenti dell'immagine di processo per l'interfaccia DP esterna (CP 443-5 extended) | k * 33 μs + n * 2,0 μs | k * 2,1 μs + n * 0,5 μs | k * 2,0 μs + n * 0,5 μs | k * 2,0 μs + n * 1,9 μs |

^{*)} Nel caso di periferia che viene innestata nell'apparecchiatura centrale o in un'apparecchiatura di ampliamento, il valore indicato contiene il runtime dell'unità periferica

^{**)} Misurato con IM460-3 e IM461-3 con una lunghezza di accoppiamento pari a 100 m

^{***)} I campi impostati in HW-Config che vengono scritti o letti in una volta, ed in tal modo coerenti, nella/dalla periferia.

Tempo di elaborazione del sistema operativo nel punto di controllo del ciclo

La seguente tabella contiene i tempi di elaborazione del sistema operativo nel punto di controllo del ciclo delle CPU.

Tabella 5-4 Tempo di elaborazione del sistema operativo nel punto di controllo del ciclo

| Svolgimento | CPU 412-1 | CPU 412-2 | CPU 414-2 | CPU 414-3 | CPU 416-2 | CPU 416-3 | CPU 417-4 |
|-----------------------------|----------------------------------|----------------------------------|----------------------------------|----------------------------------|----------------------------------|----------------------------------|----------------------------------|
| Controllo del ciclo nel ZKP | 331 µs fino a 545 µs Ø 339 µs | 381 µs fino a 560 µs Ø 391 µs | 222 µs fino a 348 µs Ø 228 µs | 270 µs fino a 391 µs Ø 276 µs | 140 µs fino a 220 µs Ø 144 µs | 179 µs fino a 260 µs Ø 184 µs | 164 µs fino a 233 µs Ø 168 µs |

Prolungamento del ciclo a causa di annidamento di allarmi

Tabella 5-5 Prolungamento del ciclo a causa di annidamento di allarmi

| CPU | Interrupt di processo | Allarme di diagnostica | Allarme dell'orologio | Allarme di ritardo | Schedulazione orologio | Errore di programmazione/ accesso alla periferia |
|--------------|-----------------------|------------------------|-----------------------|--------------------|------------------------|--|
| CPU 412-1/-2 | 696 µs | 752 µs | 584 µs | 504 µs | 504 µs | 224 µs / 232 µs |
| CPU 414-2/-3 | 420 µs | 450 µs | 350 µs | 300 µs | 300 µs | 135 µs / 140 µs |
| CPU 416-2/-3 | 280 µs | 305 µs | 230 µs | 200 µs | 200 µs | 90 µs / 90 µs |
| CPU 417-4 | 260 µs | 280 µs | 210 µs | 185 µs | 185 µs | 80 µs / 90 µs |

A questo prolungamento, è necessario aggiungere il tempo di esecuzione del programma nel livello di allarme.

Se vengono annidati più allarmi, i tempi corrispondenti si sommano.

5.3 Tempi di ciclo diversi

Il tempo di ciclo (T_{zyk}) non è uguale per ogni ciclo. La figura seguente mostra diversi tempi di ciclo T_{cic1} e T_{cic2} . T_{cic2} è maggiore di T_{cic1} poiché l'OB 1 elaborato ciclicamente viene interrotto da un OB di allarme dell'orologio (in questo caso: OB 10).

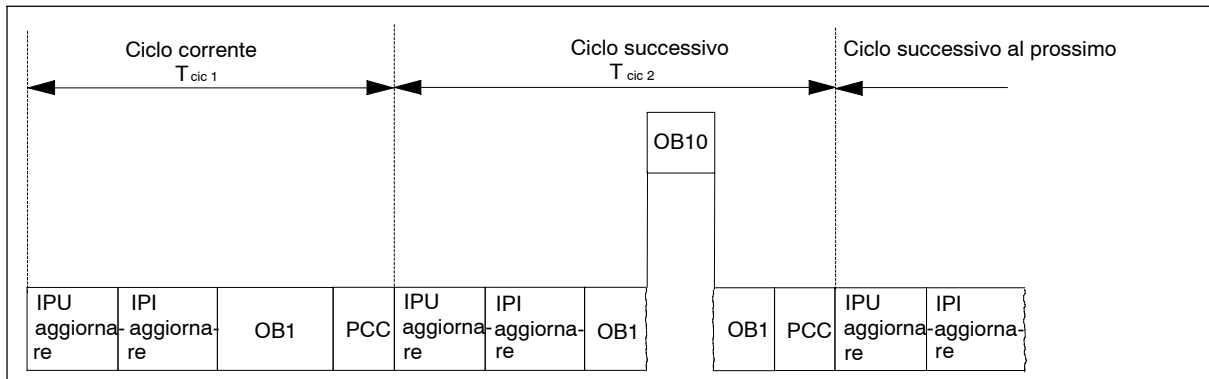


Figura 5-2 Tempi di ciclo diversi

Un motivo per cui si verificano tempi di ciclo diversi è dovuto anche al fatto che il tempo di elaborazione dei blocchi (ad es. dell'OB 1) può variare a causa di:

- istruzioni condizionate,
- richiami di blocco condizionati,
- percorsi di programma diversi,
- loop ecc.

Ciclo massimo

È possibile modificare con STEP 7 il tempo massimo di ciclo preimpostato (tempo di controllo del ciclo). Una volta che questo intervallo è trascorso, viene richiamato l'OB 80 nel quale è possibile stabilire come la CPU debba reagire all'errore di tempo. Se non si riattiva il tempo di ciclo con l'SFC 43, l'OB 80 lo raddoppia la prima volta che viene richiamato. In tal caso al secondo richiamo dell'OB 80 la CPU va in STOP.

Se nella memoria della CPU non c'è un OB 80, la CPU si porta in STOP.

Tempo di ciclo minimo

Per la CPU è possibile impostare con STEP 7 un tempo di ciclo minimo. Ciò è opportuno se

- gli intervalli di tempo tra l'inizio dell'elaborazione del programma dell'OB1 (ciclo libero) devono essere all'incirca uguali oppure
- se il tempo di ciclo è troppo breve e l'aggiornamento delle immagini di processo viene effettuato con una frequenza troppo elevata oppure
- si desidera elaborare un programma in background con l'OB 90.

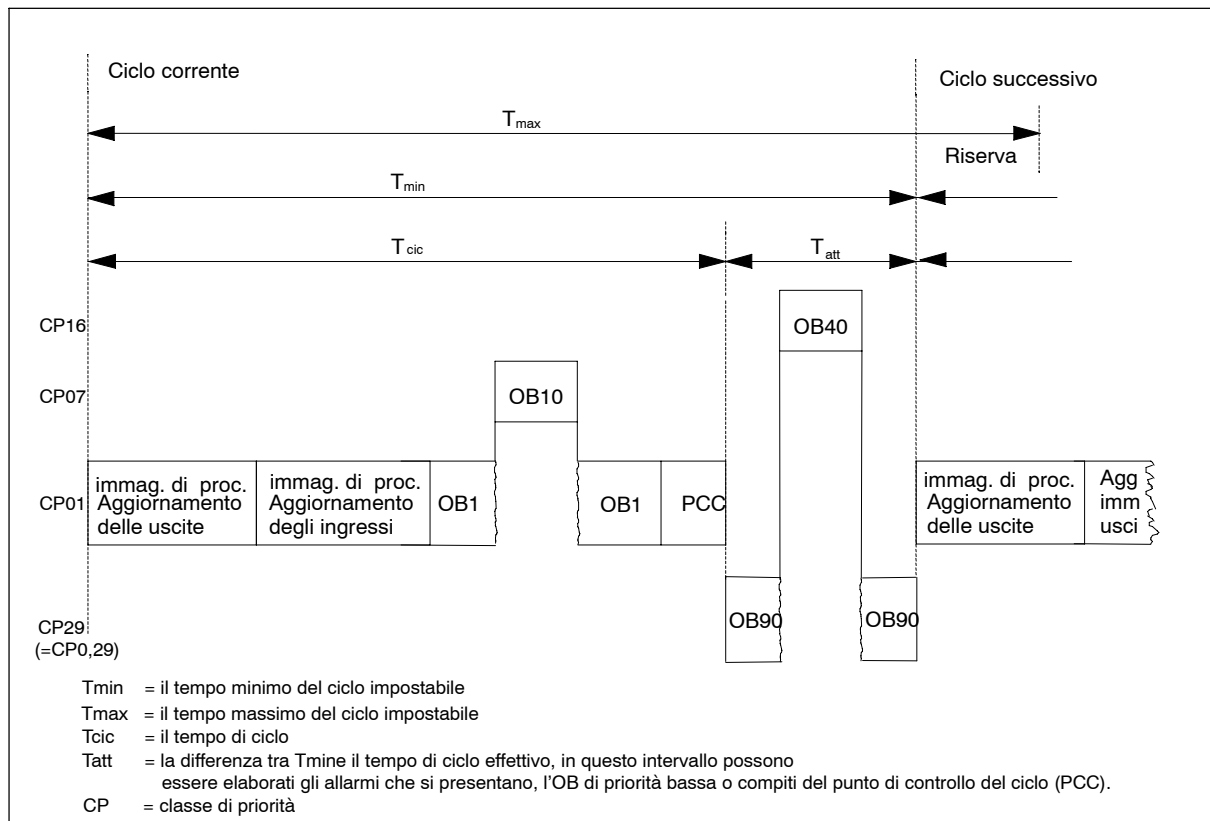


Figura 5-3 Tempo di ciclo minimo

Il tempo di ciclo effettivo è la somma di T_{cic} e T_{att} . Esso è quindi sempre maggiore o uguale a T_{min} .

5.4 Carico di comunicazione

Il sistema operativo della CPU mette continuamente a disposizione della comunicazione la percentuale dell'intera potenza di elaborazione della CPU (tecnica a intervalli di tempo) progettata dall'utente. Se la comunicazione non necessita di tale potenza di elaborazione, essa è a disposizione della restante elaborazione.

Nella configurazione hardware è possibile impostare il carico di comunicazione tra 5 % e 50 %. Per default è impostato un valore del 20 %.

Tale percentuale costituisce un valore medio in quanto in un intervallo di tempo, la percentuale destinata alla comunicazione può essere notevolmente superiore al 20 %. In compenso, la parte di comunicazione nel prossimo intervallo di tempo è pari a pochi punti percentuali o allo 0 %. Questo fatto si esprime anche con la seguente formula:

$$\text{Tempo di ciclo effettivo} = \text{tempo di ciclo} \times \frac{100}{100 - \text{"carico di comunicazione progettato in \%"}}$$

Arrotondare il risultato al prossimo numero intero.

Figura 5-4 Formula: influenza del carico di comunicazione

Coerenza dei dati

Il programma utente viene interrotto per l'elaborazione della comunicazione. L'interruzione si può verificare dopo ogni istruzione. Tali ordini di comunicazione possono modificare i dati utente.

In tal modo la coerenza dei dati non può essere assicurata per più accessi.

Le modalità operative che consentono di garantire una coerenza che comprenda più di una sola istruzione, sono riportate nel manuale *Software di sistema per S7-300/400 funzioni standard e di sistema* al capitolo *Comunicazione S7 e comunicazione di base S7*.

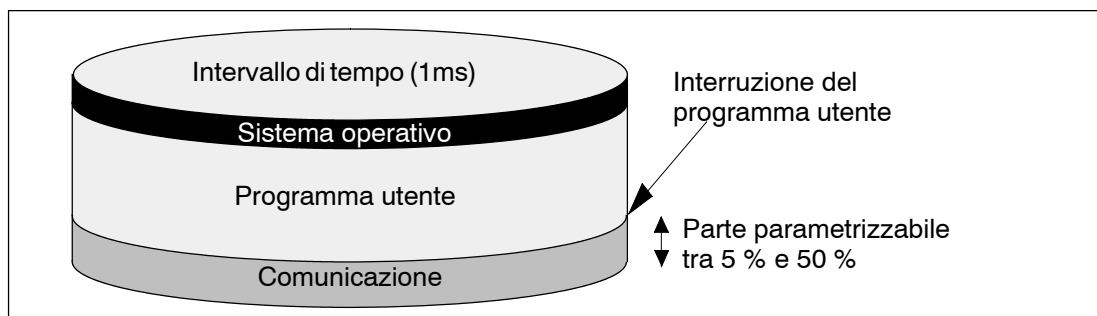


Figura 5-5 Suddivisione di un intervallo di tempo

Il sistema operativo dell'S7-400 richiede solo una quantità trascurabile della rimanente parte per compiti interni.

Esempio: 20 % di carico di comunicazione

Nella configurazione hardware si è progettato un carico di comunicazione del 20 %.

Il tempo di ciclo calcolato è pari a 10 ms.

il 20 % del carico di comunicazione sta quindi ad indicare che in media per ogni intervallo di tempo rimangono 200 μ s per la comunicazione e 800 μ s per il programma utente. Per elaborare un ciclo la CPU ha bisogno quindi di $10 \text{ ms} / 800 \mu\text{s} = 13$ intervalli di tempo. Il tempo di ciclo reale è così pari a 13 volte l'intervallo di tempo di 1 ms = 13 ms, nel caso in cui la CPU sfrutti al massimo il carico di comunicazione progettato.

Ciò significa che 20 % di comunicazione prolunga il ciclo non nel modo lineare di 2 bensì di 3 ms.

Esempio: 50 % di carico di comunicazione

Nella configurazione hardware si è progettato un carico di comunicazione del 50 %.

Il tempo di ciclo calcolato è pari a 10 ms.

Ciò significa che di ogni intervallo di tempo 500 μ s rimangono per il ciclo. Per elaborare un ciclo la CPU ha bisogno quindi di $10 \text{ ms} / 500 \mu\text{s} = 20$ intervalli di tempo. Il tempo di ciclo reale è così pari a 20 ms nel caso in cui la CPU sfrutti al massimo il carico di comunicazione progettato

50 % di carico di comunicazione significa quindi che in media di ogni intervallo di tempo 500 μ s rimangono per la comunicazione e 500 μ s per il programma utente. Per elaborare un ciclo la CPU ha bisogno quindi di $10 \text{ ms} / 500 \mu\text{s} = 20$ intervalli di tempo. Il tempo di ciclo reale è così pari a 20 volte l'intervallo di tempo di 1 ms = 20 ms, nel caso in cui la CPU sfrutti al massimo il carico di comunicazione progettato.

Ciò significa che 50 % di comunicazione prolunga il ciclo non nel modo lineare di 5 ms bensì di 10 ms.

Dipendenza del tempo di ciclo reale dal carico di comunicazione

La figura seguente descrive la dipendenza non lineare del tempo di ciclo reale dal carico di comunicazione. Come esempio è stato scelto un tempo di ciclo di 10 ms.

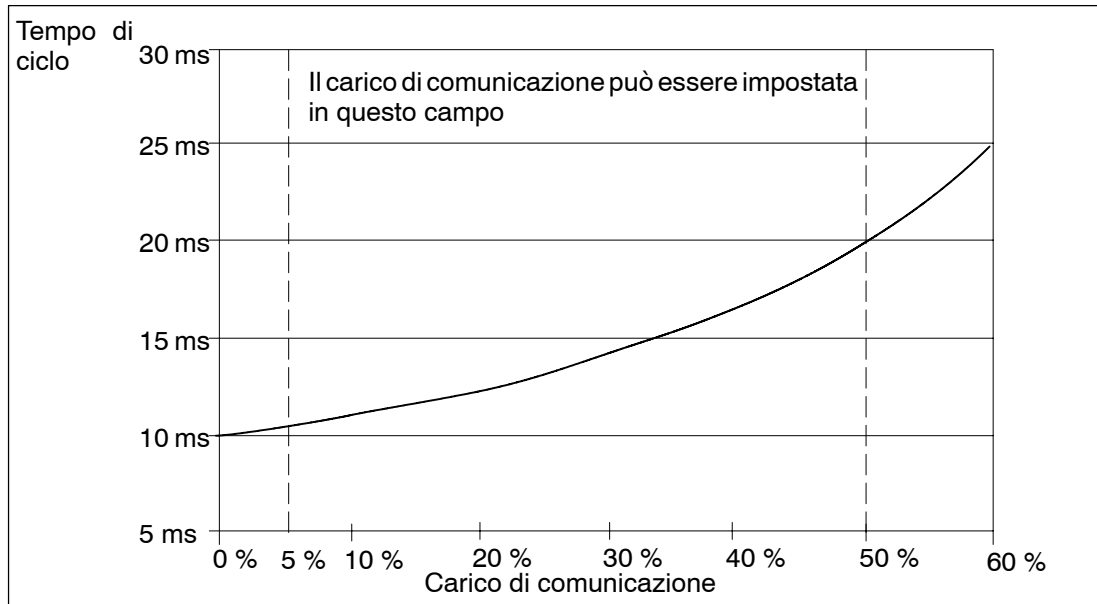


Figura 5-6 Dipendenza del tempo di ciclo dal carico di comunicazione

Ulteriori effetti sul tempo di ciclo effettivo

Con il prolungamento del tempo di ciclo con la parte di comunicazione, dal punto di vista statistico si presentano anche più eventi asincroni all'interno di un ciclo OB 1 come ad esempio allarmi. Ciò prolunga il ciclo OB 1 ulteriormente. Questo prolungamento dipende da quanti eventi si presentano per il ciclo OB 1 e quanto tempo richieda la loro elaborazione.

Avvertenze

- Controllare gli effetti di un cambiamento di valore del parametro "Carico del ciclo a causa della comunicazione" nel funzionamento in impianto.
- Quando si imposta il tempo di ciclo massimo è necessario tener conto del carico di comunicazione poiché in caso contrario si verificano errori temporali.

Consigli

- Accettare a seconda dei casi il valore preimpostato.
- Accrescere il valore solo se la CPU viene impiegata prevalentemente per scopi di comunicazione e il programma utente non è critico dal punto di vista temporale! In tutti gli altri casi il valore va solo ridotto!

5.5 Tempo di reazione

Definizione di tempo di reazione

Il tempo di reazione è l'intervallo dal riconoscimento di un segnale d'ingresso fino alla modifica di un segnale di uscita ad esso collegato.

Banda di oscillazione

Il tempo di reazione effettivo è compreso tra il tempo di reazione minimo e quello massimo. Per la progettazione del proprio impianto, utilizzare sempre per il calcolo il tempo di reazione massimo.

Qui di seguito si può osservare il tempo di reazione più lungo e quello più breve e ottenere così un'idea della banda di oscillazione del tempo di reazione.

Fattori

Il tempo di reazione dipende dal tempo di ciclo e dai seguenti fattori:

- Ritardo degli ingressi e uscite
- Tempi di ciclo DP aggiuntivi nella rete PROFIBUS DP
- Elaborazione nel programma utente

Ritardo degli ingressi/uscite

A seconda dell'unità, prestare attenzione ai seguenti tempi di ritardo:

- per ingressi digitali: il tempo di ritardo all'ingresso
- per ingressi digitali capaci di allarme: il tempo di ritardo all'ingresso + tempo di elaborazione interno all'unità
- per uscite digitali: tempi di ritardo trascurabili
- per uscite a relè: tipici tempi di ritardo da 10 ms ... 20 ms.
Il ritardo delle uscite a relè è tra l'altro dipendente dalla temperatura e dalla tensione.
- per ingressi analogici: tempo di ciclo dell'ingresso analogico
- per uscite analogiche: tempo di risposta dell'uscita analogica

I tempi di ritardo si trovano nei dati tecnici delle unità di ingresso/uscita.

Tempi di ciclo DP nella rete PROFIBUS DP

Se è stata configurata la rete PROFIBUS DP con *STEP 7*, *STEP 7* calcola il tempo di ciclo DP che normalmente ci si può attendere. È poi possibile prendere visione del tempo di ciclo DP della propria configurazione sul PG.

Nella figura seguente è riportata una panoramica del tempo di ciclo DP. In questo esempio si suppone che ogni slave DP abbia in media 4 byte di dati.

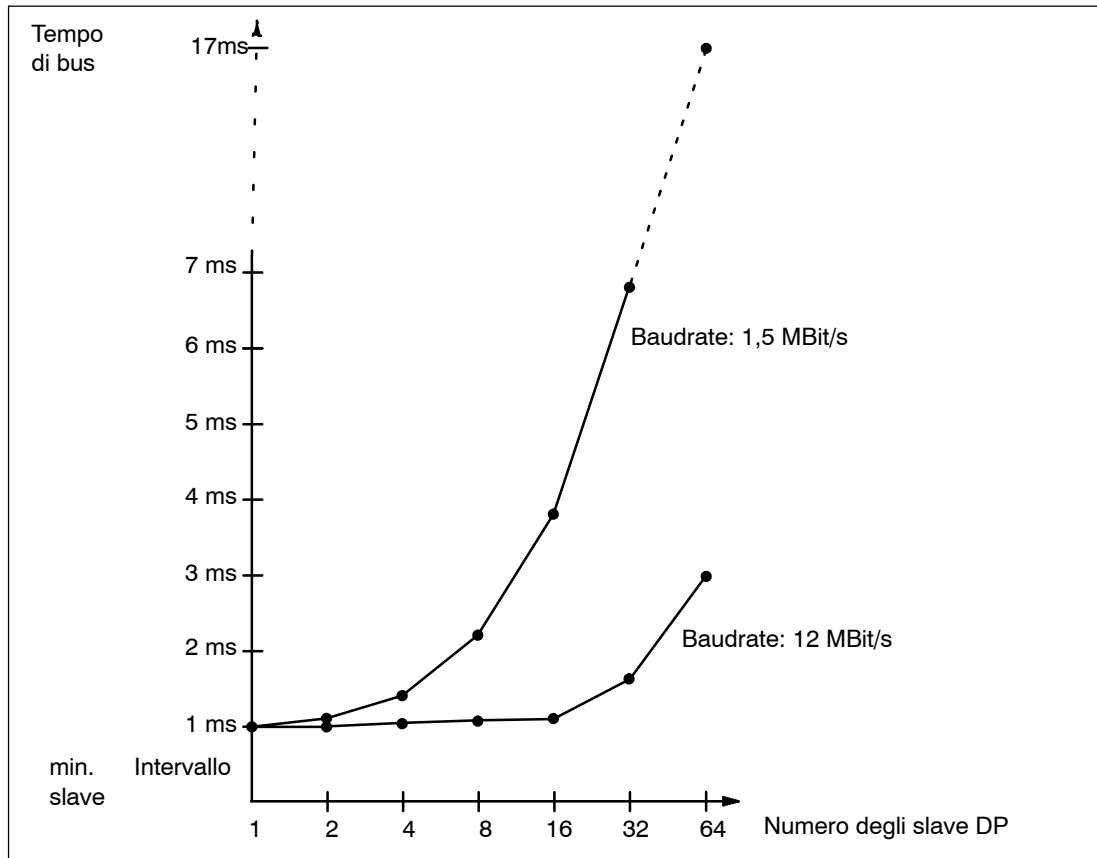


Figura 5-7 Tempi di ciclo DP nella rete PROFIBUS DP

Se si impiega una rete PROFIBUS DP con più master, si deve considerare il tempo di ciclo DP per ogni master. Effettuare quindi il calcolo per ogni master e sommare.

Tempo di reazione più breve

La figura seguente illustra in quali condizioni viene raggiunto il tempo di reazione più breve.

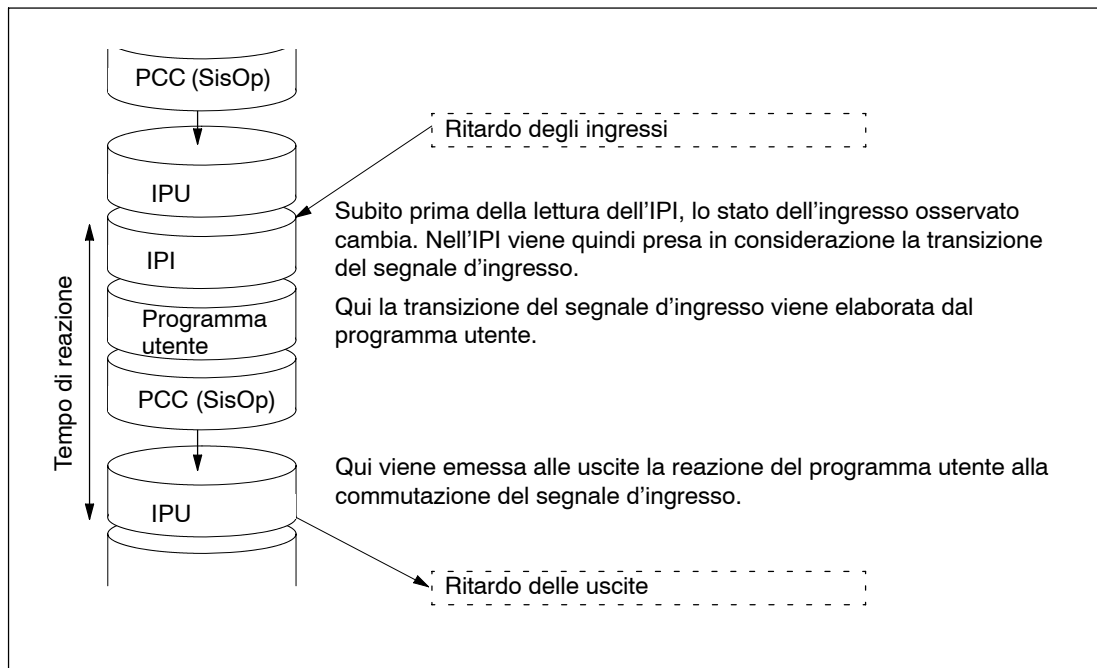


Figura 5-8 Tempo di reazione più breve

Calcolo

Il tempo di reazione (più breve) è composto da:

- 1 × Tempo di trasferimento dell'immagine di processo degli ingressi +
- 1 × Tempo di trasferimento dell'immagine di processo delle uscite +
- 1 × Tempo di elaborazione del programma +
- 1 × Tempo di elaborazione del sistema operativo nel punto di controllo del ciclo +
- Ritardo degli ingressi e uscite

Corrisponde alla somma di tempo di ciclo e ritardo degli ingressi e uscite.

Avvertenza

Se CPU e unità di ingresso/uscita non si trovano nel rack centrale, aggiungere anche il doppio del tempo di esecuzione del telegramma slave DP (inclusa l'elaborazione nel master DP).

Tempo di reazione più lungo

La figura seguente mostra la composizione del tempo di reazione più lungo.

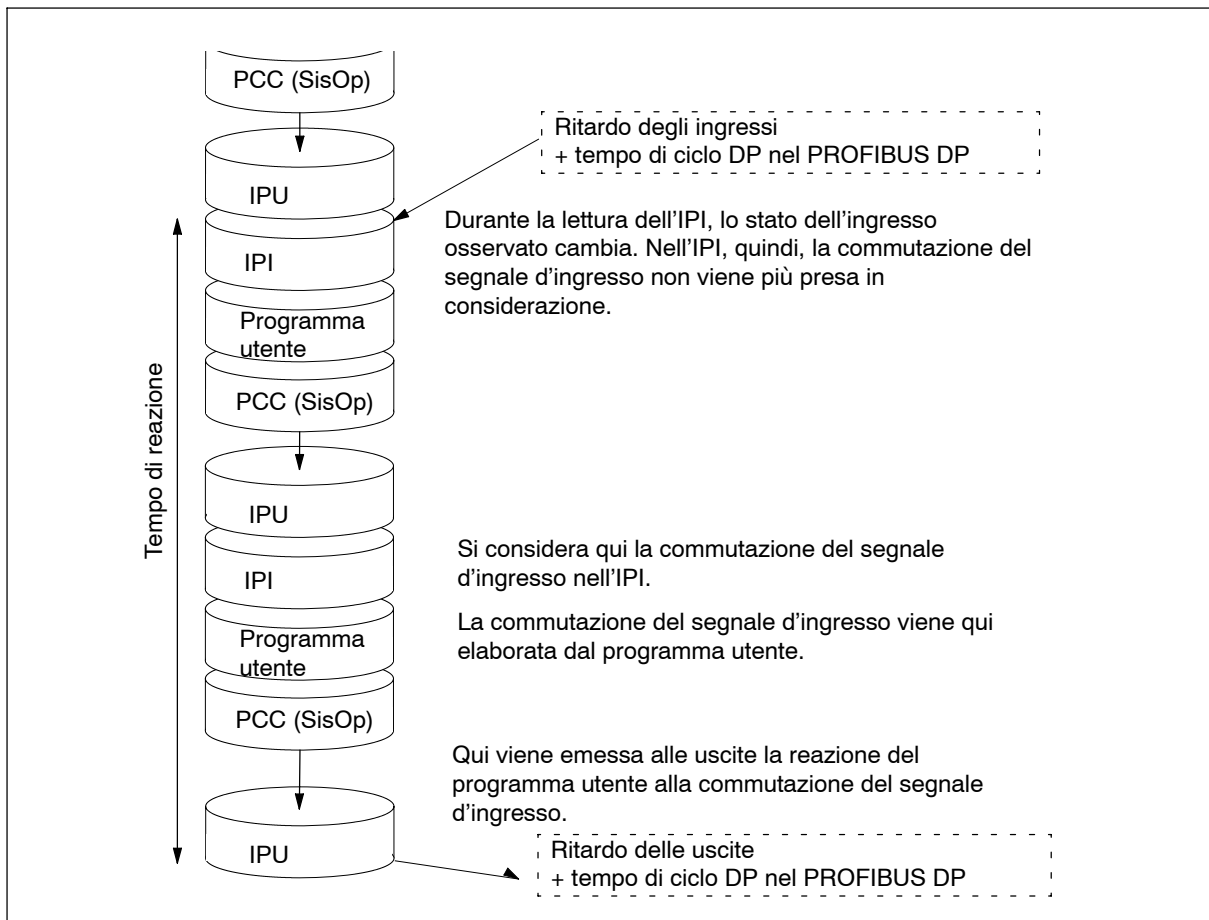


Figura 5-9 Tempo di reazione più lungo

Calcolo

Il tempo di reazione (più lungo) è composto da:

- 2 × Tempo di trasferimento dell'immagine di processo degli ingressi +
- 2 × Tempo di trasferimento dell'immagine di processo delle uscite +
- 2 × Tempo di elaborazione del sistema operativo +
- 2 × Tempo di elaborazione del programma +
- 2 × Tempo di esecuzione del telegramma slave DP (compresa l'elaborazione nel master DP) +
- Ritardo degli ingressi e uscite

Corrisponde alla somma del doppio del tempo di ciclo e ritardo degli ingressi e uscite più il doppio tempo di ciclo DP.

Accessi diretti alla periferia

Tempi di reazione più rapidi si raggiungono tramite accessi diretti alla periferia nel programma utente. Ad esempio con

- L BYTE DI INGRESSO DI PERIFERIA
oppure
- T PAROLA DI USCITA DI PERIFERIA.

I tempi di reazione si possono in parte evitare come descritto sopra.

Riduzione del tempo di reazione

In tal modo il massimo tempo di reazione si riduce a

- Ritardo degli ingressi e uscite
- Tempo operativo del programma utente (può essere interrotto da elaborazione dell'allarme a priorità maggiore)
- Tempo operativo degli accessi diretti
- 2x tempo di bus del DP

La seguente tabella elenca i tempi di esecuzione degli accessi diretti delle CPU alle unità di periferia. I tempi indicati sono "valori ideali".

Tabella 5-6 Riduzione del tempo di reazione

| Tipo di accesso | CPU 412-1 412-2 | CPU 414-2 414-3 | CPU 416-2 416-3 | CPU 417-4 |
|--|-----------------------|-----------------------|-----------------------|--------------|
| Unità periferica | | | | |
| Lettura byte | 3,0 µs | 2,7 µs | 2,4 µs | 2,3 µs |
| Lettura parola | 4,7 µs | 4,4 µs | 3,9 µs | 3,8 µs |
| Lettura parola doppia | 7,6 µs | 7,2 µs | 6,9 µs | 6,7 µs |
| Scrittura byte | 3,2 µs | 2,8 µs | 2,4 µs | 2,3 µs |
| Scrittura parola | 4,7 µs | 4,5 µs | 4,1 µs | 4,0 µs |
| Scrittura parola doppia | 8,1 µs | 7,7 µs | 7,3 µs | 7,2 µs |
| Apparecchiatura di ampliamento con accoppiamento locale | | | | |
| Leggere byte | 6,4 µs | 6,2 µs | 5,8 µs | 5,7 µs |
| Leggere parola | 11,8 µs | 11,3 µs | 10,9 µs | 10,8 µs |
| Leggere parola doppia | 21,7 µs | 21,3 µs | 20,9 µs | 20,8 µs |
| Scrivere byte | 7,9 µs | 5,8 µs | 5,6 µs | 5,5 µs |
| Scrivere parola | 11,2 µs | 11,0 µs | 10,6 µs | 10,5 µs |
| Scrivere parola doppia | 21,1 µs | 20,7 µs | 20,4 µs | 20,2 µs |

Tabella 5-6 Riduzione del tempo di reazione

| Tipo di accesso | CPU 412-1 | CPU 414-2 | CPU 416-2 | CPU 417-4 |
|---|--------------|--------------|--------------|--------------|
| | 412-2 | 414-3 | 416-3 | |
| Leggere byte nell'apparecchiatura di ampliamento con accoppiamento remoto | | | | |
| Leggere byte | 11,4 µs | 11,4 µs | 11,3 µs | 11,3 µs |
| Leggere parola | 22,9 µs | 22,9 µs | 22,8 µs | 22,8 µs |
| Leggere parola doppia | 45,9 µs | 45,9 µs | 45,9 µs | 45,9 µs |
| Scrivere byte | 11,0 µs | 10,9 µs | 10,8 µs | 10,8 µs |
| Scrivere parola | 22,0 µs | 22,0 µs | 21,9 µs | 21,9 µs |
| Scrivere parola doppia | 44,0 µs | 44,0 µs | 44,0 µs | 44,0 µs |

I tempi indicati sono puri tempi di elaborazione della CPU e valgono, salvo indicazioni diverse, per le unità di ingresso/uscita nell'apparecchiatura centrale.

Avvertenza

Tempo di reazione più rapidi si possono raggiungere anche attraverso l'impiego di interrupt di processo, vedere il capitolo 5.8.

5.6 Calcolo dei tempi di ciclo e di reazione

Tempo di ciclo

1. Stabilire con l'aiuto della lista operazioni il tempo di esecuzione del programma utente.
2. Calcolare e sommare il tempo di trasferimento per l'immagine di processo. Valori orientativi si trovano nella tabella 5-3.
3. Sommare il tempo di elaborazione nel punto di controllo del ciclo. Valori orientativi si trovano nella tabella 5-3.

Come risultato si ottiene ora il **tempo di ciclo**.

Prolungamento del tempo di ciclo a causa della comunicazione e degli allarmi

4. Moltiplicare il risultato per il seguente fattore:

$$\frac{100}{100 - \text{"carico di comunicazione progettato in \%\"}}$$

5. Calcolare con l'aiuto della lista operazioni il tempo di esecuzione delle parti del programma che elaborano allarmi. Sommarvi il corrispondente valore dalla tabella 5-5. Moltiplicare questo valore per il fattore del punto 4. Aggiungere questo valore al tempo di ciclo teorico tante volte quanto l'allarme verrà generato (prevedibilmente) durante il tempo di ciclo.

Come risultato si ottiene approssimativamente il **tempo di ciclo reale**. Prendere nota del risultato.

Tabella 5-7 Esempio di calcolo tempo di reazione

| Tempo di reazione più breve | Tempo di reazione più lungo |
|---|---|
| 6. Calcolare ora anche i ritardi degli ingressi/uscite ed eventualmente i tempi di ciclo DP nella rete PROFIBUS DP. | 6. Moltiplicare il tempo di ciclo reale per il fattore 2. |
| | 7. Calcolare adesso anche i ritardi degli ingressi/uscite e i tempi di ciclo DP nella rete PROFIBUS DP. |
| 7. Come risultato si ottiene il tempo di reazione più breve . | 8. Come risultato si ottiene il tempo di reazione più lungo . |

5.7 Esempi di calcolo per il tempo di ciclo e di reazione

Esempio I

L'utente ha installato un S7-400 con le seguenti unità nell'apparecchiatura centrale:

- una CPU 414-2
- 2 unità di ingresso digitali SM 421; DI 32×DC 24 V (ciascuna 4 byte nel PA)
- 2 unità di uscita digitali SM 422; DO 32×DC 24 V/0,5A (ciascuna 4 byte nel PA)

Programma utente

Secondo la lista operazioni, il programma utente ha un tempo di esecuzione di 12 ms.

Calcolo del tempo di ciclo

Per il tempo di ciclo dell'esempio si hanno i seguenti tempi:

- Tempo di trasferimento dell'immagine di processo
Immagine di processo: $13 \mu\text{s} + 16 \text{ Byte} \times 1,5 \mu\text{s} = \text{ca. } \mathbf{0,037 \text{ ms}}$
- Tempo di esecuzione del sistema operativo nel punto di controllo del ciclo:
ca. **0,23 ms**

Il tempo di ciclo deriva dalla somma dei tempi indicati:

$$\text{Tempo di ciclo} = 12,0 \text{ ms} + 0,037 \text{ ms} + 0,23 \text{ ms} = \mathbf{12,27 \text{ ms.}}$$

Calcolo del tempo di ciclo reale

- Considerazione del carico di comunicazione (valore di default: 20%):
 $12,27 \text{ ms} * 100 / (100-20) = \mathbf{15,24 \text{ ms.}}$
- Non si ha un'elaborazione degli allarmi.

Il tempo di ciclo reale arrotondato è pari a **15,3 ms**.

Calcolo del tempo di reazione più lungo

- Tempo di reazione più lungo
 $15,3 \text{ ms} * 2 = \mathbf{30,6 \text{ ms.}}$
- Il ritardo degli ingressi/uscite è trascurabile.
- Tutte le componenti sono innestate nel rack centrale e per questo motivo non devono essere considerati tempi di ciclo DP.
- Non si ha un'elaborazione degli allarmi.

Il tempo di reazione più lungo arrotondato corrisponde a = **31 ms**.

Esempio II

L'utente ha installato un S7-400 con le seguenti unità:

- una CPU 414-2
- 4 unità di ingresso digitali SM 421; DI 32×DC 24 V (ciascuna 4 byte nel PA)
- 3 unità di uscita digitali SM 422; DO 16×DC 24 V/2A (ciascuna 2 byte nel PA)
- 2 unità di ingresso analogiche SM 431; AI 8×13Bit (non nel PA)
- 2 unità di uscita analogiche SM 432; AO 8×13Bit (non nel PA)

Parametri della CPU

La CPU è stata parametrizzata nel modo seguente:

- Carico del ciclo a causa della comunicazione: 40 %

Programma utente

Secondo la lista operazioni, il proprio programma utente ha un tempo di esecuzione 10,0 ms.

Calcolo del tempo di ciclo

Il tempo di ciclo teorico dell'esempio deriva dai seguenti tempi:

- Tempo di trasferimento dell'immagine di processo
Immagine di processo: $13 \mu\text{s} + 22 \text{ Byte} \times 1,5 \mu\text{s} = \text{ca. } \mathbf{0,049 \text{ ms}}$
- Tempo di esecuzione del sistema operativo nel punto di controllo del ciclo:
ca. **0,23 ms**

Il tempo di ciclo deriva dalla somma dei tempi indicati:

$$\text{Tempo di ciclo} = 10,0 \text{ ms} + 0,049 \text{ ms} + 0,23 \text{ ms} = \mathbf{10,28 \text{ ms.}}$$

Calcolo del tempo di ciclo reale

- Considerazione del carico di comunicazione:
 $10,28 \text{ ms} * 100 / (100-40) = \mathbf{17,1 \text{ ms.}}$
- Ogni 100 ms viene generato un allarme dell'orologio con un tempo di esecuzione di 0,5 ms.
Durante un ciclo, l'allarme può essere generato al massimo una volta:
 $0,5 \text{ ms} + 0,35 \text{ ms (dalla tabella 5-5)} = \mathbf{0,85 \text{ ms.}}$
Considerazione del carico di comunicazione:
 $0,85 \text{ ms} * 100 / (100-40) = \mathbf{1,42 \text{ ms.}}$
- $17,1 \text{ ms} + 1,42 \text{ ms} = \mathbf{18,52 \text{ ms.}}$

Tenendo conto degli intervalli di tempo, il tempo di ciclo reale è quindi pari a **18,5 ms**.

Calcolo del tempo di reazione più lungo

- Tempo di reazione più lungo
 $18,5 \text{ ms} * 2 = \mathbf{37 \text{ ms.}}$
- Tempi di ritardo degli ingressi/uscite
 - l'unità di ingresso digitale SM 421; DI 32×DC 24 V ha un ritardo all'ingresso di massimo **4,8 ms** per canale
 - l'unità di uscita digitale SM 422; DO 16×DC 24 V/2A ha un ritardo all'uscita trascurabile.
 - l'unità di ingresso analogica SM 431; AI 8×13Bit è stata parametrizzata per una soppressione della frequenza di disturbo di 50 Hz. In tal modo si ha un tempo di conversione di 25 ms per canale. Poiché sono attivi 8 canali, si ha un tempo di ciclo dell'unità di ingresso analogica di **200 ms**.
 - L'unità di uscita analogica SM 432; AO 8×13Bit è stata parametrizzata per il campo di misura 0 ...10V. In tal modo si ha un tempo di conversione di **0,3 ms** per canale. Poiché sono attivi 8 canali, si ha un tempo di ciclo di 2,4 ms. È inoltre necessario aggiungere il tempo di oscillazione per un carico resistivo che è pari a 0,1 ms. In tal modo si ha per un uscita analogica un tempo di risposta di **2,5 ms**.
- Tutte le componenti sono innestate nel rack centrale e per questo motivo non devono essere considerati tempi di ciclo DP.

- **Caso 1:** con la lettura di un segnale di ingresso digitale, viene impostato un canale di uscita dell'unità di uscita digitale. In tal modo si ha un tempo di reazione di:
 $\text{Tempo di reazione} = 37 \text{ ms} + 4,8 \text{ ms} = \mathbf{41,8 \text{ ms}}$.
- **Caso 2:** un valore analogico viene letto e un valore analogico viene emesso. In tal modo si ha un tempo di reazione di:
 $\text{tempo di reazione} = 37 \text{ ms} + 200 \text{ ms} + 2,5 \text{ ms} = \mathbf{239,5 \text{ ms}}$.

5.8 Tempo di reazione all'allarme

Definizione di tempo di reazione all'allarme

Il tempo di reazione all'allarme è l'intervallo dal primo presentarsi di un segnale di allarme fino al richiamo della prima istruzione nell'OB di allarme.

In generale vale: allarmi a priorità più elevata hanno precedenza. Ciò significa che il tempo di reazione all'allarme si allunga del tempo di elaborazione del programma degli OB di allarme a priorità maggiore e di quelli non ancora elaborati della stessa priorità o presentatisi precedentemente (coda di attesa).

Avvertenza

Con job di lettura scrittura con quantità di dati massima (ca. 460 byte) i tempi di reazione all'allarme possono essere ritardati.

Nel trasporto degli allarmi tra CPU e master DP, è attualmente possibile segnalare da un ramo DP in un determinato momento solo un allarme di diagnostica o un interrupt di processo.

Calcolo

| | |
|---|--|
| tempo minimo di reazione all'allarme della CPU | tempo massimo di reazione all'allarme della CPU |
| + tempo minimo di reazione all'allarme delle unità di ingresso/uscita | + tempo massimo di reazione all'allarme delle unità di ingresso/uscita |
| + tempo di ciclo DP sul PROFIBUS DP | + 2 * tempo di ciclo DP sul PROFIBUS DP |
| = tempo più breve di reazione all'allarme | = tempo di reazione all'allarme più lungo |

Figura 5-10 Calcolo del tempo di reazione all'allarme

Interrupt di processo e tempi di reazione all'allarme di diagnostica delle CPU

Tabella 5-8 Interrupt di processo e tempi di reazione all'allarme di diagnostica; tempo massimo di reazione all'allarme senza comunicazione

| CPU | Tempi di reazione interrupt di processo | | Tempi di reazione all'allarme di diagnostica | | Errore asincrono (OB 85 nell'aggiornamento dell'immagine di processo) |
|----------|---|--------|--|--------|---|
| | min. | max. | min. | max. | |
| 412-1/-2 | 544 µs | 560 µs | 608 µs | 624 µs | 392 µs |
| 414-2/-3 | 325 µs | 335 µs | 365 µs | 375 µs | 300 µs |
| 416-2/-3 | 220 µs | 230 µs | 245 µs | 255 µs | 200 µs |
| 417-4 | 200 µs | 210 µs | 225 µs | 235 µs | 180 µs |

Prolungamento del tempo massimo di reazione all'allarme per via della comunicazione

Il tempo max. di reazione all'allarme viene prolungato se le funzioni di comunicazione sono attive. Il prolungamento si calcola secondo la seguente formula:

$$\text{CPU 412: } tv = 200 \mu\text{s} + 1000 \mu\text{s} \times n\%$$

$$\text{CPU 414-417: } tv = 100 \mu\text{s} + 1000 \mu\text{s} \times n\%$$

con n = carico del ciclo a causa della comunicazione

Unità di ingresso/uscita

Il tempo di reazione all'interrupt di processo delle unità di ingresso/uscita è composto da quanto segue:

- Unità di ingresso digitali

Tempo di reazione all'interrupt di processo = tempo interno di preparazione dell'interrupt + ritardo all'ingresso

I tempi si trovano nel foglio con i dati della singola unità di ingresso digitale.

- Unità d'ingresso analogiche

Tempo di reazione all'interrupt di processo = tempo interno di preparazione dell'interrupt + tempo di conversione

Il tempo interno di preparazione dell'interrupt delle unità analogiche d'ingresso è trascurabile. I tempi di conversione sono riportati nel foglio con i dati della singola unità di ingresso analogica.

Il tempo di reazione all'allarme di diagnostica delle unità di ingresso/uscita è l'intervallo che va dal riconoscimento di un evento di diagnostica da parte dell'unità di ingresso/uscita alla generazione dell'allarme di diagnostica da parte dell'unità di ingresso/uscita. Questo intervallo è trascurabile.

Elaborazione dell'interrupt di processo

L'elaborazione dell'interrupt di processo avviene con il richiamo dell'OB 40 di interrupt di processo. Allarmi a priorità più elevata interrompono l'elaborazione dell'interrupt di processo, accessi diretti alla periferia si hanno al momento dell'esecuzione dell'istruzione. Dopo la fine dell'elaborazione dell'interrupt di processo o viene proseguita l'elaborazione ciclica del programma o vengono richiamati ed elaborati ulteriori OB di allarme della stessa priorità o a priorità inferiore.

5.9 Esempio di calcolo per il tempo di reazione all'allarme

Composizione del tempo di reazione all'allarme

Ricordare: il tempo di reazione all'interrupt di processo è composto da:

- tempo di reazione all'interrupt di processo della CPU e
- tempo di reazione all'interrupt di processo dell'unità di ingresso/uscita.
- 2 × Tempo di ciclo DP nel PROFIBUS DP

Esempio: l'utente ha un S7-400 costituito da una CPU 416-2 e da 4 unità digitali nell'apparecchiatura centrale. Una delle unità è la SM 421; DI 16×UC 24/60 V; con interrupt di processo e allarme di diagnostica. Nella parametrizzazione della CPU e dell'SM si è abilitato solo l'interrupt di processo. Si rinuncia all'elaborazione comandata a tempo, alla diagnostica e all'elaborazione degli errori. Per l'unità di ingresso digitale si è parametrizzato un ritardo all'ingresso di 0,5 ms. Nel punto di controllo del ciclo non sono necessarie operazioni. L'utente ha impostato un carico del ciclo di comunicazione del 20%.

Calcolo

Per l'esempio, il tempo di reazione all'interrupt di processo si calcola dai seguenti tempi:

- Tempo di reazione all'interrupt di processo della CPU 416-2: ca. 0,23 ms
- Prolungamento di comunicazione conformemente alla formula della tabella 5-8 :

$$100 \mu\text{s} + 1000 \mu\text{s} \times 20\% = 300 \mu\text{s} = 0,3 \text{ ms}$$
- Tempo di reazione all'interrupt dell'SM 421; DI 16×UC 24/60 V:
 - tempo interno di preparazione dell'interrupt: 0,5 ms
 - Ritardo all'ingresso: 0,5 ms
- Poiché le unità di ingresso/uscita sono innestate nell'apparecchiatura centrale, il tempo di ciclo DP sul PROFIBUS DP non è di rilievo.

Il tempo di reazione all'interrupt del processo è composto dalla somma dei tempi indicati:

Tempo di reazione all'interrupt = 0,23 ms + 0,3 ms + 0,5 ms + 0,5 ms = ca. **1,53 ms**.

Questo tempo di reazione all'interrupt del processo calcolato, trascorre dalla presenza di un segnale all'ingresso digitale fino alla prima istruzione nell'OB 40.

5.10 Riproducibilità di allarme di ritardo e di schedulazione

Definizione "riproducibilità"

Allarme di ritardo:

La deviazione temporale del richiamo della prima istruzione dell'OB di allarme dal momento programmato di attivazione dell'allarme.

Schedulazione orologio:

La banda di oscillazione dell'intervallo temporale tra due richiami consecutivi, misurata tra le prime istruzioni dell'OB di allarme.

Riproducibilità

La tabella 5-9 contiene la riproducibilità di allarmi di ritardo e di schedulazioni orologio delle CPU.

Tabella 5-9 Riproducibilità di allarmi di ritardo e di schedulazioni orologio delle CPU

| Unità | Riproducibilità | |
|--------------|-----------------------------|---------------------------|
| | Allarme di ritardo | Schedulazione orologio |
| CPU 412-1/-2 | -220 μ s / +220 μ s | -35 μ s / +35 μ s |
| CPU 414-2/-3 | -235 μ s / +205 μ s | -35 μ s / +35 μ s |
| CPU 416-2/-3 | -210 μ s / +210 μ s | -20 μ s / +20 μ s |
| CPU 417-4 | -220 μ s / +200 μ s | -20 μ s / +20 μ s |

Questi tempi valgono solo se l'allarme in questo momento può essere eseguito e non viene ritardato ad esempio da parte di allarmi a priorità più elevata o da allarme della stessa priorità non ancora eseguiti.

Dati tecnici

6

Panoramica del capitolo

| Nel paragrafo | si trova | a pagina |
|----------------------|---|-----------------|
| 6.1 | Dati tecnici della CPU 412-1; (6ES7412-1XF04-0AB0) | 6-2 |
| 6.2 | Dati tecnici della CPU 412-2; (6ES7412-2XG04-0AB0) | 6-6 |
| 6.3 | Dati tecnici della CPU 414-2; (6ES7414-2XG04-0AB0) | 6-10 |
| 6.4 | Dati tecnici della CPU 414-3; (6ES7414-3XJ04-0AB0) | 6-14 |
| 6.5 | Dati tecnici della CPU 416-2; (6ES7416-2XK04-0AB0, 6ES7416-2FK04-0AB0) | 6-18 |
| 6.6 | Dati tecnici della CPU 416-3; (6ES7416-3XL04-0AB0) | 6-23 |
| 6.7 | Dati tecnici della CPU 417-4; (6ES7417-4XL04-0AB0) | 6-28 |
| 6.8 | Dati tecnici delle memory card | 6-32 |

6.1 Dati tecnici della CPU 412-1; (6ES7412-1XF04-0AB0)

| CPU e versione | | Aree dei dati e rispettiva ritenzione | |
|--|--|--|--|
| Denominazione prodotto leggibile dalla macchina | 6ES7412-1XF04-0AB0 | Area dati a ritenzione totale (incl. merker; temporizzatori; contatori)) | Memoria di lavoro e di caricamento totale (con batteria tampone) |
| • Versione di firmware | V 4.0.0 | Merker | 4 KByte |
| corrispondente pacchetto di programmazione | Da STEP 7 V 5.2 SP1 HF3 con aggiornamento HW | • Ritenzione impostabile | Da MB 0 a MB 4095 |
| | | • Ritenzione preimpostata | Da MB 0 a MB 15 |
| Memoria | | Merker di clock | 8 (1 byte di merker) |
| Memoria di lavoro | | Blocchi di dati | massimo 511 (DB 0 riservato) |
| • Integrata | 72 KByte per codice 72 KByte per dati | • Dimensione | massimo 64 KByte |
| Memoria di caricamento | | Dati locali (impostabili) | massimo 8 KByte |
| • Integrata | 256 KByte RAM | • Preimpostazione | 4 KByte |
| • Ampliabile FEPRM | Con memory card (FLASH) fino a 64 MByte | Blocchi | |
| • RAM ampliabile | Con memory card (RAM) fino a 64 MByte | OB | Vedere la lista operazioni |
| Tamponamento con batteria | Sì, tutti i dati | • Dimensione | Limitato dalla memoria di lavoro |
| Tempi di elaborazione tipici | | Profondità di annidamento | |
| Tempi di elaborazione per | | • Per classe di priorità | 24 |
| • Operazioni di bit | 0,1 µs | • Aggiuntiva all'interno di un OB di errore | 1 |
| • Operazioni di parole | 0,1 µs | FB | massimo 256 |
| • Operazioni aritmetiche a virgola fissa | 0,1 µs | • Dimensione | Limitato dalla memoria di lavoro |
| • Operazioni aritmetiche a virgola mobile | 0,3 µs | FC | massimo 256 |
| | | • Dimensione | Limitato dalla memoria di lavoro |
| Temporizzatori/contatori e rispettiva ritenzione | | Aree di indirizzamento (ingressi/uscite) | |
| Contatore S7 | 2048 | Area di indirizzamento della periferia in totale | 4 KByte/4 KByte |
| • Ritenzione impostabile | Da Z 0 a Z 2047 | • Di cui decentrata | Incl. indirizzi di diagnostica, indirizzi per interfacce di periferia ecc. |
| • Preimpostazione | Da Z 0 a Z 7 | Interfaccia MPI/DP | 2 KByte/2 KByte |
| • Campo di conteggio | Da 1 a 999 | Immagine di processo | 4 KByte/4 KByte (impostabile) |
| Counter IEC | Sì | • Preimpostazione | 128 byte/128 byte |
| • Tipo | SFB | • Numero delle immagini di processo parziali | massimo 15 |
| Tempi S7 | 2048 | • Dati coerenti | massimo 244 byte |
| • Ritenzione impostabile | Da T 0 a T 2047 | Canali digitali | massimo 32768/ massimo 32768 |
| • Preimpostazione | Nessun temporizzatore a ritenzione | • Di cui centrali | massimo 32768/ massimo 32768 |
| • Campo di tempo | Da 10 ms a 9990 s | Canali analogici | massimo 2048/ massimo 2048 |
| Timer IEC | Sì | • Di cui centrali | massimo 2048/ massimo 2048 |
| • Art | SFB | | |

| Struttura | | Funzioni di segnalazione S7 | |
|--|--|--|--|
| Apparecchiature centrali/apparecchiature di ampliamento | massimo 1/21 | Numero di stazioni registrabili per funzioni dis segnalazione (ad es. WIN CC o SIMATIC OP) | massimo 8 |
| Multicomputing | massimo 4 CPU (con UR1 o UR2) | Segnalazioni relative ai simboli | Sì |
| Numero IM innestabili (totale) | massimo 6 | <ul style="list-style-type: none"> Numero di segnalazioni - Totale - Griglia di 100 ms - Griglia di 500 ms - Griglia di 1000 ms | Sì massimo 512 Nessuna massimo 256 massimo 256 |
| <ul style="list-style-type: none"> IM 460 IM 463-2 | massimo 6 massimo 4 | <ul style="list-style-type: none"> Numero dei valori supplementari per segnalazione - Con griglia di 100 ms - Con griglia di 500, 1000 ms | 1 Nessuna 1 |
| Numero di master DP | | Segnalazioni relative ai blocchi | Sì |
| <ul style="list-style-type: none"> Integrata Tramite IM 467 Tramite CP 443-5 Ext. | 1 massimo 4 massimo 10 | <ul style="list-style-type: none"> Blocchi alarm_S/SQ o blocchi Alarm_D/DQ attivi contemporaneamente | massimo 70 |
| IM 467 non impiegabile insieme al CP 443-5 Extended | | Blocchi Alarm_8 | Sì |
| IM 467 non insieme con il CP 443-1 EX40 nel funzionamento PN IO impiegabile | | <ul style="list-style-type: none"> Numero di ordini di comunicazione per blocchi Alarm_8 e blocchi per comunicazione S7 (impostabile) Preimpostazione | massimo 300 150 |
| Numero unità S5 innestabili tramite capsula adattatrice (nell'apparecchiatura centrale) | massimo 6 | Segnalazioni di tecnica di comando | Sì |
| Unità funzionali e processori di comunicazione impiegabili | | Numero degli archivi registrati contemporaneamente (SFB 37 AR_SEND) | 4 |
| <ul style="list-style-type: none"> FM CP 440 CP 441 CP Profibus e Ethernet incl. CP 443-5 Extended e IM 467 | Limitato dal numero di posti connettore e dal numero di collegamenti Limitato dal numero di posti connettore Limitato dal numero di collegamenti massimo 14 | Funzioni di test e messa in servizio | |
| Orario | | Stato/comando variabile | Sì |
| Orologio | Sì | <ul style="list-style-type: none"> Variabile Numero di variabili | Ingressi/uscite, merker, DB, ingressi/uscite di periferia, temporizzatori, contatori massimo 70 |
| <ul style="list-style-type: none"> Bufferizzato Risoluzione Precisione a <ul style="list-style-type: none"> Rete off Rete on | Sì 1 ms Deviazione giornaliera di 1,7 s Deviazione giornaliera di 8,6 s | Forzamento | Sì |
| Contatore ore di esercizio | 8 | <ul style="list-style-type: none"> Variabile Numero di variabili | Ingressi/uscite, merker, ingressi/uscite di periferia massimo 64 |
| <ul style="list-style-type: none"> Numero Campo di valori Risoluzione A ritenzione | 0 - 7 0 - 32767 ore 1 ora Sì | Stato blocco | Sì |
| Sincronizzazione oraria | Sì | Passo singolo | Sì |
| <ul style="list-style-type: none"> Nell'AS, su MPI e DP | come master o slave | Buffer di diagnostica | Sì |
| | | <ul style="list-style-type: none"> Numero delle registrazioni Preimpostazione | massimo 200 (impostabile) 120 |
| | | Numero di punti di arresto | 4 |

| Comunicazione | | Prima interfaccia funzionamento MPI | |
|---|---|--|---|
| Comunicazione PG/OP | Sì | • Servizi | |
| Numero OP collegabili | 15 senza elaborazione delle segnalazioni, 8 con elaborazione delle segnalazioni | - Comunicazione PG/OP | Sì |
| Numero delle risorse di collegamento per collegamenti S7 tramite tutte le interfacce e CP | 16, di cui una riservata per PG e una per OP | - Routing | Sì |
| Comunicazione di dati globale | Sì | - Comunicazione di dati globali | Sì |
| • Numero di circuiti GD | massimo 8 | - Comunicazione di base S7 | Sì |
| • Numero dei pacchetti GD | | - Comunicazione S7 | Sì |
| - Trasmittente | massimo 8 | • Velocità di trasmissione | Fino a 12 MBaud |
| - Ricevente | massimo 16 | | |
| • Dimensione dei pacchetti GD | massimo 64 byte | Prima interfaccia funzionamento master DP | |
| - Di cui coerenti | 1 variabile | • Servizi | |
| Comunicazione di base S7 | Sì | - Comunicazione PG/OP | Sì |
| • Nel funzionamento MPI | tramite SFC X_SEND, X_RCV, X_GET e X_PUT | - Routing | Sì |
| • Nel funzionamento master DP | tramite SFC I_GET e I_PUT | - Comunicazione di base S7 | Sì |
| • Dati utili per job | massimo 76 byte | - Comunicazione S7 | Sì |
| - Di cui coerenti | 1 variabile | - Equidistanza | Sì |
| Comunicazione S7 | Sì | - SYNC/FREEZE | Sì |
| • Dati utili per job | massimo 64 KByte | - Attivazione/disattivazione slave DP | Sì |
| - Di cui coerenti | 1 variabile (462 byte) | • Velocità di trasmissione | Fino a 12 MBaud |
| Comunicazione compatibile S5 | tramite FC AG_SEND e AG_RECV, massimo tramite 10 CP 443-1 o 443-5 | • Numero di slave DP | massimo 32 |
| • Dati utili per job | massimo 8 KByte | • Area di indirizzamento | massimo 2 KByte ingressi / 2 KByte uscite |
| - Di cui coerenti | 240 byte | • Dati utili per slave DP | massimo 244 byte E, massimo 244 byte A, massimo 244 slot massimo 128 byte per Slot |
| Comunicazione standard (FMS) | Sì (tramite CP e FB caricabile) | | |
| Interfacce | | Avvertenza: | |
| Interfaccia 1 | | • La somma totale dei byte di ingresso per tutti gli slot può essere pari al massimo a 244. | |
| Tipo d'interfaccia | Integrata | • La somma totale dei byte di uscita per tutti gli slot può essere pari al massimo a 244. | |
| Fisica | RS 485/Profibus | • L'area di indirizzamento dell'interfaccia (massimo 2 KByte ingressi/ 2 KByte uscite) nel totale per tutti i 32 slave non deve essere superata. | |
| A potenziale separato | Sì | Slave DP | |
| Alimentazione all'interfaccia (15 - 30V DC) | massimo 150 mA | • Servizi | |
| Numero delle risorse di collegamento | MPI: 16 DP: 16 | - Stato/comando; | Sì |
| | | - programmazione; | Sì |
| | | - Routing | Sì |
| | | • File GSD | http://www.ad.siemens.de/csi_e/gsd |
| | | • Velocità di trasmissione | Fino a 12 MBaud |
| | | • Memoria di trasferimento | 244 byte ingressi / 244 byte uscite |
| | | - Slot virtuali | massimo 32 |
| | | - Dati utili per area di indirizzamento | massimo 32 byte |
| | | - Di cui coerenti | 32 byte |
| Funzionalità | | | |
| • MPI | Sì | | |
| • PROFIBUS DP | Master DP/slave DP | | |

| Programmazione | | Dimensioni | |
|--|---|--|---|
| Linguaggio di programmazione | KOP, FUP, AWL, SCL | Misure di montaggio LxAxP (mm) | 25x290x219 |
| Quantità di operazioni | Vedere la lista operazioni | Posti connettore necessari | 1 |
| Livelli di parentesi | 8 | Peso | Ca. 0,72 kg |
| Funzioni di sistema (SFC) | Vedere la lista operazioni | Tensioni, correnti | |
| Numero di SFC contemporaneamente attivi per ramo | | Assorbimento di corrente dal bus S7-400 (DC 5 V) | Tip. 0,6 A massimo 0,7 A |
| <ul style="list-style-type: none"> • DPSYC_FR 2 • D_ACT_DP 4 • RD_REC 8 • WR_REC 8 • WR_PARM 8 • PARM_MOD 1 • WR_DPARM 2 • DPNRM_DG 8 • RDSYSST 1 - 8 • DP_TOPOL 1 | | Assorbimento di corrente dal bus S7-400 (DC 24 V) La CPU non assorbe corrente a 24 V, essa mette solo questa tensione a disposizione dell'interfaccia MPI/DP. | Somma degli assorbimenti di corrente delle componenti collegate alle interfacce MPI/DP, tuttavia massimo 150 mA per interfaccia |
| Blocchi funzionali di sistema (SFB) | Vedere la lista operazioni | Corrente di alimentazione a batteria | Tip. 350 µA massimo 890 µA |
| Numero di SFB contemporaneamente attivi | | Tempo massimo di bufferizzazione | Vedere il manuale <i>Caratteristiche delle unità modulari</i> , capitolo 3.3 |
| <ul style="list-style-type: none"> • RDREC 8 • WRREC 8 | | Tensione di alimentazione per tamponamento esterno della CPU | DC 5 - 15 V |
| Protezione del programma utente | Protezione tramite password utente | Potenza dissipata | Tip. 3,0 W |
| Accesso a dati coerenti nell'immagine di processo | Sì | | |
| Sincronismo di clock | | | |
| Dati utili per slave con sincronia di clock | massimo 244 byte | | |
| Numero massimo di byte e slave in un'immagine di processo | Sono richiesti: numero di byte / 100 + numero di slave < 16 | | |
| Equidistanza | Sì | | |
| Clock più piccolo | 1,5 ms 0,5 ms senza utilizzo degli SFC 126, 127 | | |
| Clock massimo | 32 ms | | |
| Tempo di sincronizzazione CiR | | | |
| Carico di base | 100 ms | | |
| Tempo per byte di I/O | 200 µs | | |

6.2 Dati tecnici della CPU 412-2; (6ES7412-2XG04-0AB0)

| CPU e versione | | Aree dei dati e rispettiva ritenzione | |
|--|--|---|--|
| Numero di ordinazione | 6ES7412-2XG04-0AB0 | Area dati a ritenzione totale (incl. merker; temporizzatori; contatori) | Memoria di lavoro e di caricamento totale (con batteria tampone) |
| • Versione di firmware | V 4.0.0 | Merker | 4 KByte |
| corrispondente pacchetto di programmazione | Da STEP 7 V 5.2 SP1 HF3 con aggiornamento HW | • Ritenzione impostabile | Da MB 0 a MB 4095 |
| | | • Ritenzione preimpostata | Da MB 0 a MB 15 |
| Memoria | | Merker di clock | 8 (1 byte di merker) |
| Memoria di lavoro | | Blocchi di dati | massimo 511 (DB 0 riservato) |
| • Integrata | 128 KByte per codice 128 KByte per dati | • Dimensione | massimo 64 KByte |
| Memoria di caricamento | | Dati locali (impostabili) | massimo 8 KByte |
| • Integrata | 256 KByte RAM | • Preimpostazione | 4 KByte |
| • Ampliabile FEPRM | Con memory card (FLASH) fino a 64 MByte | Blocchi | |
| • RAM ampliabile | Con memory card (RAM) fino a 64 MByte | OB | Vedere la lista operazioni |
| Tamponamento | Sì | • Dimensione | massimo 64 KByte |
| • Con batteria | Tutti i dati | Profondità di annidamento | |
| • Senza batteria | Nessuna | • Per classe di priorità | 24 |
| Tempi di elaborazione tipici | | • Aggiuntiva all'interno di un OB di errore | 1 |
| Tempi di elaborazione per | | FB | massimo 256 |
| • Operazioni di bit | 0,1 µs | • Dimensione | massimo 64 KByte |
| • Operazioni di parole | 0,1 µs | FC | massimo 256 |
| • Operazioni aritmetiche a virgola fissa | 0,1 µs | • Dimensione | massimo 64 KByte |
| • Operazioni aritmetiche a virgola mobile | 0,3 µs | Aree di indirizzamento (ingressi/uscite) | |
| Temporizzatori/contatori e rispettiva ritenzione | | Area di indirizzamento periferia in totale | 4 KByte/4 KByte |
| Contatore S7 | 2048 | • Di cui decentrata | Incl. indirizzi di diagnostica, indirizzi per interfacce di periferia ecc. |
| • Ritenzione impostabile | Da Z 0 a Z 2047 | Interfaccia MPI/DP | 2 KByte/2 KByte |
| • Preimpostazione | Da Z 0 a Z 7 | Interfaccia DP | 4 KByte/4 KByte |
| • Campo di conteggio | Da 1 a 999 | Immagine di processo | 4 KByte/4 KByte (impostabile) |
| Counter IEC | Sì | • Preimpostazione | 128 byte/128 byte |
| • Tipo | SFB | • Numero delle immagini di processo parziali | massimo 15 |
| Tempi S7 | 2048 | • Dati coerenti | massimo 244 byte |
| • Ritenzione impostabile | Da T 0 a T 2047 | Canali digitali | massimo 32768/ massimo 32768 |
| • Preimpostazione | Nessun temporizzatore a ritenzione | • Di cui centrali | massimo 32768/ massimo 32768 |
| • Campo di tempo | Da 10 ms a 9990 s | Canali analogici | massimo 2048/ massimo 2048 |
| Timer IEC | Sì | • Di cui centrali | massimo 2048/ massimo 2048 |
| • Art | SFB | | |

| Struttura | | Funzioni di segnalazione S7 | |
|--|--|--|--|
| Apparecchiature centrali/apparecchiature di ampliamento | massimo 1/21 | Numero di stazioni registrabili per funzioni dis segnalazione (ad es. WIN CC o SIMATIC OP) | massimo 8 |
| Multicomputing | massimo 4 CPU (con UR1 o UR2) | Segnalazioni relative ai simboli | Sì |
| Numero IM innestabili (totale) | massimo 6 | <ul style="list-style-type: none"> Numero di segnalazioni | |
| <ul style="list-style-type: none"> IM 460 IM 463-2 | <ul style="list-style-type: none"> massimo 6 massimo 4 | <ul style="list-style-type: none"> - Totale - Griglia di 100 ms - Griglia di 500 ms - Griglia di 1000 ms | <ul style="list-style-type: none"> massimo 512 Nessuna massimo 256 massimo 256 |
| Numero di master DP | | <ul style="list-style-type: none"> Numero dei valori supplementari per segnalazione | 1 |
| <ul style="list-style-type: none"> Integrata Tramite IM 467 Tramite CP 443-5 Ext. | <ul style="list-style-type: none"> 2 massimo 4 massimo 10 | <ul style="list-style-type: none"> - Con griglia di 100 ms - Con griglia di 500, 1000 ms | <ul style="list-style-type: none"> Nessuna 1 |
| IM 467 non impiegabile insieme al CP 443-5 Extended | | Segnalazioni relative ai blocchi | Sì |
| IM 467 non insieme con il CP 443-1 EX40 nel funzionamento PN IO impiegabile | | <ul style="list-style-type: none"> Blocchi alarm_S/SQ o blocchi Alarm_D/DQ attivi contemporaneamente | massimo 70 |
| Numero unità S5 innestabili tramite capsula adattatrice (nell'apparecchiatura centrale) | massimo 6 | Blocchi Alarm_8 | Sì |
| Unità funzionali e processori di comunicazione impiegabili | | <ul style="list-style-type: none"> Numero di ordini di comunicazione per blocchi Alarm_8 e blocchi per comunicazione S7 (impostabile) | massimo 300 |
| <ul style="list-style-type: none"> FM CP 440 CP 441 CP Profibus e Ethernet incl. CP 443-5 Extended e IM 467 | <ul style="list-style-type: none"> Limitato dal numero di posti connettore e dal numero di collegamenti Limitato dal numero di posti connettore Limitato dal numero di collegamenti massimo 14 | <ul style="list-style-type: none"> Preimpostazione | 150 |
| | | Segnalazioni di tecnica di comando | Sì |
| | | Numero degli archivi registrati contemporaneamente (SFB 37 AR_SEND) | 4 |
| Orario | | Funzioni di test e messa in servizio | |
| Orologio | Sì | Stato/comando variabile | Sì |
| <ul style="list-style-type: none"> Bufferizzato Risoluzione Precisione a <ul style="list-style-type: none"> Rete off Rete on | <ul style="list-style-type: none"> Sì 1 ms Deviazione giornaliera di 1,7 s Deviazione giornaliera di 8,6 s | <ul style="list-style-type: none"> Variabile Numero di variabili | <ul style="list-style-type: none"> Ingressi/uscite, merker, DB, ingressi/uscite di periferia, temporizzatori, contatori massimo 70 |
| Contatore ore di esercizio | 8 | Forzamento | Sì |
| <ul style="list-style-type: none"> Numero Campo di valori Risoluzione A ritenzione | <ul style="list-style-type: none"> 0 - 7 0 - 32767 ore 1 ora Sì | <ul style="list-style-type: none"> Variabile Numero | <ul style="list-style-type: none"> Ingressi/uscite, merker, ingressi/uscite di periferia massimo 64 |
| Sincronizzazione oraria | Sì | Stato blocco | Sì |
| <ul style="list-style-type: none"> Nell'AS, su MPI e DP | come master o slave | Passo singolo | Sì |
| | | Buffer di diagnostica | Sì |
| | | <ul style="list-style-type: none"> Numero delle registrazioni Preimpostazione | <ul style="list-style-type: none"> massimo 400 (impostabile) 120 |
| | | Numero di punti di arresto | 4 |

| Comunicazione | | Prima interfaccia funzionamento MPI | |
|---|---|--|---|
| Comunicazione PG/OP | Sì | • Servizi | |
| Numero OP collegabili | 15 senza elaborazione delle segnalazioni, 8 con elaborazione delle segnalazioni | - Comunicazione PG/OP | Sì |
| Numero delle risorse di collegamento per collegamenti S7 tramite tutte le interfacce e CP | 16, di cui una riservata per PG e una per OP | - Routing | Sì |
| Comunicazione di dati globale | Sì | - Comunicazione di dati globali | Sì |
| • Numero di circuiti GD | massimo 8 | - Comunicazione di base S7 | Sì |
| • Numero dei pacchetti GD | | - Comunicazione S7 | Sì |
| - Trasmittente | massimo 8 | • Velocità di trasmissione | Fino a 12 MBaud |
| - Ricevente | massimo 16 | | |
| • Dimensione dei pacchetti GD | massimo 64 byte | Prima interfaccia funzionamento master DP | |
| - Di cui coerenti | 1 variabile | • Servizi | |
| Comunicazione di base S7 | Sì | - Comunicazione PG/OP | Sì |
| • Nel funzionamento MPI | tramite SFC X_SEND, X_RCV, X_GET e X_PUT | - Routing | Sì |
| • Nel funzionamento master DP | tramite SFC I_GET e I_PUT | - Comunicazione di base S7 | Sì |
| • Dati utili per job | massimo 76 byte | - Comunicazione S7 | Sì |
| - Di cui coerenti | 1 variabile | - Equidistanza | Sì |
| Comunicazione S7 | Sì | - SYNC/FREEZE | Sì |
| • Dati utili per job | massimo 64 KByte | - Attivazione/disattivazione slave DP | Sì |
| - Di cui coerenti | 1 variabile (462 byte) | • Velocità di trasmissione | Fino a 12 MBaud |
| Comunicazione compatibile S5 | tramite FC AG_SEND e AG_RECV, massimo tramite 10 CP 443-1 o 443-5 | • Numero di slave DP | massimo 32 |
| • Dati utili per job | massimo 8 KByte | • Area di indirizzamento | massimo 2 KByte ingressi / 2 KByte uscite |
| - Di cui coerenti | 240 byte | • Dati utili per slave DP | massimo 244 byte E, massimo 244 byte A, massimo 244 slot massimo 128 byte per Slot |
| Comunicazione standard (FMS) | Sì (tramite CP e FB caricabile) | | |
| Interfacce | | Avvertenza: | |
| Interfaccia 1 | | • La somma totale dei byte di ingresso per tutti gli slot può essere pari al massimo a 244. | |
| Tipo d'interfaccia | Integrata | • La somma totale dei byte di uscita per tutti gli slot può essere pari al massimo a 244. | |
| Fisica | RS 485/Profibus | • L'area di indirizzamento dell'interfaccia (massimo 2 KByte ingressi/ 2 KByte uscite) nel totale per tutti i 32 slave non deve essere superata. | |
| A potenziale separato | Sì | Prima interfaccia funzionamento slave DP | |
| Alimentazione all'interfaccia (15 - 30V DC) | massimo 150 mA | La CPU può essere progettata solo una volta quale slave DP anche se essa dispone di più interfacce. | |
| Numero delle risorse di collegamento | MPI: 16 DP: 16 | • Servizi | |
| Funzionalità | | - Stato/comando; | Sì |
| • MPI | Sì | - programmazione; | Sì |
| • PROFIBUS DP | Master DP/slave DP | - Routing | Sì |
| | | • File GSD | http://www.ad.siemens.de/csi_e/gsd |
| | | • Velocità di trasmissione | Fino a 12 MBaud |
| | | • Memoria di trasferimento | 244 byte ingressi / 244 byte uscite |
| | | - Slot virtuali | massimo 32 |
| | | - Dati utili per area di indirizzamento | massimo 32 byte |
| | | - Di cui coerenti | 32 byte |

| Interfaccia 2 | |
|--|--|
| Tipo d'interfaccia | Integrata |
| Fisica | RS 485/Profibus |
| A potenziale separato | Sì |
| Alimentazione all'interfaccia (15 - 30V DC) | massimo 150 mA |
| Numero delle risorse di collegamento | 16 |
| Funzionalità | |
| • PROFIBUS DP | Master DP/slave DP |
| Seconda interfaccia funzionamento master DP | |
| • Servizi | |
| - Comunicazione PG/OP | Sì |
| - Routing | Sì |
| - Comunicazione di base S7 | Sì |
| - Comunicazione S7 | Sì |
| - Equidistanza | Sì |
| - SYNC/FREEZE | Sì |
| - Attivazione/disattivazione slave DP | Sì |
| • Velocità di trasmissione | Fino a 12 MBaud |
| • Numero di slave DP | massimo 64 |
| • Area di indirizzamento | massimo 4 KByte ingressi / 4 KByte uscite |
| • Dati utili per slave DP | massimo 244 byte E, massimo 244 byte A, massimo 244 slot massimo 128 byte per Slot |
| Avvertenza: | |
| • La somma totale dei byte di ingresso per tutti gli slot può essere pari al massimo a 244. | |
| • La somma totale dei byte di uscita per tutti gli slot può essere pari al massimo a 244. | |
| • L'area di indirizzamento dell'interfaccia (massimo 4 KByte ingressi/ 4 KByte uscite) nel totale per tutti i 64 slave non deve essere superata. | |
| Seconda interfaccia funzionamento slave DP | |
| Dati tecnici come l'interfaccia 1 | |
| Programmazione | |
| Linguaggio di programmazione | KOP, FUP, AWL, SCL |
| Quantità di operazioni | Vedere la lista operazioni |
| Livelli di parentesi | 8 |
| Funzioni di sistema (SFC) | Vedere la lista operazioni |
| Numero di SFC contemporaneamente attivi per ramo | |
| • DPSYC_FR | 2 |
| • D_ACT_DP | 4 |
| • RD_REC | 8 |
| • WR_REC | 8 |

| • WR_PARM | 8 |
|--|---|
| • PARM_MOD | 1 |
| • WR_DPARM | 2 |
| • DPNRM_DG | 8 |
| • RDSYSST | 1 - 8 |
| • DP_TOPOL | 1 |
| Blocchi funzionali di sistema (SFB) | Vedere la lista operazioni |
| Numero di SFB contemporaneamente attivi | |
| • RDREC | 8 |
| • WRREC | 8 |
| Prot. del programma utente | Protezione tramite password |
| Accesso a dati coerenti nell'immagine di processo | Sì |
| Tempo di sincronizzazione CiR | |
| Carico di base | 100 ms |
| Tempo per byte di I/O | 200 µs |
| Sincronismo di clock | |
| Dati utili per slave con sincronia di clock | massimo 244 byte |
| Numero massimo di byte e slave in un'immagine di processo | Sono richiesti: numero di byte / 100 + numero di slave < 16 |
| Equidistanza | Sì |
| Clock più piccolo | 1,5 ms, 0,5 ms senza utilizzo degli SFC 126, 127 |
| Clock massimo | 32 ms |
| Vedere il manuale <i>Sincronismo di clock</i> | |
| Dimensioni | |
| Misure di montaggio LxAxP (mm) | 25x290x219 |
| Posti connettore necessari | 1 |
| Peso | ca. 0,72 kg |
| Tensioni, correnti | |
| Assorbimento di corrente dal bus S7-400 (DC 5 V) | Tip. 1,0 A massimo 1,2 A |
| Assorbimento di corrente dal bus S7-400 (DC 24 V). La CPU non assorbe corrente a 24 V, essa mette solo questa tensione a disposizione dell'interfaccia MPI/DP. | Somma degli assorbimenti di corrente delle componenti collegate alle interfacce MPI/DP, tuttavia massimo 150 mA per interfaccia |
| Corrente di alimentazione a batteria | Tip. 350 µA massimo 890 µA |
| Tempo massimo di bufferizzazione | Vedere il manuale <i>Caratteristiche delle unità modulari</i> , capitolo 3.3 |
| Tensione di alimentazione per tamponamento esterno della CPU | DC 5 - 15 V |
| Potenza dissipata | Tip. 4,5 W |

6.3 Dati tecnici della CPU 414-2; (6ES7414-2XG04-0AB0)

| CPU e versione | | Aree dei dati e rispettiva ritenzione | |
|--|--|--|--|
| Denominazione prodotto leggibile dalla macchina | 6ES7414-2XG04-0AB0 | Area dati a ritenzione in totale (incl. merker; temporizzatori; contatori) | Memoria di lavoro e di caricamento totale (con batteria tampone) |
| • Versione di firmware | V 4.0.0 | Merker | 8 KByte |
| corrispondente pacchetto di programmazione | Da STEP 7 V 5.2 SP1 HF3 con aggiornamento HW | • Ritenzione impostabile | Da MB 0 a MB 8191 |
| | | • Ritenzione preimpostata | Da MB 0 a MB 15 |
| Memoria | | Merker di clock | 8 (1 byte di merker) |
| Memoria di lavoro | | Blocchi di dati | massimo 4095 (DB 0 riservato) |
| • Integrata | 256 KByte per codice 256 KByte per dati | • Dimensione | massimo 64 KByte |
| Memoria di caricamento | | Dati locali (impostabili) | massimo 16 KByte |
| • Integrata | 256 KByte RAM | • Preimpostazione | 8 KByte |
| • Ampliabile FEPRM | Con memory card (FLASH) fino a 64 MByte | Blocchi | |
| • RAM ampliabile | Con memory card (RAM) fino a 64 MByte | OB | Vedere la lista operazioni |
| Tamponamento con batteria | Sì, tutti i dati | • Dimensione | massimo 64 KByte |
| Tempi di elaborazione tipici | | Profondità di annidamento | |
| Tempi di elaborazione per | | • Per classe di priorità | 24 |
| • Operazioni di bit | 0,06 µs | • Aggiuntiva all'interno di un OB di errore | 1 |
| • Operazioni di parole | 0,06 µs | FB | massimo 2048 |
| • Operazioni aritmetiche a virgola fissa | 0,06 µs | • Dimensione | massimo 64 KByte |
| • Operazioni aritmetiche a virgola mobile | 0,18 µs | FC | massimo 2048 |
| | | • Dimensione | massimo 64 KByte |
| Temporizzatori/contatori e rispettiva ritenzione | | Aree di indirizzamento (ingressi/uscite) | |
| Contatore S7 | 2048 | Area di indirizzamento periferia in totale | 8 KByte/8 KByte |
| • Ritenzione impostabile | Da Z 0 a Z 2047 | • Di cui decentrata | Incl. indirizzi di diagnostica, indirizzi per interfacce di periferia ecc. |
| • Preimpostazione | Da Z 0 a Z 7 | Interfaccia MPI/DP | 2 KByte/2 KByte |
| • Campo di conteggio | Da 1 a 999 | Interfaccia DP | 6 KByte/6 KByte |
| Counter IEC | Sì | Immagine di processo | 8 KByte/8 KByte (impostabile) |
| • Tipo | SFB | • Preimpostazione | 256 byte/256 byte |
| Tempi S7 | 2048 | • Numero delle immagini di processo parziali | massimo 15 |
| • Ritenzione impostabile | Da T 0 a T 2047 | • Dati coerenti | massimo 244 byte |
| • Preimpostazione | Nessun temporizzatore a ritenzione | Canali digitali | massimo 65536/ massimo 65536 |
| • Campo di tempo | Da 10 ms a 9990 s | • Di cui centrali | massimo 65536/ massimo 65536 |
| Timer IEC | Sì | Canali analogici | massimo 4096/ massimo 4096 |
| • Art | SFB | • Di cui centrali | massimo 4096/ massimo 4096 |

| Struttura | | Funzioni di segnalazione S7 | |
|--|--|--|--|
| Apparecchiature centrali/apparecchiature di ampliamento | massimo 1/21 | Numero di stazioni registrabili per funzioni dis segnalazione (ad es. WIN CC o SIMATIC OP) | massimo 8 |
| Multicomputing | massimo 4 CPU (con UR1 o UR2) | Segnalazioni relative ai simboli | Sì |
| Numero IM innestabili (totale) | massimo 6 | <ul style="list-style-type: none"> Numero di segnalazioni - Totale - Griglia di 100 ms - Griglia di 500 ms - Griglia di 1000 ms | massimo 512 massimo 128 massimo 256 massimo 512 |
| <ul style="list-style-type: none"> IM 460 IM 463-2 | massimo 6 massimo 4 | <ul style="list-style-type: none"> Numero dei valori supplementari per segnalazione - Con griglia di 100 ms - Con griglia di 500, 1000 ms | massimo 1 massimo 10 |
| Numero di master DP | | Segnalazioni relative ai blocchi | Sì |
| <ul style="list-style-type: none"> Integrata Tramite IM 467 Tramite CP 443-5 Ext. | 2 massimo 4 massimo 10 | <ul style="list-style-type: none"> Blocchi alarm_S/SQ o blocchi Alarm_D/DQ attivi contemporaneamente | massimo 100 |
| IM 467 non impiegabile insieme al CP 443-5 Extended | | Blocchi Alarm_8 | Sì |
| IM 467 non insieme con il CP 443-1 EX40 nel funzionamento PN IO impiegabile | | <ul style="list-style-type: none"> Numero di ordini di comunicazione per blocchi Alarm_8 e blocchi per comunicazione S7 (impostabile) Preimpostazione | massimo 600 300 |
| Numero unità S5 innestabili tramite capsula adattatrice (nell'apparecchiatura centrale) | massimo 6 | Segnalazioni di tecnica di comando | Sì |
| Unità funzionali e processori di comunicazione impiegabili | | Numero degli archivi registrabili contemporaneamente (SFB 37 AR_SEND) | 16 |
| <ul style="list-style-type: none"> FM CP 440 CP 441 Profibus e Ethernet CP, LAN incl. CP 443-5 Extended e IM 467 | Limitato dal numero di posti connettore e dal numero di collegamenti Limitato dal numero di posti connettore Limitato dal numero di collegamenti massimo 14 | Funzioni di test e messa in servizio | |
| Orario | | Stato/comando variabile | Sì |
| Orologio | Sì | <ul style="list-style-type: none"> Variabile Numero di variabili | Ingressi/uscite, merker, DB, ingressi/uscite di periferia, temporizzatori, contatori massimo 70 |
| <ul style="list-style-type: none"> Bufferizzato Risoluzione Precisione a <ul style="list-style-type: none"> Rete off Rete on | Sì 1 ms Deviazione giornaliera di 1,7 s Deviazione giornaliera di 8,6 s | Forzamento | Sì |
| Contatore ore di esercizio | 8 | <ul style="list-style-type: none"> Variabile Numero di variabili | Ingressi/uscite, merker, ingressi/uscite di periferia massimo 256 |
| <ul style="list-style-type: none"> Numero Campo di valori Risoluzione A ritenzione | 0 - 7 0 - 32767 ore 1 ora Sì | Stato blocco | Sì |
| Sincronizzazione oraria | Sì | Passo singolo | Sì |
| <ul style="list-style-type: none"> Nell'AS, su MPI e DP | come master o slave | Buffer di diagnostica | Sì |
| | | <ul style="list-style-type: none"> Numero delle registrazioni Preimpostazione | massimo 400 (impostabile) 120 |
| | | Numero di punti di arresto | 4 |

| Comunicazione | |
|---|---|
| Comunicazione PG/OP | Sì |
| Numero OP collegabili | 31 senza elaborazione delle segnalazioni, 8 con elaborazione delle segnalazioni |
| Numero delle risorse di collegamento per collegamenti S7 tramite tutte le interfacce e CP | 32, di cui una riservata per PG e una per OP |
| Comunicazione di dati globale | Sì |
| • Numero di circuiti GD | massimo 8 |
| • Numero dei pacchetti GD | |
| - Trasmittente | massimo 8 |
| - Ricevente | massimo 16 |
| • Dimensione dei pacchetti GD | massimo 64 byte |
| - Di cui coerenti | 1 variabile |
| Comunicazione di base S7 | Sì |
| • Nel funzionamento MPI | tramite SFC X_SEND, X_RCV, X_GET e X_PUT |
| • Nel funzionamento master DP | tramite SFC I_GET e I_PUT |
| • Dati utili per job | massimo 76 byte |
| - Di cui coerenti | 1 variabile |
| Comunicazione S7 | Sì |
| • Dati utili per job | massimo 64 KByte |
| - Di cui coerenti | 1 variabile (462 byte) |
| Comunicazione compatibile S5 | tramite FC AG_SEND e AG_RECV, massimo tramite 10 CP 443-1 o 443-5 |
| • Dati utili per job | massimo 8 KByte |
| - Di cui coerenti | 240 byte |
| Comunicazione standard (FMS) | Sì (tramite CP e FB caricabile) |
| Interfacce | |
| Interfaccia 1 | |
| Tipo d'interfaccia | Integrata |
| Fisica | RS 485/Profibus |
| A potenziale separato | Sì |
| Alimentazione all'interfaccia (15 - 30V DC) | massimo 150 mA |
| Numero delle risorse di collegamento | MPI: 32 DP: 16 |
| Funzionalità | |
| • MPI | Sì |
| • PROFIBUS DP | Master DP/slave DP |

| Prima interfaccia funzionamento MPI | |
|--|---|
| Servizi | |
| • Comunicazione PG/OP | Sì |
| - Routing | Sì |
| - Comunicazione di dati globali | Sì |
| - Comunicazione di base S7 | Sì |
| - Comunicazione S7 | Sì |
| • Velocità di trasmissione | Fino a 12 MBaud |
| Prima interfaccia funzionamento master DP | |
| Servizi | |
| - Comunicazione PG/OP | Sì |
| - Routing | Sì |
| - Comunicazione di base S7 | Sì |
| - Comunicazione S7 | Sì |
| - Equidistanza | Sì |
| - SYNC/FREEZE | Sì |
| - Attivazione/disattivazione slave DP | Sì |
| • Velocità di trasmissione | Fino a 12 MBaud |
| • Numero di slave DP | massimo 32 |
| • Area di indirizzamento | massimo 2 KByte ingressi / 2 KByte uscite |
| • Dati utili per slave DP | massimo 244 byte E, massimo 244 byte A, massimo 244 slot massimo 128 byte per Slot |
| Avvertenza: | |
| • La somma totale dei byte di ingresso per tutti gli slot può essere pari al massimo a 244. | |
| • La somma totale dei byte di uscita per tutti gli slot può essere pari al massimo a 244. | |
| • L'area di indirizzamento dell'interfaccia (massimo 2 KByte ingressi/ 2 KByte uscite) nel totale per tutti i 32 slave non deve essere superata. | |
| Prima interfaccia funzionamento slave DP | |
| La CPU può essere progettata solo una volta quale slave DP anche se essa dispone di più interfacce. | |
| Servizi | |
| - Stato/comando; | Sì |
| - programmazione; | Sì |
| - Routing | Sì |
| • File GSD | http://www.ad.siemens.de/csi_e/gsd |
| • Velocità di trasmissione | Fino a 12 MBaud |
| • Memoria di trasferimento | 244 byte ingressi / 244 byte uscite |
| - Slot virtuali | massimo 32 |
| - Dati utili per area di indirizzamento | massimo 32 byte |
| - Di cui coerenti | 32 byte |

| Interfaccia 2 | |
|--|---|
| Tipo d'interfaccia | Integrata |
| Fisica | RS 485/Profibus |
| A potenziale separato | Sì |
| Alimentazione all'interfaccia (15 - 30V DC) | massimo 150 mA |
| Numero delle risorse di collegamento | 16 |
| Funzionalità | |
| • PROFIBUS DP | Master DP/slave DP |
| Seconda interfaccia funzionamento master DP | |
| • Servizi | |
| - Comunicazione PG/OP | Sì |
| - Routing | Sì |
| - Comunicazione di base S7 | Sì |
| - Comunicazione S7 | Sì |
| - Equidistanza | Sì |
| - SYNC/FREEZE | Sì |
| - Attivazione/disattivazione slave DP | Sì |
| • Velocità di trasmissione | Fino a 12 MBaud |
| • Numero di slave DP | massimo 96 |
| • Area di indirizzamento | massimo 6 KByte ingressi / 6 KByte uscite |
| • Dati utili per slave DP | massimo 244 byte E, massimo 244 byte A, massimo 244 slot massimo 128 byte per Slot |
| Avvertenza: | |
| • La somma totale dei byte di ingresso per tutti gli slot può essere pari al massimo a 244. | |
| • La somma totale dei byte di uscita per tutti gli slot può essere pari al massimo a 244. | |
| • L'area di indirizzamento dell'interfaccia (massimo 6 KByte ingressi/ 6KByte uscite) nel totale per tutti i 96 slave non deve essere superata. | |
| Seconda interfaccia funzionamento slave DP | |
| Dati tecnici come prima interfaccia | |
| Programmazione | |
| Linguaggio di programmazione | KOP, FUP, AWL, SCL |
| Quantità di operazioni | Vedere la lista operazioni |
| Livelli di parentesi | 8 |
| Funzioni di sistema (SFC) | Vedere la lista operazioni |
| Blocchi funzionali di sistema (SFB) | Vedere la lista operazioni |
| Numero di SFC contemporaneamente attivi per ramo | |
| • DPSYC_FR | 2 |
| • D_ACT_DP | 4 |
| • RD_REC | 8 |
| • WR_REC | 8 |
| • WR_PARM | 8 |
| • PARM_MOD | 1 |
| • WR_DPARM | 2 |
| • DPNRM_DG | 8 |
| • RDSYSST | 1 - 8 |
| • DP_TOPOL | 1 |
| Blocchi funzionali di sistema (SFB) | Vedere la lista operazioni |
| Numero di SFB contemporaneamente attivi | |
| • RDREC | 8 |
| • WRREC | 8 |
| Prot. del programma utente | Protezione tramite password |
| Accesso a dati coerenti nell'immagine di processo | Sì |
| Tempo di sincronizzazione CiR | |
| Carico di base | 100 ms |
| Tempo per byte di I/O | 80 µs |
| Sincronismo di clock | |
| Dati utili per slave con sincronia di clock | massimo 244 byte |
| Numero massimo di byte e slave in un'immagine di processo | Sono richiesti: numero di byte / 100 + numero di slave < 26 |
| Equidistanza | Sì |
| Clock più piccolo | 1 ms, 0,5 ms senza utilizzo degli SFC 126, 127 |
| Clock massimo | 32 ms |
| Vedere il manuale <i>Sincronismo di clock</i> | |
| Dimensioni | |
| Misure di montaggio LxAxP (mm) | 25x290x219 |
| Posti connettore necessari | 1 |
| Peso | ca. 0,72 kg |
| Tensioni, correnti | |
| Assorbimento di corrente dal bus S7-400 (DC 5 V) | Tip. 1,0 A massimo 1,2 A |
| Assorbimento di corrente dal bus S7-400 (DC 24 V). La CPU non assorbe corrente a 24 V, essa mette solo questa tensione a disposizione dell'interfaccia MPI/DP. | Somma degli assorbimenti di corrente delle componenti collegate alle interfacce MPI/DP, tuttavia massimo 150 mA per interfaccia |
| Corrente di alim. a batteria | Tip. 550 µA massimo 1530 µA |
| Tempo massimo di bufferizzazione | Vedere il manuale <i>Caratteristiche delle unità modulari</i> , capitolo 3.3 |
| Tensione di alimentazione per tamponamento esterno della CPU | DC 5 - 15 V |
| Potenza dissipata | Tip. 4,5 W |

6.4 Dati tecnici della CPU 414-3; (6ES7414-3XJ04-0AB0)

| CPU e versione | | Blocchi di dati | |
|---|--|--|--|
| Denominazione prodotto leggibile dalla macchina | 6ES7414-3XJ04-0AB0 | | massimo 4095 (DB 0 riservato) |
| • Versione di firmware | V4.0.0 | • Dimensione | massimo 64 KByte |
| corrispondente pacchetto di programmazione | Da STEP 7 V 5.2 SP1 HF3 con aggiornamento HW | Dati locali (impostabili) | massimo 16 KByte |
| | | • Preimpostazione | 8 KByte |
| Memoria | | Blocchi | |
| Memoria di lavoro | | OB | Vedere la lista operazioni |
| • Integrata | 700 KByte per codice 700 KByte per dati | • Dimensione | massimo 64 KByte |
| Memoria di caricamento | | Profondità di annidamento | |
| • Integrata | 256 KByte RAM | • Per classe di priorità | 24 |
| • Ampliabile FEPRM | Con memory card (FLASH) fino a 64 MByte | • Aggiuntiva all'interno di un OB di errore | 1 |
| • RAM ampliabile | Con memory card (RAM) fino a 64 MByte | FB | massimo 2048 |
| Tamponamento con batteria | Sì, tutti i dati | • Dimensione | massimo 64 KByte |
| Tempi di elaborazione tipici | | FC | massimo 2048 |
| Tempi di elaborazione per | | • Dimensione | massimo 64 KByte |
| • Operazioni di bit | 0,06 µs | Aree di indirizzamento (ingressi/uscite) | |
| • Operazioni di parole | 0,06 µs | Area di indirizzamento periferiche in totale | 8 KByte/8 KByte |
| • Operazioni aritmetiche a virgola fissa | 0,06 µs | • Di cui decentrata | Incl. indirizzi di diagnostica, indirizzi per interfacce di periferia ecc. |
| • Operazioni aritmetiche a virgola mobile | 0,18 µs | Interfaccia MPI/DP | 2 KByte/2 KByte |
| Temporizzatori/contatori e rispettiva ritenzione | | Interfaccia DP | 6 KByte/6 KByte |
| Contatore S7 | 2048 | Immagine di processo | 8 KByte/8 KByte (impostabile) |
| • Ritenzione impostabile | Da Z 0 a Z 2047 | • Preimpostazione | 256 byte/256 byte |
| • Preimpostazione | Da Z 0 a Z 7 | • Numero delle immagini di processo parziali | massimo 15 |
| • Campo di conteggio | Da 1 a 999 | • Dati coerenti | massimo 244 byte |
| Counter IEC | Sì | Canali digitali | massimo 65536/ massimo 65536 |
| • Tipo | SFB | • Di cui centrali | massimo 65536/ massimo 65536 |
| Tempi S7 | 2048 | Canali analogici | massimo 4096/ massimo 4096 |
| • Ritenzione impostabile | Da T 0 a T 2047 | • Di cui centrali | massimo 4096/ massimo 4096 |
| • Preimpostazione | Nessun temporizzatore a ritenzione | | |
| • Campo di tempo | Da 10 ms a 9990 s | | |
| Timer IEC | Sì | | |
| • Art | SFB | | |
| Aree dei dati e rispettiva ritenzione | | | |
| Area dati a ritenzione totale (incl. merker; temporizzatori; contatori) | Memoria di lavoro e di caricamento totale (con batteria tampone) | | |
| Merker | 8 KByte | | |
| • Ritenzione impostabile | Da MB 0 a MB 8191 | | |
| • Ritenzione preimpostata | Da MB 0 a MB 15 | | |
| Merker di clock | 8 (1 byte di merker) | | |

| Struttura | | Funzioni di segnalazione S7 | |
|--|--|---|--|
| Apparecchiature centrali/apparecchiature di ampliamento | massimo 1/21 | Numero di stazioni registrabili per funzioni di segnalazione (ad es. WIN CC o SIMATIC OP) | massimo 8 |
| Multicomputing | massimo 4 CPU (con UR1 o UR2) | Segnalazioni relative ai simboli | Sì |
| Numero IM innestabili (totale) | massimo 6 | <ul style="list-style-type: none"> Numero di segnalazioni | |
| <ul style="list-style-type: none"> IM 460 IM 463-2 | <ul style="list-style-type: none"> massimo 6 massimo 4 | <ul style="list-style-type: none"> - Totale - Griglia di 100 ms - Griglia di 500 ms - Griglia di 1000 ms | <ul style="list-style-type: none"> massimo 512 massimo 128 massimo 256 massimo 512 |
| Numero di master DP | | <ul style="list-style-type: none"> Numero dei valori supplementari per segnalazione | |
| <ul style="list-style-type: none"> Integrata Tramite IF 964-DP Tramite IM 467 Tramite CP 443-5 Ext. | <ul style="list-style-type: none"> 2 1 massimo 4 massimo 10 | <ul style="list-style-type: none"> - Con griglia di 100 ms - Con griglia di 500, 1000 ms | <ul style="list-style-type: none"> massimo 1 massimo 10 |
| IM 467 non impiegabile insieme al CP 443-5 Extended | | Segnalazioni relative ai blocchi | Sì |
| IM 467 non insieme con il CP 443-1 EX40 nel funzionamento PN IO impiegabile | | <ul style="list-style-type: none"> Blocchi alarm_S/SQ o blocchi Alarm_D/DQ attivi contemporaneamente | massimo 100 |
| Numero unità S5 innestabili tramite capsula adattatrice (nell'apparecchiatura centrale) | massimo 6 | Blocchi Alarm_8 | Sì |
| Unità funzionali e processori di comunicazione impiegabili | | <ul style="list-style-type: none"> Numero di ordini di comunicazione per blocchi Alarm_8 e blocchi per comunicazione S7 (impostabile) Preimpostazione | <ul style="list-style-type: none"> massimo 600 300 |
| <ul style="list-style-type: none"> FM CP 440 CP 441 CP Profibus e Ethernet incl. CP 443-5 Extended e IM 467 | <ul style="list-style-type: none"> Limitato dal numero di posti connettore e dal numero di collegamenti Limitato dal numero di posti connettore Limitato dal numero di collegamenti massimo 14 | Segnalazioni di tecnica di comando | Sì |
| Orario | | Numero degli archivi registrabili contemporaneamente (SFB 37 AR_SEND) | 16 |
| Orologio | Sì | Funzioni di test e messa in servizio | |
| <ul style="list-style-type: none"> Bufferizzato Risoluzione Precisione a <ul style="list-style-type: none"> Rete off Rete on | <ul style="list-style-type: none"> Sì 1 ms Deviazione giornaliera di 1,7 s Deviazione giornaliera di 8,6 s | Stato/comando variabile | Sì |
| Contatore ore di esercizio | 8 | <ul style="list-style-type: none"> Variabile | Ingressi/uscite, merker, DB, ingressi/uscite di periferia, temporizzatori, contatori |
| <ul style="list-style-type: none"> Numero Campo di valori Risoluzione A ritenzione | <ul style="list-style-type: none"> 0 - 7 0 - 32767 ore 1 ora Sì | <ul style="list-style-type: none"> Numero di variabili | massimo 70 |
| Sincronizzazione oraria | Sì | Forzamento | Sì |
| <ul style="list-style-type: none"> Nell'AS, su MPI, DP e IF 964 DP | come master o slave | <ul style="list-style-type: none"> Variabile | Ingressi/uscite, merker, ingressi/uscite di periferia |
| | | <ul style="list-style-type: none"> Numero di variabili | massimo 256 |
| | | Stato blocco | Sì |
| | | Passo singolo | Sì |
| | | Buffer di diagnostica | Sì |
| | | <ul style="list-style-type: none"> Numero delle registrazioni Preimpostazione | <ul style="list-style-type: none"> massimo 3200 (impostabile) 120 |
| | | Numero di punti di arresto | 4 |

| Comunicazione | |
|---|---|
| Comunicazione PG/OP | Sì |
| Numero OP collegabili | 31 senza elaborazione delle segnalazioni, 8 con elaborazione delle segnalazioni |
| Numero delle risorse di collegamento per collegamenti S7 tramite tutte le interfacce e CP | 32, di cui una riservata per PG e una per OP |
| Comunicazione di dati globale | Sì |
| • Numero di circuiti GD | massimo 8 |
| • Numero dei pacchetti GD | |
| - Trasmittente | massimo 8 |
| - Ricevente | massimo 16 |
| • Dimensione dei pacchetti GD | massimo 64 byte |
| - Di cui coerenti | 1 variabile |
| Comunicazione di base S7 | Sì |
| • Nel funzionamento MPI | tramite SFC X_SEND, X_RCV, X_GET e X_PUT |
| • Nel funzionamento master DP | tramite SFC I_GET e I_PUT |
| • Dati utili per job | massimo 76 byte |
| - Di cui coerenti | 1 variabile |
| Comunicazione S7 | Sì |
| • Dati utili per job | massimo 64 KByte |
| - Di cui coerenti | 1 variabile (462 byte) |
| Comunicazione compatibile S5 | tramite FC AG_SEND e AG_RECV, massimo tramite 10 CP 443-1 o 443-5 |
| • Dati utili per job | massimo 8 KByte |
| - Di cui coerenti | 240 byte |
| Comunicazione standard (FMS) | Sì (tramite CP e FB caricabile) |
| Interfacce | |
| Interfaccia 1 | |
| Tipo d'interfaccia | Integrata |
| Fisica | RS 485/Profibus |
| A potenziale separato | Sì |
| Alimentazione all'interfaccia (15 - 30V DC) | massimo 150 mA |
| Numero delle risorse di collegamento | MPI: 32 DP: 16 |
| Funzionalità | |
| • MPI | Sì |
| • PROFIBUS DP | Master DP/slave DP |

| Prima interfaccia funzionamento MPI | |
|---|--|
| • Servizi | |
| - Comunicazione PG/OP | Sì |
| - Routing | Sì |
| - Comunicazione di dati globali | Sì |
| - Comunicazione di base S7 | Sì |
| - Comunicazione S7 | Sì |
| • Velocità di trasmissione | Fino a 12 MBaud |
| Prima interfaccia funzionamento master DP | |
| • Servizi | |
| - Comunicazione PG/OP | Sì |
| - Routing | Sì |
| - Comunicazione di base S7 | Sì |
| - Comunicazione S7 | Sì |
| - Equidistanza | Sì |
| - SYNC/FREEZE | Sì |
| - Attivazione/disattivazione slave DP | Sì |
| • Velocità di trasmissione | Fino a 12 MBaud |
| • Numero di slave DP | massimo 32 |
| • Area di indirizzamento | massimo 2 KByte ingressi / 2 KByte uscite |
| • Dati utili per slave DP | massimo 244 byte E, massimo 244 byte A, massimo 244 slot massimo 128 byte per Slot |
| Avvertenza: | |
| • | La somma totale dei byte di ingresso per tutti gli slot può essere pari al massimo a 244. |
| • | La somma totale dei byte di uscita per tutti gli slot può essere pari al massimo a 244. |
| • | L'area di indirizzamento dell'interfaccia (massimo 2 KByte ingressi/ 2 KByte uscite) nel totale per tutti i 32 slave non deve essere superata. |
| Prima interfaccia funzionamento slave DP | |
| La CPU può essere progettata solo una volta quale slave DP anche se essa dispone di più interfacce. | |
| • Servizi | |
| - Stato/comando; | Sì |
| - programmazione; | Sì |
| - Routing | Sì |
| • File GSD | http://www.ad.siemens.de/csi_e/gsd |
| • Velocità di trasmissione | Fino a 12 MBaud |
| • Memoria di trasferimento | 244 byte ingressi / 244 byte uscite |
| - Slot virtuali | massimo 32 |
| - Dati utili per area di indirizzamento | massimo 32 byte |
| - Di cui coerenti | 32 byte |

| Interfaccia 2 | |
|--|--|
| Tipo d'interfaccia | Integrata |
| Fisica | RS 485/Profibus |
| A potenziale separato | Sì |
| Alimentazione all'interfaccia (15 - 30V DC) | massimo 150 mA |
| Numero delle risorse di collegamento | 16 |
| Funzionalità | |
| • PROFIBUS DP | Master DP/slave DP |
| Seconda interfaccia funzionamento master DP | |
| • Servizi | |
| - Comunicazione PG/OP | Sì |
| - Routing | Sì |
| - Comunicazione di base S7 | Sì |
| - Comunicazione S7 | Sì |
| - Equidistanza | Sì |
| - SYNC/FREEZE | Sì |
| - Attivazione/disattivazione slave DP | Sì |
| • Velocità di trasmissione | Fino a 12 Mbaud |
| • Numero di slave DP | massimo 96 |
| • Area di indirizzamento | massimo 6 KByte ingressi / 6 KByte uscite |
| • Dati utili per slave DP | massimo 244 byte E, massimo 244 byte A, massimo 244 slot massimo 128 byte per Slot |
| Avvertenza: | |
| • La somma totale dei byte di ingresso per tutti gli slot può essere pari al massimo a 244. | |
| • La somma totale dei byte di uscita per tutti gli slot può essere pari al massimo a 244. | |
| • L'area di indirizzamento dell'interfaccia (massimo 6 KByte ingressi/ 6 KByte uscite) nel totale per tutti i 96 slave non deve essere superata. | |
| Seconda interfaccia funzionamento slave DP | |
| Dati tecnici come prima interfaccia | |
| Interfaccia 3 | |
| Tipo d'interfaccia | Modulo di interfaccia innestabile |
| Modulo di interfaccia impiegabile | IF-964-DP |
| Caratteristiche tecniche come l'interfaccia 2 | |
| Programmazione | |
| Linguaggio di programmazione | KOP, FUP, AWL, SCL |
| Quantità di operazioni | Vedere la lista operazioni |
| Livelli di parentesi | 8 |
| Funzioni di sistema (SFC) | Vedere la lista operazioni |
| Numero di SFC contemporaneamente attivi per ramo | |
| • DPSYC_FR | 2 |
| • D_ACT_DP | 4 |
| • RD_REC | 8 |
| • WR_REC | 8 |
| • WR_PARM | 8 |
| • PARM_MOD | 1 |

| • WR_DPARM | 2 |
|---|---|
| • DPNRM_DG | 8 |
| • RDSYSST | 1 - 8 |
| • DP_TOPOL | 1 |
| Blocchi funzionali di sistema (SFB) | Vedere la lista operazioni |
| Numero di SFB contemporaneamente attivi | |
| • RDREC | 8 |
| • WRREC | 8 |
| Protezione del programma utente | Protezione tramite password |
| Accesso a dati coerenti nell'immagine di processo | Sì |
| Tempo di sincronizzazione CiR | |
| Carico di base | 100 ms |
| Tempo per byte di I/O | 80 µs |
| Sincronismo di clock | |
| Dati utili per slave con sincronia di clock | massimo 244 byte |
| Numero massimo di byte e slave in un'immagine di processo | Sono richiesti: numero di byte / 100 + numero di slave < 26 |
| Equidistanza | Sì |
| Clock più piccolo | 1 ms |
| | 0,5 ms senza utilizzo degli SFC 126, 127 |
| Clock massimo | 32 ms |
| Vedere il manuale <i>Sincronismo di clock</i> | |
| Dimensioni | |
| Misure di montaggio LxAxP (mm) | 50x290x219 |
| Posti connettore necessari | 2 |
| Peso | ca. 1,07 kg |
| Tensioni, correnti | |
| Assorbimento di corrente dal bus S7-400 (DC 5 V) | Tip. 1,1 A massimo 1,3 A |
| Assorbimento di corrente dal bus S7-400 (DC 24 V) | Somma degli assorbimenti di corrente delle componenti collegate alle interfacce MPI/DP, tuttavia massimo 150 mA per interfaccia MPI/DP. |
| La CPU non assorbe corrente a 24 V, essa mette solo questa tensione a disposizione dell'interfaccia MPI/DP. | |
| Corrente di alimentazione a batteria | Tip. 550 µA massimo 1530 µA |
| Tempo massimo di bufferizzazione | Vedere il manuale <i>Caratteristiche delle unità modulari</i> , capitolo 3.3 |
| Tensione di alimentazione per tamponamento esterno della CPU | DC 5 - 15 V |
| Potenza dissipata | Tip. 4,5 W |

6.5 Dati tecnici della CPU 416-2; (6ES7416-2XK04-0AB0, 6ES7416-2FK04-0AB0)

| CPU e versione | | Aree dei dati e rispettiva ritenzione | |
|--|--|---|--|
| Denominazione prodotto leggibile dalla macchina | 6ES7416-2XK04-0AB0 | Area dati a ritenzione totale (incl. merker; temporizzatori; contatori) | Memoria di lavoro e di caricamento totale (con batteria tampone) |
| • Versione di firmware | V 4.0.0 | Merker | 16 KByte |
| corrispondente pacchetto di programmazione | Da STEP 7 V 5.2 SP1 HF3 con aggiornamento HW | • Ritenzione impostabile | Da MB 0 a MB 16383 |
| | | • Ritenzione preimpostata | Da MB 0 a MB 15 |
| Memoria | | Merker di clock | 8 (1 byte di merker) |
| Memoria di lavoro | | Blocchi di dati | massimo 4095 (DB 0 riservato) |
| • Integrata | 1400 KByte per codice 1400 KByte per dati | • Dimensione | massimo 64 KByte |
| Memoria di caricamento | | Dati locali (impostabili) | massimo 32 KByte |
| • Integrata | 256 KByte RAM | • Preimpostazione | 16 KByte |
| • Ampliabile FEPRM | Con memory card (FLASH) fino a 64 MByte | Blocchi | |
| • RAM ampliabile | Con memory card (RAM) fino a 64 MByte | OB | Vedere la lista operazioni |
| Tamponamento con batteria | Sì, tutti i dati | • Dimensione | massimo 64 KByte |
| Tempi di elaborazione tipici | | Profondità di annidamento | |
| Tempi di elaborazione per | | • Per classe di priorità | 24 |
| • Operazioni di bit | 0,04 µs | • Aggiuntiva all'interno di un OB di errore | 2 |
| • Operazioni di parole | 0,04 µs | FB | massimo 2048 |
| • Operazioni aritmetiche a virgola fissa | 0,04 µs | • Dimensione | massimo 64 KByte |
| • Operazioni aritmetiche a virgola mobile | 0,12 µs | FC | massimo 2048 |
| | | • Dimensione | massimo 64 KByte |
| Temporizzatori/contatori e rispettiva ritenzione | | Aree di indirizzamento (ingressi/uscite) | |
| Contatore S7 | 2048 | Area di indirizzamento periferia in totale | 16 KByte/16 KByte |
| • Ritenzione impostabile | Da Z 0 a Z 2047 | • Di cui decentrata | Incl. indirizzi di diagnostica, indirizzi per interfacce di periferia ecc. |
| • Preimpostazione | Da Z 0 a Z 7 | Interfaccia MPI/DP | 2 KByte/2 KByte |
| • Campo di conteggio | Da 1 a 999 | Interfaccia DP | 8 KByte/8 KByte |
| Counter IEC | Sì | Immagine di processo | 16 KByte/16 KByte (impostabile) |
| • Tipo | SFB | • Preimpostazione | 512 byte/512 byte |
| Tempi S7 | 2048 | • Numero delle immagini di processo parziali | massimo 15 |
| • Ritenzione impostabile | Da T 0 a T 2047 | • Dati coerenti | massimo 244 byte |
| • Preimpostazione | Nessun temporizzatore a ritenzione | Canali digitali | massimo 131072/ massimo 131072 |
| • Campo di tempo | Da 10 ms a 9990 s | • Di cui centrali | massimo 131072/ massimo 131072 |
| Timer IEC | Sì | Canali analogici | massimo 8192/ massimo 8192 |
| • Art | SFB | • Di cui centrali | massimo 8192/ massimo 8192 |

| Struttura | | Funzioni di segnalazione S7 | |
|--|--|--|--|
| Apparecchiature centrali/apparecchiature di ampliamento | massimo 1/21 | Numero di stazioni registrabili per funzioni di segnalazione (ad es. WIN CC o SIMATIC OP) | massimo 12 |
| Multicomputing | massimo 4 CPU (con UR1 o UR2) | Segnalazioni relative ai simboli | Sì |
| Numero IM innestabili (totale) | massimo 6 | <ul style="list-style-type: none"> Numero di segnalazioni - Totale - Griglia di 100 ms - Griglia di 500 ms - Griglia di 1000 ms | massimo 1024 massimo 128 massimo 512 massimo 1024 |
| <ul style="list-style-type: none"> IM 460 IM 463-2 | massimo 6 massimo 4 | <ul style="list-style-type: none"> Numero dei valori supplementari per segnalazione - Con griglia di 100 ms - Con griglia di 500, 1000 ms | massimo 1 massimo 10 |
| Numero di master DP | | Segnalazioni relative ai blocchi | Sì |
| <ul style="list-style-type: none"> Integrata Tramite IM 467 Tramite CP 443-5 Ext. | 2 massimo 4 massimo 10 | <ul style="list-style-type: none"> Blocchi alarm_S/SQ o blocchi Alarm_D/DQ attivi contemporaneamente | massimo 200 |
| IM 467 non impiegabile insieme al CP 443-5 Extended | | Blocchi Alarm_8 | Sì |
| IM 467 non insieme con il CP 443-1 EX40 nel funzionamento PN IO impiegabile | | <ul style="list-style-type: none"> Numero di ordini di comunicazione per blocchi Alarm_8 e blocchi per comunicazione S7 (impostabile) Preimpostazione | massimo 1800 600 |
| Numero unità S5 innestabili tramite capsula adattatrice (nell'apparecchiatura centrale) | massimo 6 | Segnalazioni di tecnica di comando | Sì |
| Unità funzionali e processori di comunicazione impiegabili | | Numero degli archivi registrabili contemporaneamente (SFB 37 AR_SEND) | 32 |
| <ul style="list-style-type: none"> FM CP 440 CP 441 CP Profibus e Ethernet incl. CP 443-5 Extended e IM 467 | Limitato dal numero di posti connettore e dal numero di collegamenti Limitato dal numero di posti connettore Limitato dal numero di collegamenti massimo 14 | Funzioni di test e messa in servizio | |
| Orario | | Stato/comando variabile | Sì |
| Orologio | Sì | <ul style="list-style-type: none"> Variabile Numero di variabili | Ingressi/uscite, merker, DB, ingressi/uscite di periferia, temporizzatori, contatori massimo 70 |
| <ul style="list-style-type: none"> Bufferizzato Risoluzione Precisione a <ul style="list-style-type: none"> Rete off Rete on | Sì 1 ms Deviazione giornaliera di 1,7 s Deviazione giornaliera di 8,6 s | Forzamento | Sì |
| Contatore ore di esercizio | 8 | <ul style="list-style-type: none"> Variabile Numero di variabili | Ingressi/uscite, merker, ingressi/uscite di periferia massimo 512 |
| <ul style="list-style-type: none"> Numero Campo di valori Risoluzione A ritenzione | 0 - 7 0 - 32767 ore 1 ora Sì | Stato blocco | Sì |
| Sincronizzazione oraria | Sì | Passo singolo | Sì |
| <ul style="list-style-type: none"> Nell'AS, su MPI e DP | come master o slave | Buffer di diagnostica | Sì |
| | | <ul style="list-style-type: none"> Numero delle registrazioni Preimpostazione | massimo 3200 (impostabile) 120 |
| | | Numero di punti di arresto | 4 |

| Comunicazione | | Funzionalità | |
|---|--|--|--|
| Comunicazione PG/OP | Sì | • MPI | Sì |
| Numero OP collegabili | 63 senza elaborazione delle segnalazioni, 12 con elaborazione delle segnalazioni | • PROFIBUS DP | Master DP/slave DP |
| Numero delle risorse di collegamento per collegamenti S7 tramite tutte le interfacce e CP | 64, di cui una riservata per PG e una per OP | Prima interfaccia funzionamento MPI | |
| Comunicazione di dati globale | Sì | • Servizi | |
| • Numero di circuiti GD | massimo 16 | - Comunicazione PG/OP | Sì |
| • Numero dei pacchetti GD | | - Routing | Sì |
| - Trasmittente | massimo 16 | - Comunicazione di dati globali | Sì |
| - Ricevente | massimo 32 | - Comunicazione di base S7 | Sì |
| • Dimensione dei pacchetti GD | massimo 64 byte | - Comunicazione S7 | Sì |
| - Di cui coerenti | 1 variabile | • Velocità di trasmissione | Fino a 12 MBaud |
| Comunicazione di base S7 | Sì | Prima interfaccia funzionamento master DP | |
| • Nel funzionamento MPI | tramite SFC X_SEND, X_RCV, X_GET e X_PUT | • Servizi | |
| • Nel funzionamento master DP | tramite SFC I_GET e I_PUT | - Comunicazione PG/OP | Sì |
| • Dati utili per job | massimo 76 byte | - Routing | Sì |
| - Di cui coerenti | 1 variabile | - Comunicazione di base S7 | Sì |
| Comunicazione S7 | Sì | - Comunicazione S7 | Sì |
| • Dati utili per job | massimo 64 KByte | - Equidistanza | Sì |
| - Di cui coerenti | 1 variabile (462 byte) | - SYNC/FREEZE | Sì |
| Comunicazione compatibile S5 | tramite FC AG_SEND e AG_RECV, massimo tramite 10 CP 443-1 o 443-5 | - Attivazione/disattivazione slave DP | Sì |
| • Dati utili per job | massimo 8 KByte | • Velocità di trasmissione | Fino a 12 MBaud |
| - Di cui coerenti | 240 byte | • Numero di slave DP | massimo 32 |
| Comunicazione standard (FMS) | Sì (tramite CP e FB caricabile) | • Area di indirizzamento | massimo 2 KByte ingressi / 2 KByte uscite |
| Interfacce | | • Dati utili per slave DP | massimo 244 byte E, massimo 244 byte A, massimo 244 slot massimo 128 byte per Slot |
| Interfaccia 1 | | Avvertenza: | |
| Tipo d'interfaccia | Integrata | • La somma totale dei byte di ingresso per tutti gli slot può essere pari al massimo a 244. | |
| Fisica | RS 485/Profibus | • La somma totale dei byte di uscita per tutti gli slot può essere pari al massimo a 244. | |
| A potenziale separato | Sì | • L'area di indirizzamento dell'interfaccia (massimo 2 KByte ingressi/ 2 KByte uscite) nel totale per tutti i 32 slave non deve essere superata. | |
| Alimentazione all'interfaccia (15 - 30V DC) | massimo 150 mA | | |
| Numero delle risorse di collegamento | MPI: 44 DP: 32, se sul ramo viene impiegato un repeater di diagnostica, il numero delle risorse di collegamento nel ramo si riduce di 1 | | |

| | | |
|--|--|--|
| <p>Prima interfaccia funzionamento slave DP La CPU può essere progettata solo una volta quale slave DP anche se essa dispone di più interfacce.</p> | | <ul style="list-style-type: none"> Area di indirizzamento massimo 8 KByte ingressi / 8 KByte uscite Dati utili per slave DP massimo 244 byte E, massimo 244 byte A, massimo 244 slot massimo 128 byte per Slot |
| <ul style="list-style-type: none"> Servizi <ul style="list-style-type: none"> Stato/comando; Sì programmazione; Sì Routing Sì File GSD http://www.ad.siemens.de/csi_e/gsd Velocità di trasmissione Fino a 12 MBaud Memoria di trasferimento 244 byte ingressi / 244 byte uscite <ul style="list-style-type: none"> Slot virtuali massimo 32 Dati utili per area di indirizzamento massimo 32 byte Di cui coerenti 32 byte | | <p>Avvertenza:</p> <ul style="list-style-type: none"> La somma totale dei byte di ingresso per tutti gli slot può essere pari al massimo a 244. La somma totale dei byte di uscita per tutti gli slot può essere pari al massimo a 244. L'area di indirizzamento dell'interfaccia (massimo 8 KByte ingressi/ 8 KByte uscite) nel totale per tutti i 125 slave non deve essere superata. |
| <p align="center">Interfaccia 2</p> | | <p align="center">Seconda interfaccia funzionamento slave DP</p> |
| <p>Dati tecnici come prima interfaccia</p> | | <p>Dati tecnici come prima interfaccia</p> |
| <p align="center">Funzionalità</p> | | <p align="center">Programmazione</p> |
| <ul style="list-style-type: none"> PROFIBUS DP Master DP | | <p>Linguaggio di programmazione KOP, FUP, AWL, SCL</p> <p>Quantità di operazioni Vedere la lista operazioni</p> <p>Livelli di parentesi 8</p> <p>Funzioni di sistema (SFC) Vedere la lista operazioni</p> <p>Numero di SFC contemporaneamente attivi per ramo</p> <ul style="list-style-type: none"> DPSYC_FR 2 D_ACT_DP 4 RD_REC 8 WR_REC 8 WR_PARM 8 PARM_MOD 1 WR_DPARM 2 DPNRM_DG 8 RDSYSST 1 - 8 DP_TOPOL 1 <p>Blocchi funzionali di sistema (SFB) Vedere la lista operazioni</p> <p>Numero di SFB contemporaneamente attivi</p> <ul style="list-style-type: none"> RDREC 8 WRREC 8 <p>Protezione del programma utente Protezione tramite password utente</p> <p>Accesso a dati coerenti nell'immagine di processo Sì</p> |
| <p>Seconda interfaccia funzionamento master DP</p> | | <p align="center">Tempo di sincronizzazione CiR</p> |
| <ul style="list-style-type: none"> Servizi <ul style="list-style-type: none"> Comunicazione PG/OP Sì Routing Sì Comunicazione di base S7 Sì Comunicazione S7 Sì Equidistanza Sì SYNC/FREEZE Sì Attivazione/disattivazione slave DP Sì Velocità di trasmissione Fino a 12 MBaud Numero di slave DP massimo 125 | | <p>Carico di base 100 ms</p> <p>Tempo per byte di I/O 40 µs</p> |

| Sincronismo di clock | | Tensioni, correnti | |
|---|---|--|---|
| Dati utili per slave con sincronia di clock | massimo 244 byte | Assorbimento di corrente dal bus S7-400 (DC 5 V) | Tip. 1,0 A massimo 1,2 A |
| Numero massimo di byte e slave in un'immagine di processo | Sono richiesti: numero di byte / 100 + numero di slave < 40 | Assorbimento di corrente dal bus S7-400 (DC 24 V) La CPU non assorbe corrente a 24 V, essa mette solo questa tensione a disposizione dell'interfaccia MPI/DP. | Somma degli assorbimenti di corrente delle componenti collegate alle interfacce MPI/DP, tuttavia massimo 150 mA per interfaccia |
| Equidistanza | Sì | Corrente di alimentazione a batteria | Tip. 550 µA massimo 1539 µA |
| Clock più piccolo | 1 ms 0,5 ms senza utilizzo degli SFC 126, 127 | Tempo massimo di bufferizzazione | Vedere il manuale <i>Caratteristiche delle unità modulari</i> , capitolo 3.3 |
| Clock massimo | 32 ms | Tensione di alimentazione per tamponamento esterno della CPU | DC 5 - 15 V |
| Vedere il manuale <i>Sincronismo di clock</i> | | Potenza dissipata | Tip. 4,5 W |
| Dimensioni | | | |
| Misure di montaggio LxAxP (mm) | 25x290x219 | | |
| Posti connettore necessari | 1 | | |
| Peso | ca. 0,72 kg | | |

6.6 Dati tecnici della CPU 416-3; (6ES7416-3XL04-0AB0)

| CPU e versione | | Aree dei dati e rispettiva ritenzione | |
|---|--|---|--|
| Denominazione prodotto leggibile dalla macchina | 6ES7416-3XL04-0AB0 | Area dati a ritenzione totale (incl. merker; temporizzatori; contatori) | Memoria di lavoro e di caricamento totale (con batteria tampone) |
| • Versione di firmware | V 4.0.0 | Merker | 16 KByte |
| corrispondente pacchetto di programmazione | Da STEP 7 V 5.2 SP1 HF3 con aggiornamento HW | • Ritenzione impostabile | Da MB 0 a MB 16383 |
| Memoria | | • Ritenzione preimpostata | Da MB 0 a MB 15 |
| Memoria di lavoro | | Merker di clock | 8 (1 byte di merker) |
| • Integrata | 2800 KByte per codice 2800 KByte per dati | Blocchi di dati | massimo 4095 (DB 0 riservato) |
| Memoria di caricamento | | • Dimensione | massimo 64 KByte |
| • Integrata | 256 KByte RAM | Dati locali (impostabili) | massimo 32 KByte |
| • Ampliabile FEPRM | Con memory card (FLASH) fino a 64 MByte | • Preimpostazione | 16 KByte |
| • RAM ampliabile | Con memory card (RAM) fino a 64 MByte | Blocchi | |
| Tamponamento con batteria | Sì, tutti i dati | OB | Vedere la lista operazioni |
| Tempi di elaborazione tipici | | • Dimensione | massimo 64 KByte |
| Tempi di elaborazione per | | Profondità di annidamento | |
| • Operazioni di bit | 0,04 µs | • Per classe di priorità | 24 |
| • Operazioni di parole | 0,04 µs | • Aggiuntiva all'interno di un OB di errore | 2 |
| • Operazioni aritmetiche a virgola fissa | 0,04 µs | FB | massimo 2048 |
| • Operazioni aritmetiche a virgola mobile | 0,12 µs | • Dimensione | massimo 64 KByte |
| Temporizzatori/contatori e rispettiva ritenzione | | FC | massimo 2048 |
| Contatore S7 | 2048 | • Dimensione | massimo 64 KByte |
| • Ritenzione impostabile | Da Z 0 a Z 2047 | Aree di indirizzamento (ingressi/uscite) | |
| • Preimpostazione | Da Z 0 a Z 7 | Area di indirizzamento periferia in totale | 16 KByte/16 KByte |
| • Campo di conteggio | Da 1 a 999 | • Di cui decentrata | Incl. indirizzi di diagnostica, indirizzi per interfacce di periferia ecc. |
| Counter IEC | Sì | Interfaccia MPI/DP | 2 KByte/2 KByte |
| • Tipo | SFB | Interfaccia DP | 8 KByte/8 KByte |
| Tempi S7 | 2048 | Immagine di processo | 16 KByte/16 KByte (impostabile) |
| • Ritenzione impostabile | Da T 0 a T 2047 | • Preimpostazione | 512 byte/512 byte |
| • Preimpostazione | Nessun temporizzatore a ritenzione | • Numero delle immagini di processo parziali | massimo 15 |
| • Campo di tempo | Da 10 ms a 9990 s | • Dati coerenti | massimo 244 byte |
| Timer IEC | Sì | Canali digitali | massimo 131072/ massimo 131072 |
| • Art | SFB | • Di cui centrali | massimo 131072/ massimo 131072 |
| | | Canali analogici | massimo 8192/ massimo 8192 |
| | | • Di cui centrali | massimo 8192/ massimo 8192 |

| Struttura | |
|---|--|
| Apparecchiature centrali/apparecchiature di ampliamento | massimo 1/21 |
| Multicomputing | massimo 4 CPU (con UR1 o UR2) |
| Numero IM innestabili (totale) | massimo 6 |
| • IM 460 | massimo 6 |
| • IM 463-2 | massimo 4 |
| Numero di master DP | |
| • Integrata | 2 |
| • Tramite F 964-DP | 1 |
| • Tramite IM 467 | massimo 4 |
| • Tramite CP 443-5 Ext. | massimo 10 |
| IM 467 non impiegabile insieme al CP 443-5 Extended | |
| IM 467 non insieme con il CP 443-1 EX40 nel funzionamento PN IO impiegabile | |
| Numero unità S5 innestabili tramite capsula adattatrice (nell'apparecchiatura centrale) | massimo 6 |
| Unità funzionali e processori di comunicazione impiegabili | |
| • FM | Limitato dal numero di posti connettore e dal numero di collegamenti |
| • CP 440 | Limitato dal numero di posti connettore |
| • CP 441 | Limitato dal numero di collegamenti |
| • CP Profibus e Ethernet incl. CP 443-5 Extended e IM 467 | massimo 14 |
| Orario | |
| Orologio | Sì |
| • Bufferizzato | Sì |
| • Risoluzione | 1 ms |
| • Precisione a | |
| - Rete off | Deviazione giornaliera di 1,7 s |
| - Rete on | Deviazione giornaliera di 8,6 s |
| Contatore ore di esercizio | 8 |
| • Numero | 0 - 7 |
| • Campo di valori | 0 - 32767 ore |
| • Risoluzione | 1 ora |
| • A ritenzione | Sì |
| Sincronizzazione oraria | Sì |
| • Nell'AS, su MPI, DP e IF 964 DP | come master o slave |

| Funzioni di segnalazione S7 | |
|--|--|
| Numero di stazioni registrabili per funzioni dis segnalazione (ad es. WIN CC o SIMATIC OP) | massimo 12 |
| Segnalazioni relative ai simboli | Sì |
| • Numero di segnalazioni | |
| - Totale | massimo 1024 |
| - Griglia di 100 ms | massimo 128 |
| - Griglia di 500 ms | massimo 512 |
| - Griglia di 1000 ms | massimo 1024 |
| • Numero dei valori supplementari per segnalazione | |
| - Con griglia di 100 ms | massimo 1 |
| - Con griglia di 500, 1000 ms | massimo 10 |
| Segnalazioni relative ai blocchi | Sì |
| • Blocchi alarm_S/SQ o blocchi Alarm_D/DQ attivi contemporaneamente | massimo 200 |
| Blocchi Alarm_8 | Sì |
| • Numero di ordini di comunicazione per blocchi Alarm_8 e blocchi per comunicazione S7 (impostabile) | massimo 1800 |
| • Preimpostazione | 600 |
| Segnalazioni di tecnica di comando | Sì |
| Numero degli archivi registrati contemporaneamente (SFB 37 AR_SEND) | 32 |
| Funzioni di test e messa in servizio | |
| Stato/comando variabile | Sì |
| • Variabile | Ingressi/uscite, merker, DB, ingressi/uscite di periferia, temporizzatori, contatori |
| • Numero di variabili | massimo 70 |
| Forzamento | Sì |
| • Variabile | Ingressi/uscite, merker, ingressi/uscite di periferia |
| • Numero di variabili | massimo 512 |
| Stato blocco | Sì |
| Passo singolo | Sì |
| Buffer di diagnostica | Sì |
| • Numero delle registrazioni | massimo 3200 (impostabile) |
| • Preimpostazione | 120 |
| Numero di punti di arresto | 4 |

| Comunicazione | |
|---|--|
| Comunicazione PG/OP | Sì |
| Numero OP collegabili | 63 senza elaborazione delle segnalazioni, 12 con elaborazione delle segnalazioni |
| Numero delle risorse di collegamento per collegamenti S7 tramite tutte le interfacce e CP | 64, di cui una riservata per PG e una per OP |
| Comunicazione di dati globale | Sì |
| • Numero di circuiti GD | massimo 16 |
| • Numero dei pacchetti GD | |
| - Trasmittente | massimo 16 |
| - Ricevente | massimo 32 |
| • Dimensione dei pacchetti GD | massimo 64 byte |
| - Di cui coerenti | 1 variabile |
| Comunicazione di base S7 | Sì |
| • Nel funzionamento MPI | tramite SFC X_SEND, X_RCV, X_GET e X_PUT |
| • Nel funzionamento master DP | tramite SFC I_GET e I_PUT |
| • Dati utili per job | massimo 76 byte |
| - Di cui coerenti | 1 variabile |
| Comunicazione S7 | Sì |
| • Dati utili per job | massimo 64 KByte |
| - Di cui coerenti | 1 variabile (462 byte) |
| Comunicazione compatibile S5 | tramite FC AG_SEND e AG_RECV, massimo tramite 10 CP 443-1 o 443-5 |
| • Dati utili per job | massimo 8 KByte |
| - Di cui coerenti | 240 byte |
| Comunicazione standard (FMS) | Sì (tramite CP e FB caricabile) |
| Interfacce | |
| Interfaccia 1 | |
| Tipo d'interfaccia | Integrata |
| Fisica | RS 485/Profibus |
| A potenziale separato | Sì |
| Alimentazione all'interfaccia (15 - 30V DC) | massimo 150 mA |
| Numero delle risorse di collegamento | MPI: 44 DP: 32, se sul ramo viene impiegato un repeater di diagnostica, il numero delle risorse di collegamento nel ramo si riduce di 1 |
| Funzionalità | |
| • MPI | Sì |
| • PROFIBUS DP | Master DP/slave DP |

| Prima interfaccia funzionamento MPI | |
|--|---|
| • Servizi | |
| - Comunicazione PG/OP | Sì |
| - Routing | Sì |
| - Comunicazione di dati globali | Sì |
| - Comunicazione di base S7 | Sì |
| - Comunicazione S7 | Sì |
| • Velocità di trasmissione | Fino a 12 MBaud |
| Prima interfaccia funzionamento master DP | |
| • Servizi | |
| - Comunicazione PG/OP | Sì |
| - Routing | Sì |
| - Comunicazione di base S7 | Sì |
| - Comunicazione S7 | Sì |
| - Equidistanza | Sì |
| - SYNC/FREEZE | Sì |
| - Attivazione/disattivazione slave DP | Sì |
| • Velocità di trasmissione | Fino a 12 MBaud |
| • Numero di slave DP | massimo 32 |
| • Area di indirizzamento | massimo 2 KByte ingressi / 2 KByte uscite |
| • Dati utili per slave DP | massimo 244 byte E, massimo 244 byte A, massimo 244 slot massimo 128 byte per Slot |
| Avvertenza: | |
| • La somma totale dei byte di ingresso per tutti gli slot può essere pari al massimo a 244. | |
| • La somma totale dei byte di uscita per tutti gli slot può essere pari al massimo a 244. | |
| • L'area di indirizzamento dell'interfaccia (massimo 2 KByte ingressi/ 2 KByte uscite) nel totale per tutti i 32 slave non deve essere superata. | |
| Prima interfaccia funzionamento slave DP | |
| La CPU può essere progettata solo una volta quale slave DP anche se essa dispone di più interfacce. | |
| • Servizi | |
| - Stato/comando; | Sì |
| - programmazione; | Sì |
| - Routing | Sì |
| • File GSD | http://www.ad.siemens.de/csi_e/gsd |
| • Velocità di trasmissione | Fino a 12 MBaud |
| • Memoria di trasferimento | 244 byte ingressi / 244 byte uscite |

| | |
|--|---|
| - Slot virtuali | massimo 32 |
| - Dati utili per area di indirizzamento | massimo 32 byte |
| - Di cui coerenti | 32 byte |
| Interfaccia 2 | |
| Tipo d'interfaccia | Integrata |
| Fisica | RS 485/Profibus |
| A potenziale separato | Sì |
| Alimentazione all'interfaccia (15 - 30V DC) | massimo 150 mA |
| Numero delle risorse di collegamento | 32, se sul ramo viene impiegato un repeater di diagnostica, il numero delle risorse di collegamento nel ramo si riduce di 1 |
| Funzionalità | |
| • PROFIBUS DP | Master DP/slave DP |
| Seconda interfaccia funzionamento master DP | |
| • Servizi | |
| - Comunicazione PG/OP | Sì |
| - Routing | Sì |
| - Comunicazione di base S7 | Sì |
| - Comunicazione S7 | Sì |
| - Equidistanza | Sì |
| - SYNC/FREEZE | Sì |
| - Attivazione/disattivazione slave DP | Sì |
| • Velocità di trasmissione | Fino a 12 MBaud |
| • Numero di slave DP | massimo 125 |
| • Area di indirizzamento | massimo 8 KByte ingressi / 8 KByte uscite |
| • Dati utili per slave DP | massimo 244 byte E, massimo 244 byte A, massimo 244 slot massimo 128 byte per Slot |
| Avvertenza: | |
| • | La somma totale dei byte di ingresso per tutti gli slot può essere pari al massimo a 244. |
| • | La somma totale dei byte di uscita per tutti gli slot può essere pari al massimo a 244. |
| • | L'area di indirizzamento dell'interfaccia (massimo 8 KByte ingressi/ 8 KByte uscite) nel totale per tutti i 125 slave non deve essere superata. |
| Seconda interfaccia funzionamento slave DP | |
| Dati tecnici come prima interfaccia | |

| | |
|---|---|
| Interfaccia 3 | |
| Tipo d'interfaccia | Modulo di interfaccia innestabile |
| Modulo di interfaccia impiegabile | IF-964-DP |
| Caratteristiche tecniche come l'interfaccia 2 | |
| Programmazione | |
| Linguaggio di programmazione | KOP, FUP, AWL, SCL |
| Quantità di operazioni | Vedere la lista operazioni |
| Livelli di parentesi | 8 |
| Funzioni di sistema (SFC) | Vedere la lista operazioni |
| Numero di SFC contemporaneamente attivi per ramo | |
| • DPSYC_FR | 2 |
| • D_ACT_DP | 4 |
| • RD_REC | 8 |
| • WR_REC | 8 |
| • WR_PARM | 8 |
| • PARM_MOD | 1 |
| • WR_DPARM | 2 |
| • DPNRM_DG | 8 |
| • RDSYSST | 1 - 8 |
| • DP_TOPO | 1 |
| Blocchi funzionali di sistema (SFB) | Vedere la lista operazioni |
| Numero di SFB contemporaneamente attivi | |
| • RDREC | 8 |
| • WRREC | 8 |
| Protezione del programma utente | Protezione tramite password |
| Accesso a dati coerenti nell'immagine di processo | Sì |
| Tempo di sincronizzazione CiR | |
| Carico di base | 100 ms |
| Tempo per byte di I/O | 40 µs |
| Sincronismo di clock | |
| Dati utili per slave con sincronia di clock | massimo 244 byte |
| Numero massimo di byte e slave in un'immagine di processo | Sono richiesti: numero di byte / 100 + numero di slave < 40 |
| Equidistanza | Sì |
| Clock più piccolo | 1 ms 0,5 ms senza utilizzo degli SFC 126, 127 |
| Clock massimo | 32 ms |
| Vedere il manuale <i>Sincronismo di clock</i> | |

| Dimensioni | |
|--|---|
| Misure di montaggio LxAxP (mm) | 50x290x219 |
| Posti connettore necessari | 2 |
| Peso | ca. 1,07 kg |
| Tensioni, correnti | |
| Assorbimento di corrente dal bus S7-400 (DC 5 V) | Tip. 1,2 A massimo 1,4 A |
| Assorbimento di corrente dal bus S7-400 (DC 24 V) La CPU non assorbe corrente a 24 V, essa mette solo questa tensione a disposizione dell'interfaccia MPI/DP. | Somma degli assorbimenti di corrente delle componenti collegate alle interfacce MPI/DP, tuttavia massimo 150 mA per interfaccia |
| Corrente di alimentazione a batteria | Tip. 550 μ A massimo 1530 μ A |
| Tempo massimo di bufferizzazione | Vedere il manuale <i>Caratteristiche delle unità modulari</i> , capitolo 3.3 |
| Tensione di alimentazione per tamponamento esterno della CPU | DC 5 - 15 V |
| Potenza dissipata | Tip. 5,0 W |

6.7 Dati tecnici della CPU 417-4; (6ES7417-4XL04-0AB0)

| CPU e versione | | Blocchi di dati | |
|---|--|--|--|
| Denominazione prodotto leggibile dalla macchina | 6ES7417-4XL04-0AB0 | | massimo 8191 (DB 0 riservato) |
| • Versione di firmware | V 4.0.0 | • Dimensione | massimo 64 KByte |
| corrispondente pacchetto di programmazione | Da STEP 7 V 5.2 SP1 HF3 con aggiornamento HW | Dati locali (impostabili) | massimo 64 KByte |
| | | • Preimpostazione | 32 KByte |
| Memoria | | Blocchi | |
| Memoria di lavoro | | OB | Vedere la lista operazioni |
| • Integrata | 10 MByte per codice 10 MByte per dati | • Dimensione | massimo 64 KByte |
| Memoria di caricamento | | Profondità di annidamento | |
| • Integrata | 256 KByte RAM | • Per classe di priorità | 24 |
| • Ampliabile FEPRM | Con memory card (FLASH) fino a 64 MByte | • Aggiuntiva all'interno di un OB di errore | 2 |
| • RAM ampliabile | Con memory card (RAM) fino a 64 MByte | FB | massimo 6144 |
| Tamponamento con batteria | Sì, tutti i dati | • Dimensione | massimo 64 KByte |
| Tempi di elaborazione tipici | | FC | massimo 6144 |
| Tempi di elaborazione per | | • Dimensione | massimo 64 KByte |
| • Operazioni di bit | 0,03 µs | Aree di indirizzamento (ingressi/uscite) | |
| • Operazioni di parole | 0,03 µs | Area di indirizzamento periferia in totale | 16 KByte/16 KByte |
| • Operazioni aritmetiche a virgola fissa | 0,03 µs | • Di cui decentrata | Incl. indirizzi di diagnostica, indirizzi per interfacce di periferia ecc. |
| • Operazioni aritmetiche a virgola mobile | 0,09 µs | Interfaccia MPI/DP | 2 KByte/2 KByte |
| Temporizzatori/contatori e rispettiva ritenzione | | Interfaccia DP | 8 KByte/8 KByte |
| Contatore S7 | 2048 | Immagine di processo | 16 KByte/16 KByte (impostabile) |
| • Ritenzione impostabile | Da Z 0 a Z 2047 | • Preimpostazione | 1024 byte/1024 byte |
| • Preimpostazione | Da Z 0 a Z 7 | • Numero delle immagini di processo parziali | massimo 15 |
| • Campo di conteggio | Da 1 a 999 | • Dati coerenti | massimo 244 byte |
| Counter IEC | Sì | Canali digitali | massimo 131072/ massimo 131072 |
| • Tipo | SFB | • Di cui centrali | massimo 131072/ massimo 131072 |
| Tempi S7 | 2048 | Canali analogici | massimo 8192/ massimo 8192 |
| • Ritenzione impostabile | Da T 0 a T 2047 | • Di cui centrali | massimo 8192/ massimo 8192 |
| • Preimpostazione | Nessun temporizzatore a ritenzione | | |
| • Campo di tempo | Da 10 ms a 9990 s | | |
| Timer IEC | Sì | | |
| • Art | SFB | | |
| Aree dei dati e rispettiva ritenzione | | | |
| Area dati a ritenzione totale (incl. merker; temporizzatori; contatori) | Memoria di lavoro e di caricamento totale (con batteria tampone) | | |
| Merker | 16 KByte | | |
| • Ritenzione impostabile | Da MB 0 a MB 16383 | | |
| • Ritenzione preimpostata | Da MB 0 a MB 15 | | |
| Merker di clock | 8 (1 byte di merker) | | |

| Struttura | | Funzioni di segnalazione S7 | |
|---|--|--|--|
| Apparecchiature centrali/apparecchiature di ampliamento | massimo 1/21 | Numero di stazioni registrabili per funzioni dis segnalazione (ad es. WIN CC o SIMATIC OP) | massimo 16 |
| Multicomputing | massimo 4 CPU (con UR1 o UR2) | Segnalazioni relative ai simboli | Sì |
| Numero IM innestabili (totale) | massimo 6 | • Numero di segnalazioni | |
| • IM 460 | massimo 6 | - Totale | massimo 1024 |
| • IM 463-2 | massimo 4 | - Griglia di 100 ms | massimo 128 |
| Numero di master DP | | - Griglia di 500 ms | massimo 512 |
| • Integrata | 2 | - Griglia di 1000 ms | massimo 1024 |
| • Tramite F 964-DP | 2 | • Numero dei valori supplementari per segnalazione | |
| • Tramite IM 467 | massimo 4 | - Con griglia di 100 ms | massimo 1 |
| • Tramite CP 443-5 Ext. | massimo 10 | - Con griglia di 500, 1000 ms | massimo 10 |
| IM 467 non impiegabile insieme al CP 443-5 Extended | | Segnalazioni relative ai blocchi | Sì |
| IM 467 non insieme con il CP 443-1 EX40 nel funzionamento PN IO impiegabile | | • Blocchi alarm_S/SQ o blocchi Alarm_D/DQ attivi contemporaneamente | massimo 200 |
| Numero unità S5 innestabili tramite capsula adattatrice (nell'apparecchiatura centrale) | massimo 6 | Blocchi Alarm_8 | Sì |
| Unità funzionali e processori di comunicazione impiegabili | | • Numero di ordini di comunicazione per blocchi Alarm_8 e blocchi per comunicazione S7 (impostabile) | massimo 10000 |
| • FM | Limitato dal numero di posti connettore e dal numero di collegamenti | • Preimpostazione | 1200 |
| • CP 440 | Limitato dal numero di posti connettore | Segnalazioni di tecnica di comando | Sì |
| • CP 441 | Limitato dal numero di collegamenti | Numero degli archivi registrabili contemporaneamente (SFB 37 AR_SEND) | 64 |
| • CP Profibus e Ethernet incl. CP 443-5 Extended e IM 467 | massimo 14 | | |
| Orario | | Funzioni di test e messa in servizio | |
| Orologio | Sì | Stato/comando variabile | Sì |
| • Bufferizzato | Sì | • Variabile | Ingressi/uscite, merker, DB, ingressi/uscite di periferia, temporizzatori, contatori |
| • Risoluzione | 1 ms | • Numero di variabili | massimo 70 |
| • Precisione a | | Forzamento | Sì |
| - Rete off | Deviazione giornaliera di 1,7 s | • Variabile | Ingressi/uscite, merker, ingressi/uscite di periferia |
| - Rete on | Deviazione giornaliera di 8,6 s | • Numero di variabili | massimo 512 |
| Contatore ore di esercizio | 8 | Stato blocco | Sì |
| • Numero | 0 - 7 | Passo singolo | Sì |
| • Campo di valori | 0 - 32767 ore | Buffer di diagnostica | Sì |
| • Risoluzione | 1 ora | • Numero delle registrazioni | massimo 3200 (impostabile) |
| • A ritenzione | Sì | • Preimpostazione | 120 |
| Sincronizzazione oraria | Sì | Numero di punti di arresto | 4 |
| • Nell'AS, su MPI, DP e IF 964 DP | come master o slave | | |

| Comunicazione | |
|--|--|
| Comunicazione PG/OP | Sì |
| Numero OP collegabili | 63 senza elaborazione delle segnalazioni 16 con elaborazione delle segnalazioni |
| Numero delle risorse di collegamento per collegamenti S7 tramite tutte le interfacce e CP | 64, di cui una riservata per PG e una per OP |
| Comunicazione di dati globale | Sì |
| • Numero di circuiti GD | massimo 16 |
| • Numero dei pacchetti GD | |
| - Trasmittente | massimo 16 |
| - Ricevente | massimo 32 |
| • Dimensione dei pacchetti GD | massimo 64 byte |
| - Di cui coerenti | 1 variabile |
| Comunicazione di base S7 | Sì |
| • Nel funzionamento MPI | tramite SFC X_SEND, X_RCV, X_GET e X_PUT |
| • Nel funzionamento master DP | tramite SFC I_GET e I_PUT |
| • Dati utili per job | massimo 76 byte |
| - Di cui coerenti | 1 variabile |
| Comunicazione S7 | Sì |
| • Dati utili per job | massimo 64 KByte |
| - Di cui coerenti | 1 variabile (462 byte) |
| Comunicazione compatibile S5 | tramite FC AG_SEND e AG_RECV, massimo tramite 10 CP 443-1 o 443-5 |
| • Dati utili per job | massimo 8 KByte |
| - Di cui coerenti | 240 byte |
| Comunicazione standard (FMS) | Sì (tramite CP e FB caricabile) |
| Interfacce | |
| Interfaccia 1 | |
| Tipo d'interfaccia | Integrata |
| Fisica | RS 485/Profibus |
| A potenziale separato | Sì |
| Alimentazione all'interfaccia (15 - 30V DC) | massimo 150 mA |
| Numero delle risorse di collegamento | MPI: 44 DP: 32, se sul ramo viene impiegato un repeater di diagnostica, il numero delle risorse di collegamento nel ramo si riduce di 1 |
| Funzionalità | |
| • MPI | Sì |
| • PROFIBUS DP | Master DP/slave DP |
| Prima interfaccia funzionamento MPI | |
| • Servizi | |
| - Comunicazione PG/OP | Sì |
| - Routing | Sì |
| - Comunicazione di dati globali | Sì |
| - Comunicazione di base S7 | Sì |
| - Comunicazione S7 | Sì |
| • Velocità di trasmissione | Fino a 12 MBaud |
| Prima interfaccia funzionamento master DP | |
| • Servizi | |
| - Comunicazione PG/OP | Sì |
| - Routing | Sì |
| - Comunicazione di base S7 | Sì |
| - Comunicazione S7 | Sì |
| - Equidistanza | Sì |
| - SYNC/FREEZE | Sì |
| - Attivazione/disattivazione slave DP | Sì |
| • Velocità di trasmissione | Fino a 12 MBaud |
| • Numero di slave DP | massimo 32 |
| • Area di indirizzamento | massimo 2 KByte ingressi / 2 KByte uscite |
| • Dati utili per slave DP | massimo 244 byte E, massimo 244 byte A, massimo 244 slot massimo 128 byte per Slot |
| Avvertenza: | |
| • La somma totale dei byte di ingresso per tutti gli slot può essere pari al massimo a 244. | |
| • La somma totale dei byte di uscita per tutti gli slot può essere pari al massimo a 244. | |
| • L'area di indirizzamento dell'interfaccia (massimo 2 KByte ingressi/ 2 KByte uscite) nel totale per tutti i 32 slave non deve essere superata. | |
| Prima interfaccia funzionamento slave DP | |
| La CPU può essere progettata solo una volta quale slave DP anche se essa dispone di più interfacce. | |
| • Servizi | |
| - Stato/comando; | Sì |
| - programmazione; | Sì |
| - Routing | Sì |
| • File GSD | http://www.ad.siemens.de/csi_e/gsd |
| • Velocità di trasmissione | Fino a 12 MBaud |
| • Memoria di trasferimento | 244 byte ingressi / 244 byte uscite |
| - Slot virtuali | massimo 32 |
| - Dati utili per area di indirizzamento | massimo 32 byte |
| - Di cui coerenti | 32 byte |
| Interfaccia 2 | |
| Tipo d'interfaccia | Integrata |
| Fisica | RS 485/Profibus |
| A potenziale separato | Sì |
| Alimentazione all'interfaccia (15 - 30V DC) | massimo 150 mA |
| Numero delle risorse di collegamento | 32, se sul ramo viene impiegato un repeater di diagnostica, il numero delle risorse di collegamento nel ramo si riduce di 1 |

| Funzionalità | |
|---|---|
| • PROFIBUS DP | Master DP/slave DP |
| Seconda interfaccia funzionamento master DP | |
| • Servizi | |
| - Comunicazione PG/OP | Sì |
| - Routing | Sì |
| - Comunicazione di base S7 | Sì |
| - Comunicazione S7 | Sì |
| - Equidistanza | Sì |
| - SYNC/FREEZE | Sì |
| - Attivazione/disattivazione slave DP | Sì |
| • Velocità di trasmissione | Fino a 12 MBaud |
| • Numero di slave DP | massimo 125 |
| • Area di indirizzamento | massimo 8 KByte ingressi / 8 KByte uscite |
| • Dati utili per slave DP | massimo 244 byte E, massimo 244 byte A, massimo 244 slot massimo 128 byte per Slot |
| Avvertenza: | |
| • La somma totale dei byte di ingresso per tutti gli slot può essere pari al massimo a 244. | |
| • La somma totale dei byte di uscita per tutti gli slot può essere pari al massimo a 244. | |
| • L'area di indirizzamento dell'interfaccia (massimo 8 KByte ingressi/ 8 KByte uscite) nel totale per tutti i 125 slave non deve essere superata. | |
| Seconda interfaccia funzionamento slave DP | |
| Dati tecnici come prima interfaccia | |
| Interfaccia 3 | |
| Tipo d'interfaccia | Modulo di interfaccia innestabile |
| Modulo di interfaccia impiegabile | IF-964-DP |
| Caratteristiche tecniche come l'interfaccia 2 | |
| Interfaccia 4 | |
| Tipo d'interfaccia | Modulo di interfaccia innestabile |
| Modulo di interfaccia impiegabile | IF-964-DP |
| Caratteristiche tecniche come l'interfaccia 2 | |
| Programmazione | |
| Linguaggio di programmazione | KOP, FUP, AWL, SCL |
| Quantità di operazioni | Vedere la lista operazioni |
| Livelli di parentesi | 8 |
| Funzioni di sistema (SFC) | Vedere la lista operazioni |
| Numero di SFC contemporaneamente attivi per ramo | |
| • DPSYC_FR | 2 |
| • D_ACT_DP | 4 |
| • RD_REC | 8 |
| • WR_REC | 8 |
| • WR_PARM | 8 |
| • PARM_MOD | 1 |
| • WR_DPARM | 2 |
| • DPNRM_DG | 8 |
| • RDSYSST | 1 ... 8 |
| • DP_TOPOL | 1 |
| Blocchi funzionali di sistema (SFB) | Vedere la lista operazioni |
| Numero di SFB contemporaneamente attivi | |
| • RDREC | 8 |
| • WRREC | 8 |
| Protezione del programma utente | Protezione tramite password |
| Accesso a dati coerenti nell'immagine di processo | Sì |
| Tempo di sincronizzazione CiR | |
| Carico di base | 100 ms |
| Tempo per byte di I/O | 40 µs |
| Sincronismo di clock | |
| Dati utili per slave con sincronia di clock | massimo 244 byte |
| Numero massimo di byte e slave in un'immagine di processo | Sono richiesti: numero di byte / 100 + numero di slave < 44 |
| Equidistanza | Sì |
| Clock più piccolo | 1 ms 0,5 ms senza utilizzo degli SFC 126, 127 |
| Clock massimo | 32 ms |
| Vedere il manuale <i>Sincronismo di clock</i> | |
| Dimensioni | |
| Misure di montaggio LxHxP (mm) | 50x290x219 |
| Posti connettore necessari | 2 |
| Peso | ca. 1,07 kg |
| Tensioni, correnti | |
| Assorbimento di corrente dal bus S7-400 (DC 5 V) | Tip. 1,5 A massimo 1,7 A |
| Assorbimento di corrente dal bus S7-400 (DC 24 V) | Somma degli assorbimenti di corrente delle componenti collegate alle interfacce MPI/DP, tuttavia massimo 150 mA per interfaccia |
| La CPU non assorbe corrente a 24 V, essa mette solo questa tensione a disposizione dell'interfaccia MPI/DP. | |
| Corrente di alimentazione a batteria | Tip. 600 µA massimo 1810 µA |
| Tensione di alimentazione per tamponamento esterno della CPU | DC 5 - 15 V |
| Tempo massimo di bufferizzazione | Vedere il manuale <i>Caratteristiche delle unità modulari</i> , capitolo 3.3 |
| Potenza dissipata | Tip. 6,0 W |

6.8 Dati tecnici delle memory card

| Nome | Numero di ordinazione | Corrente assorbita a 5 V | Correnti di batteria |
|---|-----------------------|----------------------------------|---|
| MC 952 / 64 KB / RAM | 6ES7952-0AF00-0AA0 | Tip. 20 mA massimo 50 mA | Tip. 0,5 μ A massimo 20 μ A |
| MC 952 / 256 KB / RAM | 6ES7952-1AH00-0AA0 | Tip. 35 mA massimo 80 mA | tip. 1 μ A massimo 40 μ A |
| MC 952 / 1 MB / RAM | 6ES7952-1AK00-0AA0 | Tip. 40 mA massimo 90 mA | Tip. 3 μ A massimo 50 μ A |
| MC 952 / 2 MB / RAM | 6ES7952-1AL00-0AA0 | Tip. 45 mA massimo 100 mA | Tip. 5 μ A massimo 60 μ A |
| MC 952 / 4 MB / RAM | 6ES7952-1AM00-0AA0 | Tip. 45 mA massimo 100 mA | Tip. 5 μ A massimo 60 μ A |
| MC 952 / 8 MB / RAM | 6ES7952-1AP00-0AA0 | Tip. 45 mA massimo 100 mA | Tip. 5 μ A massimo 60 μ A |
| MC 952 / 16 MB / RAM | 6ES7952-1AS00-0AA0 | Tip. 100 mA massimo 150 mA | Tip. 100 μ A massimo 500 μ A |
| MC 952 / 64 MB / RAM | 6ES7952-1AY00-0AA0 | Tip. 100 mA massimo 150 mA | Tip. 50 μ A massimo 125 μ A |
| MC 952 / 64 KB / 5V FLASH | 6ES7952-0KF00-0AA0 | Tip. 15 mA massimo 35 mA | - |
| MC 952 / 256 KB / 5V FLASH | 6ES7952-0KH00-0AA0 | Tip. 20 mA massimo 45 mA | - |
| MC 952 / 1 MB / 5V FLASH | 6ES7952-1KK00-0AA0 | Tip. 40 mA massimo 90 mA | - |
| MC 952 / 2 MB / 5V FLASH | 6ES7952-1KL00-0AA0 | Tip. 50 mA massimo 100 mA | - |
| MC 952 / 4 MB / 5V FLASH | 6ES7952-1KM00-0AA0 | Tip. 40 mA massimo 90 mA | - |
| MC 952 / 8 MB / 5V FLASH | 6ES7952-1KP00-0AA0 | Tip. 50 mA massimo 100 mA | - |
| MC 952 / 16 MB / 5V FLASH | 6ES7952-1KS00-0AA0 | Tip. 55 mA massimo 110 mA | - |
| MC 952 / 32 MB / 5V FLASH | 6ES7952-1KT00-0AA0 | Tip. 55 mA massimo 110 mA | - |
| MC 952 / 64 MB / 5V FLASH | 6ES7952-1KY00-0AA0 | Tip. 55 mA massimo 110 mA | - |
| Dimensioni L×A×P (in mm) | | 7,5 × 57 × 87 | |
| Peso | | massimo 35 g | |
| Protezione della compatibilità elettromagnetica (EMC) | | Tramite accorgimenti costruttivi | |

Modulo di interfaccia IF 964-DP

7

Sommario del capitolo

| Nel paragrafo | si trova | a pagina |
|---------------|--|----------|
| 7.1 | Modulo di interfaccia IF 964-DP per S7-400 | 7-2 |

7.1 Modulo di interfaccia IF 964-DP per S7-400

Numero di ordinazione

Il modulo di interfaccia IF 964-DP con il numero di ordinazione 6ES7964-2AA04-0AB0 può essere impiegato nelle CPU dell'S7-400 dallo stato di firmware 4.0.

Il modulo di interfaccia è contrassegnato sul pannello frontale e per questo motivo identificabile anche se montato.

Caratteristiche

Il modulo di interfaccia IF 964-DP consente il collegamento della periferia decentrata tramite PROFIBUS DP. Il modulo è provvisto di un'interfaccia RS485 con separazione di potenziale. La velocità di trasferimento massima è di 12 Mbit/s.

La lunghezza massima del cavo dipende dalla velocità di trasferimento e dal numero di nodi. Per un collegamento punto a punto con una velocità di 12 Mbit/s è ammessa una lunghezza di 100 m, con una velocità di 9,6 kbit/s la lunghezza del cavo può raggiungere i 1200 m.

Il sistema può essere configurato con un massimo di 125 stazioni.

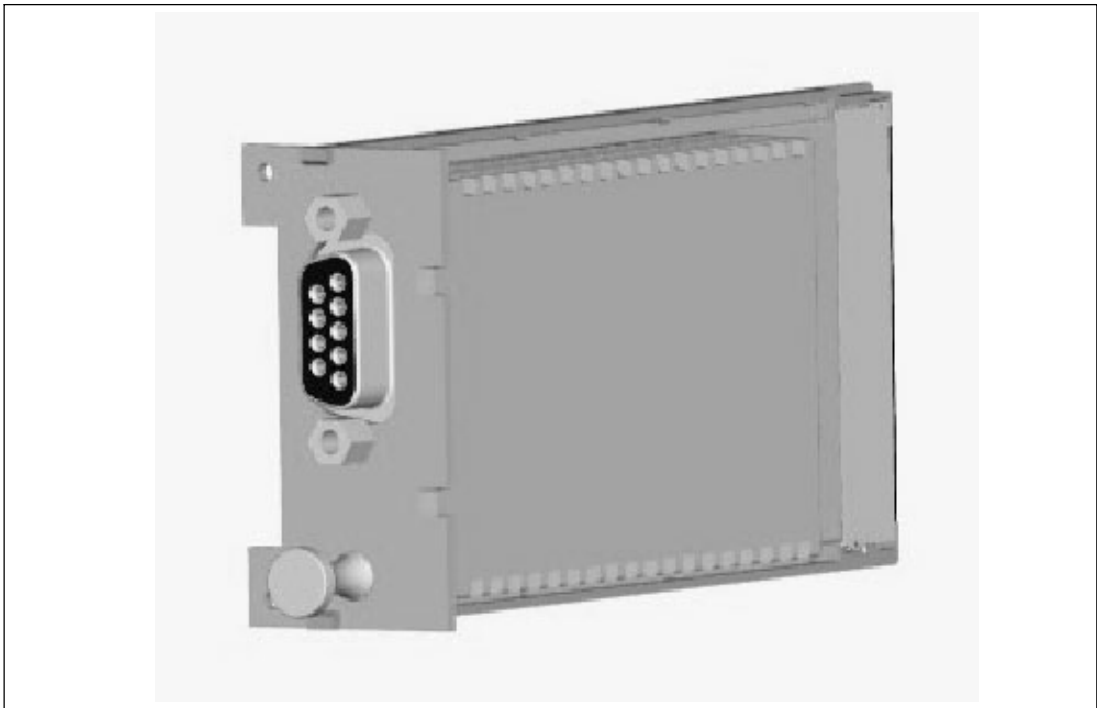


Figura 7-1 Modulo di interfaccia IF 964-DP

Avvertenza

Il modulo di interfaccia IF 964-DP va innestato o disinnestato solo in assenza di tensione.

Se si disinnesta il modulo di interfaccia con l'alimentazione inserita, la CPU si porta nello stato di funzionamento GUASTO.

Ulteriori informazioni

Ulteriori informazioni su "PROFIBUS-DP" sono contenute nei seguenti opuscoli e manuali:

- manuali della periferia decentrata master, per esempio *Controllori a logica programmabile S7-300* oppure *Sistema di automazione S7 400* per interfaccia PROFIBUS-DP
- manuali della periferia decentrata slave, per esempio *Unità di periferia decentrata ET 200M* o *Unità di periferia decentrata ET 200C*
- manuali di STEP 7

7.1.1 Piedinatura del connettore**Connettore X1**

Il collegamento del cavo con connettore avviene tramite il connettore sub-D a 9 poli sul frontalino. La tabella 7-1 illustra la piedinatura del connettore.

Tabella 7-1 Connettore X1 IF 964-DP (connettore sub-D a 9 poli)

| Pin | Segnale | Significato | Direzione |
|-----|-------------------|--|------------------|
| 1 | - | | |
| 2 | M 24 | Potenziale di riferimento 24 V | Uscita |
| 3 | LTG_B | Conduttore B | Ingresso/ uscita |
| 4 | RTSAS | request to send (AS) | Uscita |
| 5 | M5 _{ext} | Terra elettrica (senza potenziale) | Uscita |
| 6 | P5 _{ext} | + 5 V (senza potenziale), max. 20 mA (per l'alimentazione del terminatore di bus) | Uscita |
| 7 | P 24 V | + 24 V, max. 150 mA, senza separazione di potenziale | Uscita |
| 8 | LTG_A | Conduttore A | Ingresso |
| 9 | - | | |

7.1.2 Dati tecnici

Dati tecnici

Il modulo di interfaccia IF 964-DP viene alimentato dalla CPU. Nei dati tecnici è riportato l'assorbimento di corrente necessario per dimensionare l'alimentatore.

| Dimensioni e pesi | |
|------------------------------|---------------------------------------|
| Dimensioni L x A x P (mm) | 26 x 54 x 130 |
| Peso | 0,065 kg |
| Caratteristiche funzionali | |
| Baudrate | da 9,6 kbit/s a 12 Mbit/s |
| Lunghezza del conduttore | |
| • per 9,6 kbit/s | massimo 1200 m |
| • per 12 Mbit/s | massimo 100 m |
| Numero delle stazioni | ≤ 125 (dipendente dalla CPU usata) |
| Interfaccia | RS485 |
| Separazione di potenziale | sì |

| Tensioni, correnti | |
|--|---|
| Tensione di alimentazione | Viene alimentato dall'S7-400 |
| Assorbimento di corrente dal bus S7-400 | Somma degli assorbimenti di corrente delle componenti collegate all'interfaccia DP, però max. 150 mA |
| Dai 24 V il modulo non assorbe corrente, esso si limita a mettere a disposizione tale tensione all'interfaccia DP | |
| Il modulo non assorbe corrente a 24 V, esso mette solo questa tensione a disposizione dell'interfaccia DP | |
| Carico ammissibile dei 5 V senza potenziale (P5 _{ext}) | massimo 90 mA |
| Possibilità di carico dei 24 V | massimo 150 mA |
| Potenza dissipata | 1 W |

Indice analitico

A

Accessi diretti alla periferia, 5-16
Aggiornamento dell'immagine di processo,
tempo di elaborazione, 5-4, 5-5
allarme di diagnostica , CPU 31x-2
quale slave DP, 3-29
Allarme di multicomputing, 2-6
Allarmi, CPU 315-2 DP quale slave DP, 3-30
Area di indirizzamento, CPU 31x-2, 3-3
Aree di memoria, 4-2
Avviamento a freddo, ordine da seguire, 1-16
Avvio a caldo, 1-16
Avvio a freddo, 1-16

B

BUSF, 3-8, 3-18

C

Calcolo, tempo di reazione, 5-12
Cancellazione totale, ordine da seguire, 1-14
Carico del ciclo, comunicazione tramite MPI
e bus K, 5-4
CiR, 2-7
Comunicazione, diretta, 3-31
Comunicazione diretta
CPU 31x-2, 3-31
diagnostica, 3-32
Comunicazione tramite MPI e tramite bus K,
carico del ciclo, 5-4
Controllo del ciclo, tempo di elaborazione, 5-6
CPU
commutatore dei modi di funzionamento, 1-13
parametri, 1-22
CPU 315-2 DP
Vedere CPU 31x-2
master DP, 3-4
CPU 316-2 DP. *Vedere* CPU 31x-2
CPU 318-2. *Vedere* CPU 31x-2
CPU 31x-2
aree di indirizzamento DP, 3-3
cambiamenti degli stati di funzionamento, 3-12,
3-22, 3-32
Comunicazione diretta, 3-31
indirizzi di diagnostica per PROFIBUS, 3-11,
3-21

interruzione del bus, 3-12, 3-22, 3-32
master DP
diagnostica con STEP 7, 3-9
diagnostica tramite LED, 3-8
memoria di trasferimento, 3-14
slave DP, 3-13
diagnostica tramite LED, 3-18

D

Dati coerenti, 3-34
accesso alla memoria di lavoro, 3-35
blocchi dati di comunicazione, 3-35
funzioni di comunicazione, 3-35
immagine di processo, 3-37
SFC 14 "DPRD_DAT", 3-35
SFC 15 "DPWR_DAT", 3-36
SFC 81 "UBLKMOV", 3-34
slave a norma DP, 3-35
Dati di servizio, 2-2
Dati tecnici
CPU, 6-1
CPU 412-1, 6-2
CPU 412-2, 6-6
CPU 414-2, 6-10
CPU 414-3, 6-14
CPU 416-2, 6-18
CPU 416-3, 6-23
CPU 417-4, 6-28
IF 964-DP, 7-4
memory card, 6-32
Diagnostica
comunicazione diretta, 3-32
riferita all'apparecchiatura, CPU 31x-2
quale slave, 3-28
riferita all'identificazione, CPU 315-2 DP
quale slave DP, 3-27
Diagnostica riferita all'apparecchiatura, CPU 31x-2
quale slave DP, 3-28
Diagnostica riferita all'identificazione, CPU 31x-2
quale slave DP, 3-27
Diagnostica slave DP, struttura, 3-23

E

Elaborazione dell'interrupt di processo, 5-23

F

FLASH card, 1-18
Funzioni di controllo, 1-8

I

IF 964-DP, 7-2
 caratteristiche, 7-2
 dati tecnici, 7-4
 manuali, 7-3
 piedinatura del connettore, 7-3
Indirizzi di diagnostica, CPU 31x-2, 3-11, 3-21
Indirizzo di master PROFIBUS, 3-25
Interfaccia DP, 1-21
Interfaccia MPI, 1-20
Interrupt di processo, CPU 31x-2 quale slave DP,
 3-29

L

LED di errore, 1-11
 CPU 41x-3 e 41x-4, 1-12
Lettura dei dati di servizio, 2-2
Livello di protezione, 1-14
 impostazione, 1-14

M

Master DP
 CPU 31x-2, 3-4
 diagnostica con STEP 7, 3-9
 diagnostica tramite LED, 3-8
Memoria di trasferimento
 CPU 31x-2, 3-14
 per trasferimento dati, 3-14
Memory card, 1-17
Multicomputing, 2-3

N

Numeri di ordinazione, memory card, 6-32
numeri di ordinazione, CPU, 6-1
Numero di ordinazione
 6ES7412-1XF04-0AB0, 6-2
 6ES7412-2XG04-0AB0, 6-6
 6ES7414-2XG04-0AB0, 6-10
 6ES7414-3XJ04-0AB0, 6-14
 6ES7416-3XL04-0AB0, 6-23
 6ES7417-4XL04-0AB0, 6-28
 6ES7416-2XK04-0AB0, 6-18
Nuovo avviamento, 1-16
 ordine da seguire, 1-16

P

Panoramica, 1-22
Parametri MPI, 1-15

R

RAM card, 1-18
Riavviamento, 1-16
 ordine da seguire, 1-16

S

Scambio di dati incrociato. *Vedere* Comunicazione
 diretta
SFC 81 "UBLKMOV", 3-34
Sincronismo di clock, 3-6
Sistema operativo, tempo di elaborazione, 5-6
Slave a norma DP, dati coerenti, 3-35
Slave DP
 CPU 31x-2, 3-13
 diagnostica tramite LED, 3-18
Slave DP, diagnostica con STEP 7, 3-18
Spie di stato, tutte le CPU, 1-10
Stack blocchi, 4-4
Stato delle stazioni da 1 a 3, 3-24

T

Telegramma di configurazione. *Vedere* in Internet
 al sito <http://www.ad.siemens.de/simatic-cs>
Telegramma di parametrizzazione.
 Vedere in Internet al sito
 <http://www.ad.siemens.de/simatic-cs>
Tempo di ciclo, 5-2
 esempio di calcolo, 5-17, 5-18
 parti, 5-3
 prolungare, 5-4
Tempo di elaborazione
 aggiornamento dell'immagine di processo, 5-4,
 5-5
 controllo del ciclo, 5-6
 del sistema operativo, 5-6
 programma utente, 5-4
Tempo di elaborazione del programma utente, 5-4
Tempo di reazione, 5-12
 allarme di diagnostica, 5-23
 calcolo, 5-12, 5-14, 5-15
 il più breve, 5-14
 il più lungo, 5-15
 interrupt di processo, 5-21
 parti, 5-12
 ridurre, 5-16

Tempo di reazione all'allarme di diagnostica, 5-23
Tempo di reazione all'interrupt del processo
delle CPU, 5-22
delle unità di ingresso/uscita, 5-22
Tempo di reazione all'interrupt di processo, 5-21

