

Instituto Superior de Engenharia do Porto  
ISEP



## Manual de Instruções para a Placa de Testes da FPGA Max3064A da Altera

Ano lectivo 2004/2005  
3º do Bacharelato do curso de  
Engenharia Electrotécnica – Electrónica e Computadores

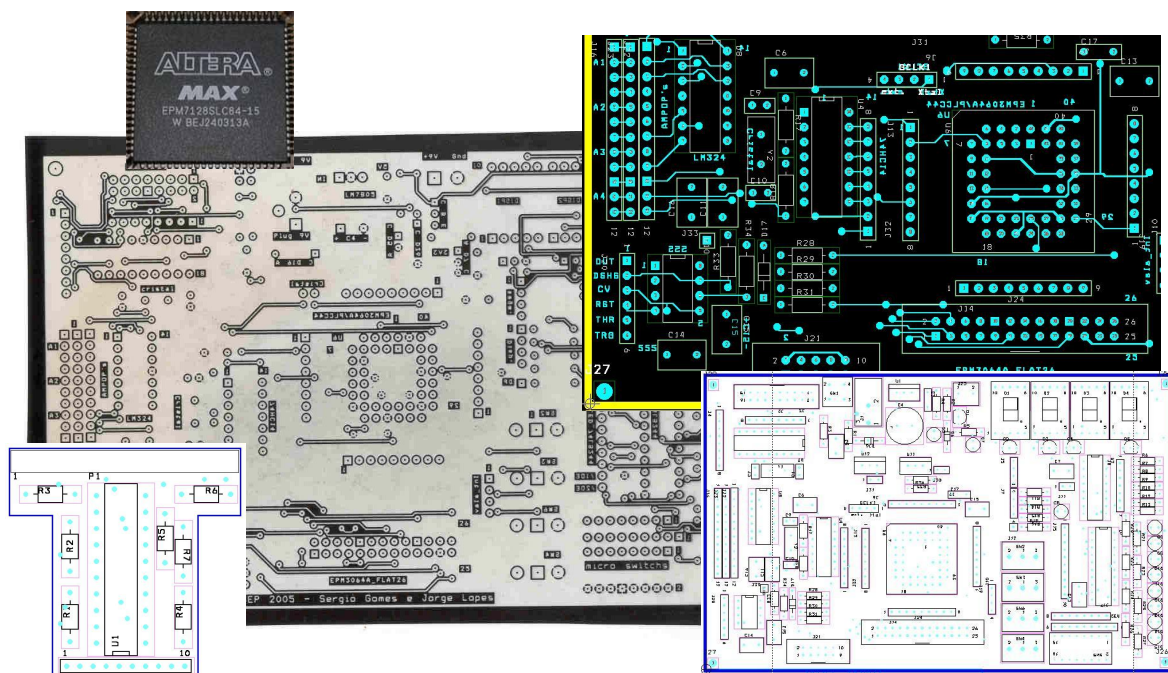


Desenvolvido por:  
Jorge C. Lopes & Sérgio M. N. M. Gomes



Cadeira:  
Projecto

Docente Responsável:  
Prof. J. M. Vieira dos Santos



## Introdução

Este manual de instruções foi desenvolvido no âmbito do trabalho da disciplina de Projecto, após o desenvolvimento de uma placa de testes para o componente utilizado no mesmo. O manual surge na necessidade de identificar todos os componentes que estão instalados na placa e respectivas ligações eléctricas. Na sequência da possibilidade de esta placa de testes ser aproveitada como kit didáctico para futuros alunos deste curso nesta instituição, foi delineada a necessidade de deixar referências ao modo de montar a placa e, eventualmente, desenvolver a mesma.

Aqui serão deixadas referências visuais às partes mais importantes da placa, com relevo para os pinos dos ligadores, para que os utilizadores saibam onde ligar cada *pad* da placa. É importante ler primeiro o relatório desenvolvido pelo grupo para este projecto antes de ler este manual. O manual é meramente um auxiliar ao relatório com dados mais específicos sobre a placa, cuja principal finalidade é ajudar a construção, desenvolvimento e utilização desta placa de testes. No relatório denominado “**Relatório do Trabalho para a Disciplina de Projecto - AGV controlado por uma FPGA** –“ é explicada de forma detalhada a composição da placa e dos seus componentes.

O manual deve ter como referências os *folhas de características* dos componentes utilizados na placa e o relatório desenvolvido pelo grupo para o projecto. Estes documentos fornecerão os dados relativos ao funcionamento dos componentes utilizados e esquemas das ligações eléctricas instaladas por defeito, como por exemplo a ligação em modo *astável* do LM555. Os nomes dos *folhas de características* dos componentes (no formato *pdf*) utilizados estão disponíveis no relatório desenvolvido em paralelo com este manual e que deve ser guardado como documento de referência para a placa de testes.

## Referências principais

A placa de testes da Max3064a é uma placa de circuitos impressos (de dimensões 16x10 cm) que utiliza como FPGA uma EPM3064ALC44-10 da família MAX 3000 da Altera com 44 pinos. Esta é a FPGA de menor capacidade e, conseqüentemente, a mais barata que o ISEP disponibilizava até à data de conclusão deste manual. Foi acrescentado à placa um oscilador externo ( Oscilador de Cristal ), duas alimentações para os integrados (de 5 volts e 3.3 volts reguláveis) e um conector de 10 pinos para o cabo Byteblaster MV da Altera. Estes componentes, como explicado no relatório, são os principais componentes de auxílio ao funcionamento da FPGA. Os restantes componentes servem para teste à FPGA e ao PIC. Os esquemáticos do circuito impresso desta placa e da placa do cabo Byteblaster serão disponibilizados ao engenheiro responsável (prof J. M. Vieira dos Santos) para futuras alterações ou encomendas das mesmas.

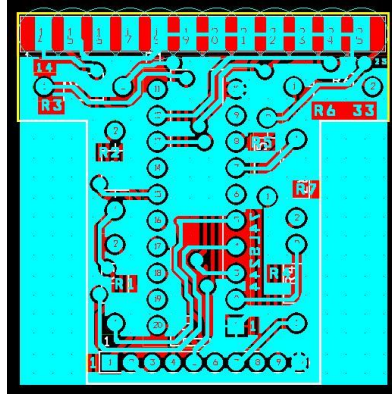
### Contactos:

Jorge Costa Lopes  
Aluno nº 1010904 Turma C  
[1010904@isep.ipp.pt](mailto:1010904@isep.ipp.pt)

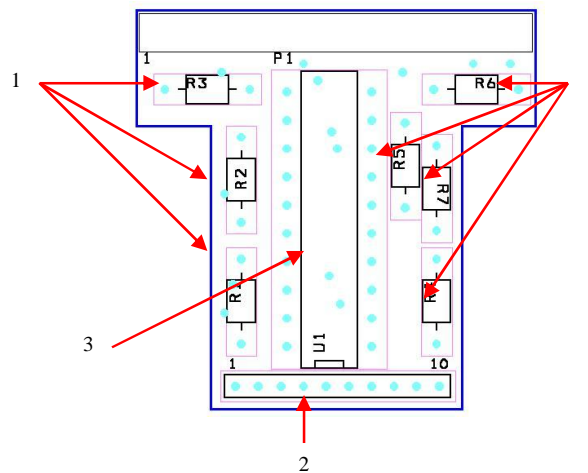
Sérgio Miguel Neto Martins Gomes  
Aluno nº 1010659 Turma C  
[1010659@isep.ipp.pt](mailto:1010659@isep.ipp.pt)

## Descrição da placa do cabo Byteblaster

A placa que foi desenvolvida para ser instalada no interior da caixa do conector de 25 pinos do cabo Byteblaster da Altera foi a seguinte:



*Vista da placa do cabo Byteblaster da Altera:*

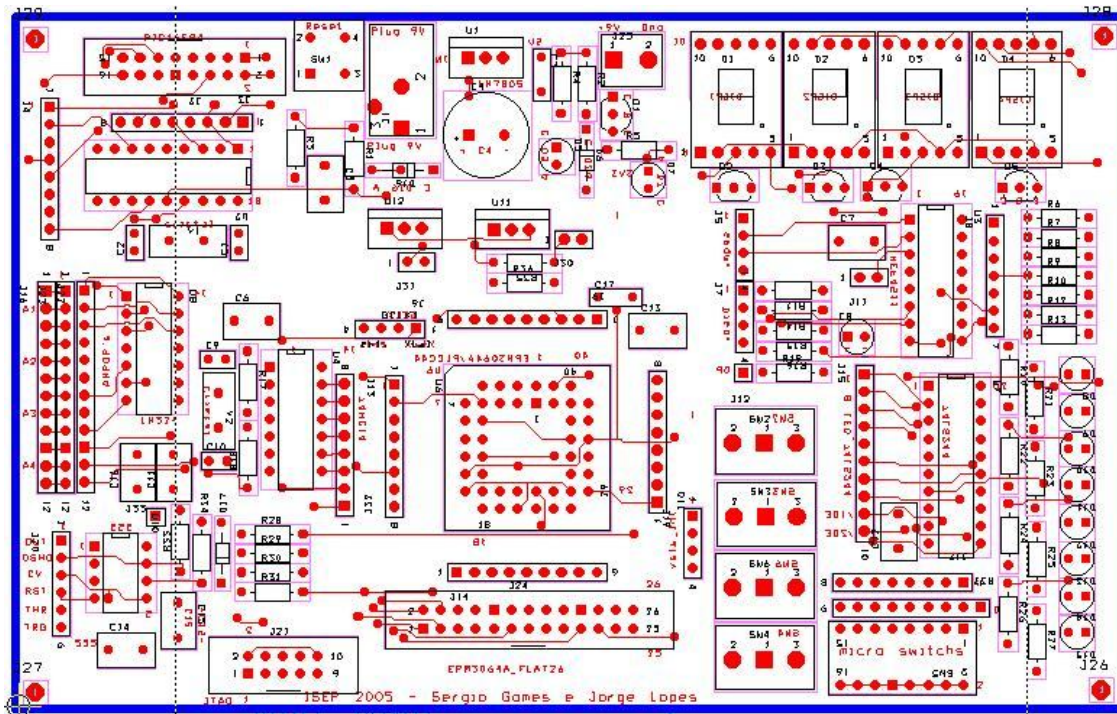


### **Legendas:**

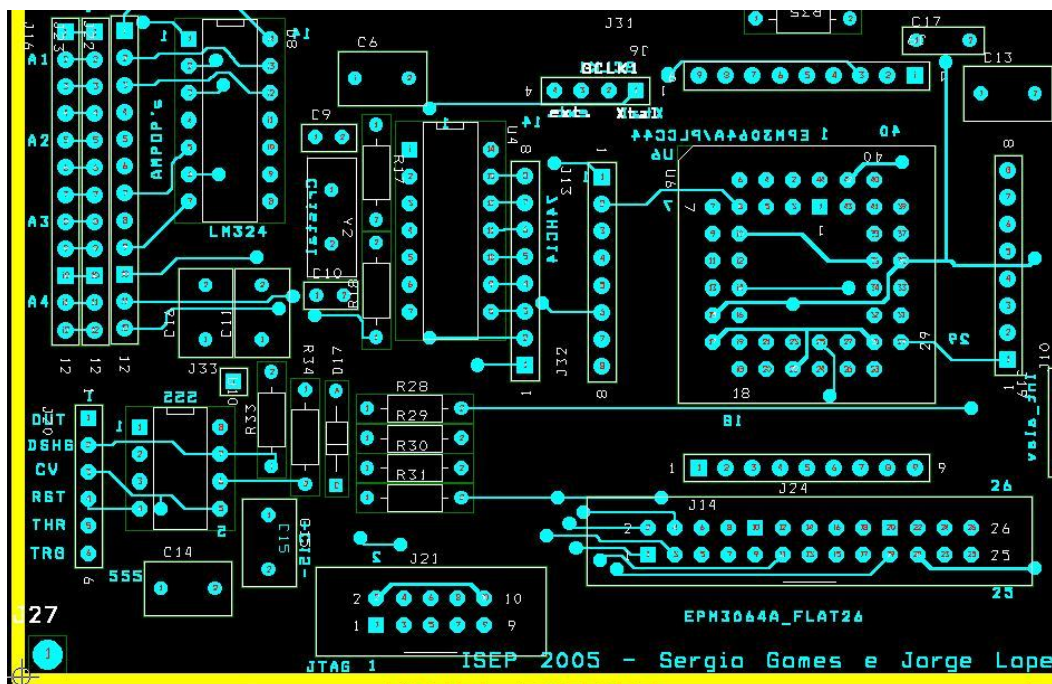
- 1 – 7 Resistências R1->R7 ( 33 Ω );
- 2 – 10 buracos para soldar a fita paralela;
- 3 – Integrado 74LS244 (sem socket para caber dentro da caixa do DB 25);

## Descrição da Placa de Testes da Max3064a

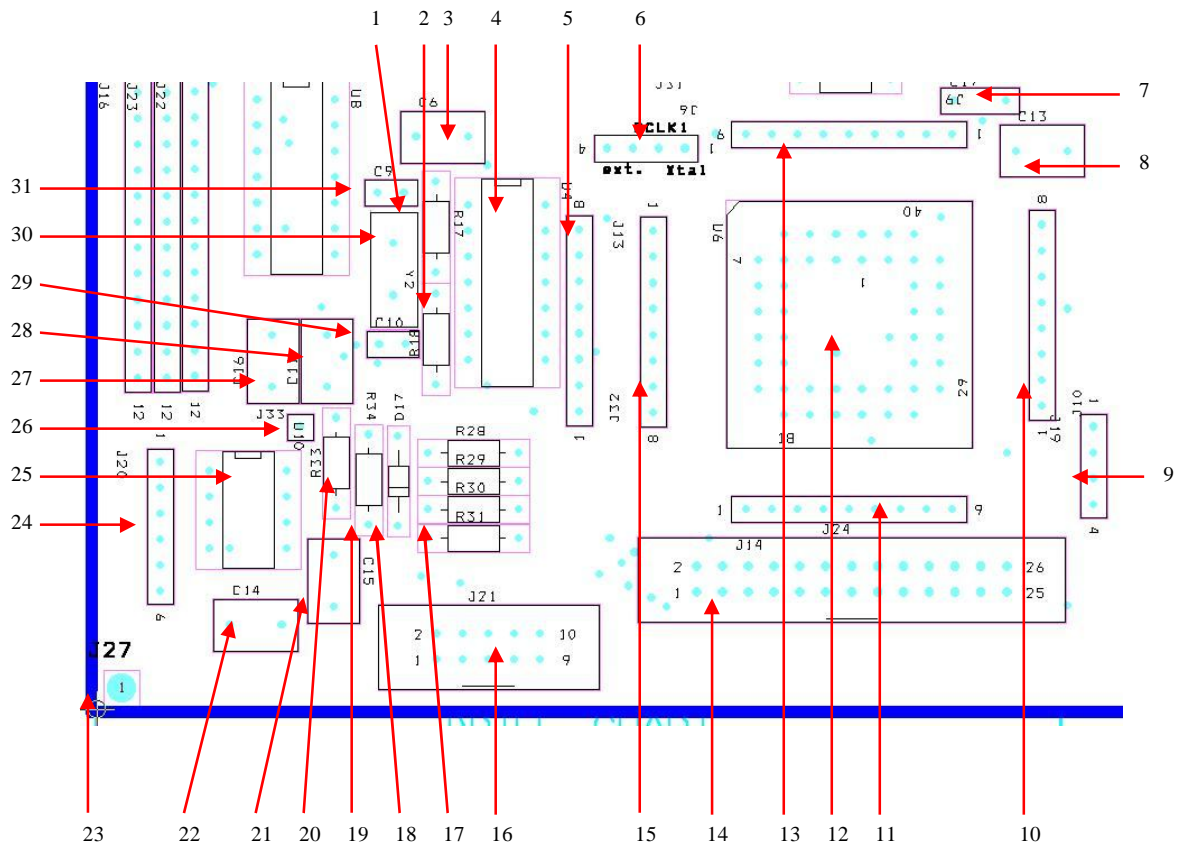
Esta placa tem como dimensões 16x10 cm e tem a aparência deste esquema:



Esta imagem da placa vista de topo, permite uma perspectiva global da colocação dos componentes utilizados e respectivos furos na placa para os pinos. Assim, começando por analisar a placa por 4 sectores diferentes, vamos indicando ponto por ponto o que está disponível na placa.



*Vista do canto inferior esquerdo:*



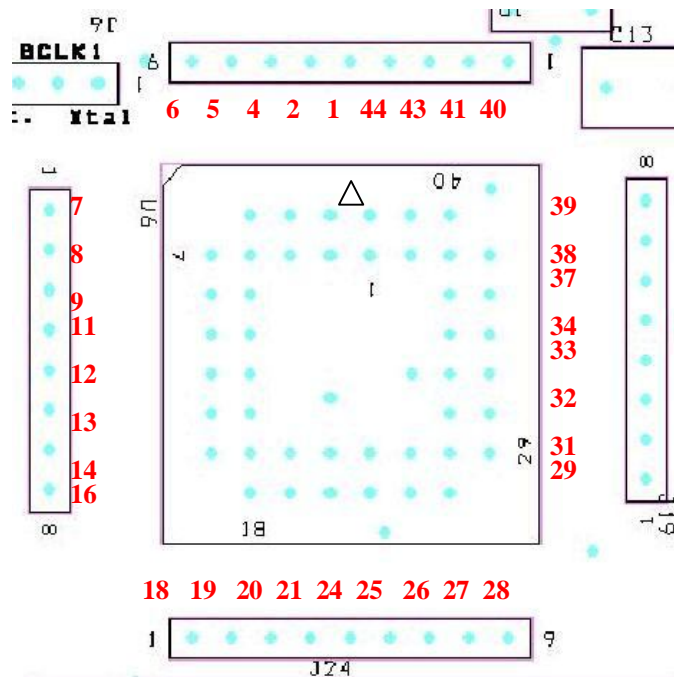
**Legendas:**

- 1 – Resistência R17 ( 1 Meg $\Omega$  );
- 2 – Resistência R18 ( 2.7 K $\Omega$  );
- 3 – Condensador C6 (100 nF);
- 4 – Integrado 74HC14 (socket 14 pinos);
- 5 – 8 pads J32 (portas do 74HC14);
- 6 – Jumper de cristal/oscilador externo J6;
- 7 – Condensador C17 ( 10 uF );
- 8 – Condensador C13 ( 100 nF );
- 9 – 4 pads J19 (interruptores de alavanca);
- 10 – 8 pads J10 ( pinos da FPGA);
- 11 – 9 pads J24 (pinos da FPGA);
- 12 – FPGA Max3064A (socket de 44 pinos);
- 13 – 9 pads J9 (pinos da FPGA);
- 14 – Conector de 26 pinos J14;
- 15 – 8 pads J13 (pinos da FPGA);
- 16 – Conector 10 pinos J21 ( JTAG do cabo Byteblaster);
- 17 – 4 resistências do JTAG R28->R31 (1 k $\Omega$ );
- 18 – Díodo de protecção D17;
- 19 – Resistência R34 (R6\_7 do LM555);
- 20 – Resistência R33 (R7\_Vcc do LM555);
- 21 – Condensador C15 (condensador variável do LM555);

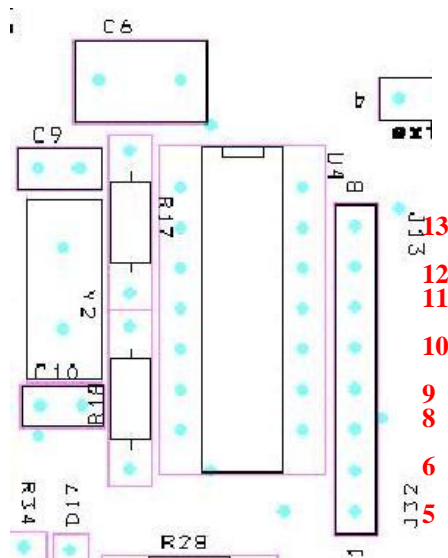
- 22 – Condensador C14 (10 nF);
- 23 – Buraco para parafuso;
- 24 – 6 pads J20 (pinos do LM555);
- 25 – Integrado LM555 (socket de 8 pinos);
- 26 – 1 pad J33 (saída de 5 volts);
- 27 – Condensador C16 (100 nF);
- 28 – Condensador C11 (100 nF);
- 29 – Condensador C10 (52 pF);
- 30 – Cristal de 2.048 MHz Y2(cristal do Oscilador);
- 31 – Condensador C9 (22 pF);

**Portas dos integrados nos pads:**

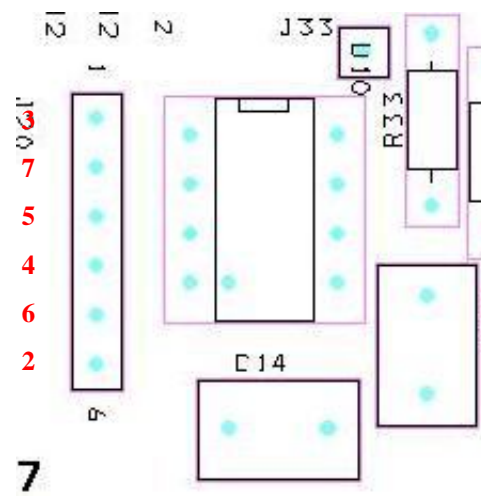
FPGA:



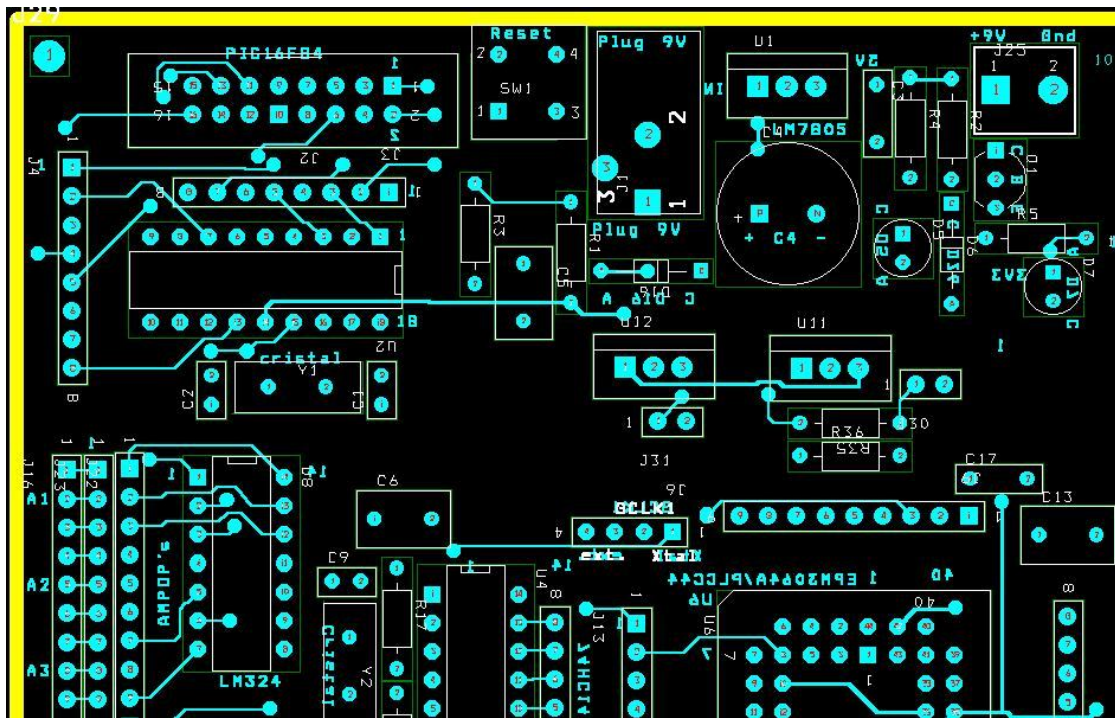
Oscilador:



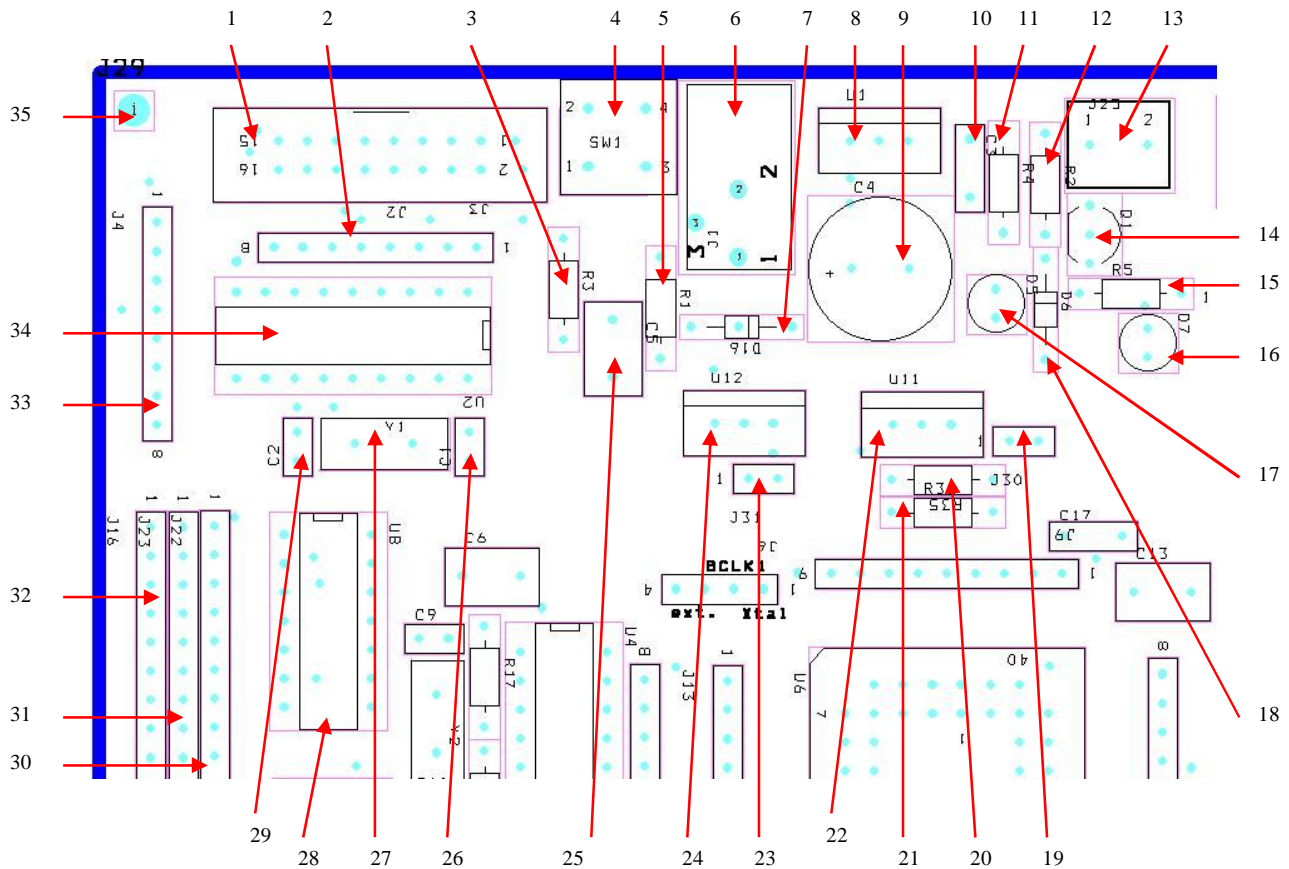
LM555:



*Vista do canto superior esquerdo:*



### Esquema da colocação dos componentes:



### Legendas:

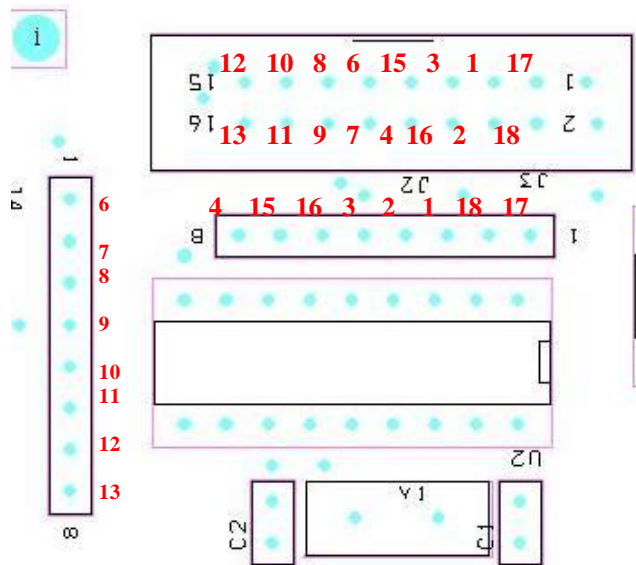
- 1 – 16 pads J2 (todas as portas da PIC16F84);
- 2 – 8 pads J3 (metade das portas da PIC16F84);
- 3 – Resistência R3 (220  $\Omega$ );
- 4 – Botão de pressão SW1 (para RESET da PIC);
- 5 – Resistência R1 ( 1 Meg $\Omega$ );
- 6 – Jack para o transformador;
- 7 – Díodo de protecção D16;
- 8 – Regulador LM7508 U1;
- 9 – Condensador C4 ( 1000 uF);
- 10 – Condensador C3 ( 0.1 uF);
- 11 – Resistência R4 ( 1 k $\Omega$ );
- 12 – Resistência R2 ( 220  $\Omega$ );
- 13 – Ligador para entrada de 9 volts J25;
- 14 – Transistor Q1 ( BC548);
- 15 – Resistência R5 ( 1 k $\Omega$ );
- 16 – LED Verde D7;
- 17 – LED Vermelho D9;
- 18 – Díodo de Zénner de 3.9 Volts D6;
- 19 – Jumper J30 para utilizar o LM317 para a alimentação de 3.3 volts;
- 20 – Resistência R36 ( 390  $\Omega$ );



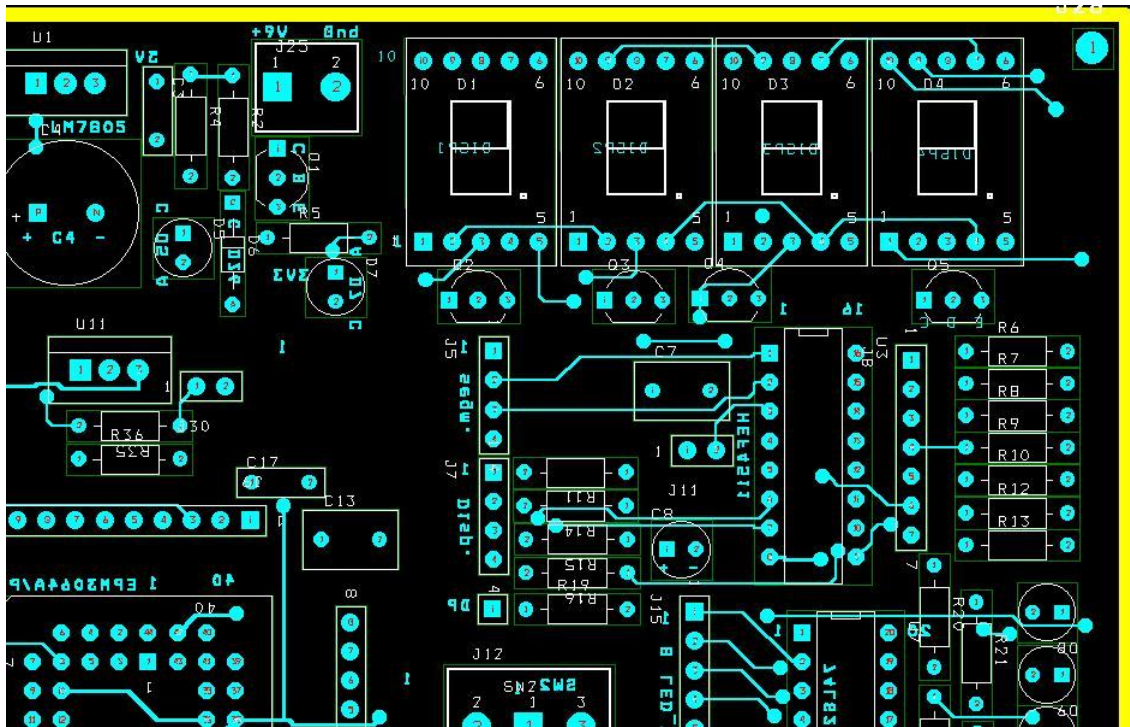
- 21 – Resistência R35 ( 240  $\Omega$ );
- 22 – Regulador LM317 U11;
- 23 – Jumper J31 para a utilização de um LM78033 de 3.3 volts;
- 24 – Regulador LM78033 U12;
- 25 – Condensador C5 ( 100 nF);
- 26 – Condensador C1 ( 22 pF);
- 27 – Cristal para o PIC;
- 28 – Integrado LM324 (4 ampops) (socket de 14 pinos);
- 29 – Condensador C2 (52 pF);
- 30 – 12 pads J16 (ligados ao LM324);
- 31 – 12 pads J22 (ligados ao LM324);
- 32 – 12 pads J23 (ligados ao LM324);
- 33 – 8 pads J4 (metade das portas da PIC16F84);
- 34 – Integrado PIC16F84 (socket de 18 pinos);
- 35 – Buraco para parafuso.

**Portas dos integrados nos pads:**

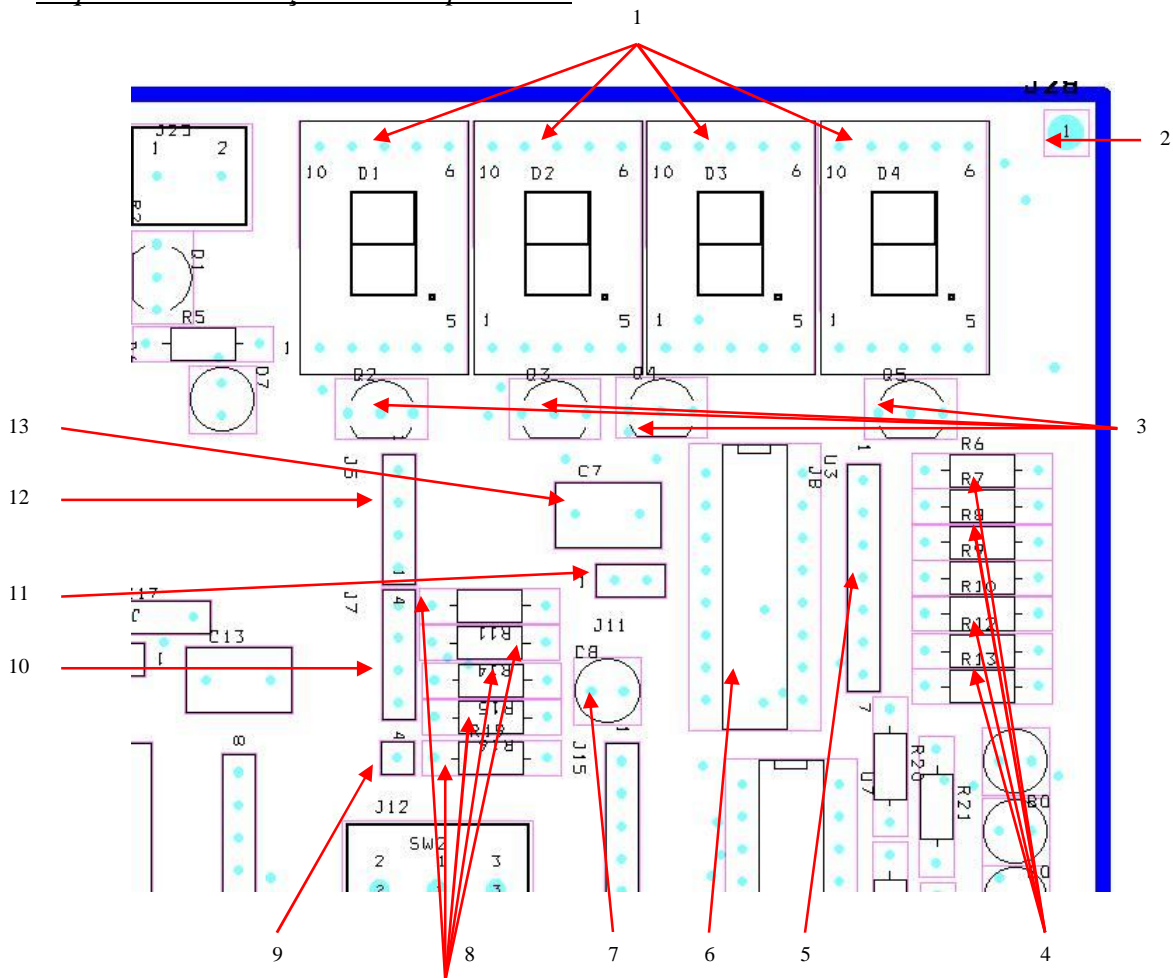
PIC16F84:



*Vista do canto superior direito:*



*Esquema da colocação dos componentes:*

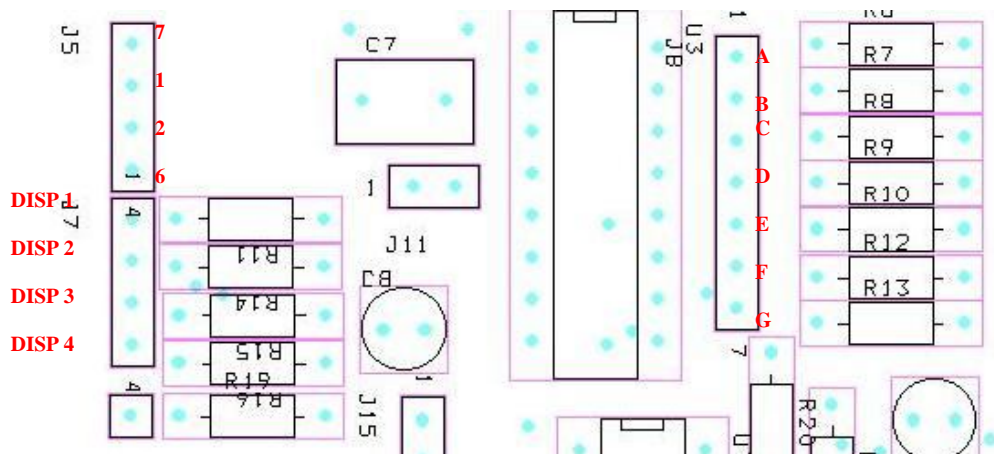


## Legendas:

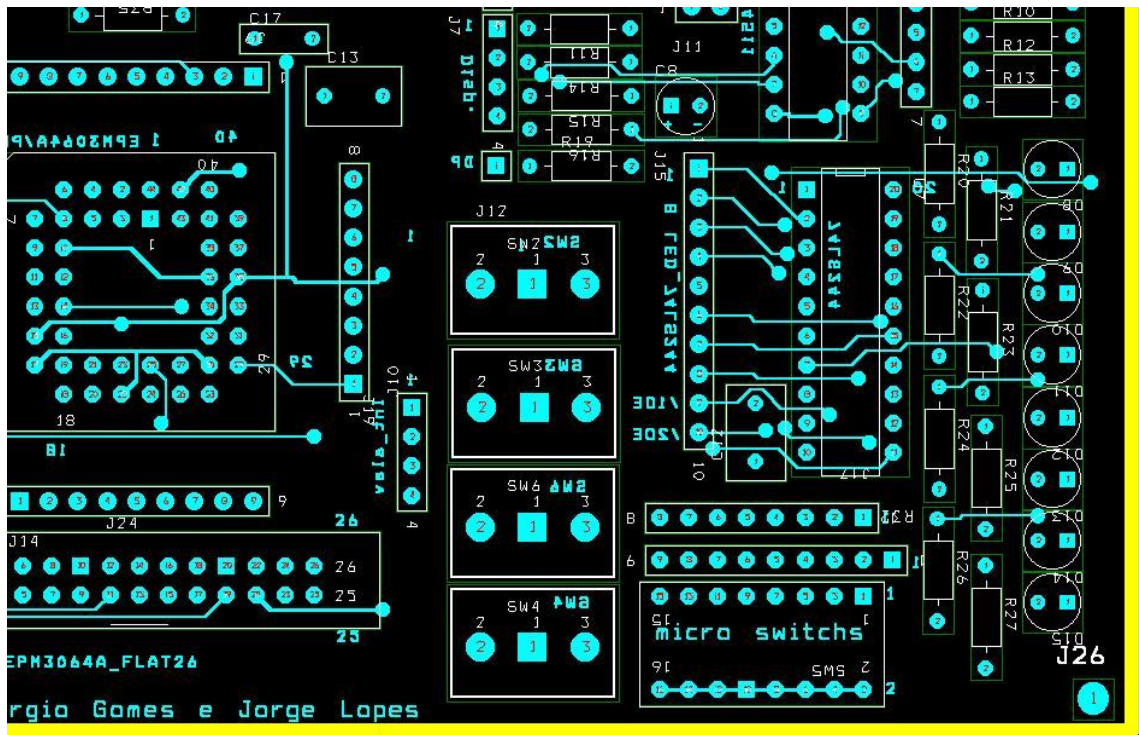
- 1 – 4 Displays de 7 segmentos com ponto separado DISP1->DISP4 (ánodo-comum);
- 2 – Buraco para parafuso;
- 3 – 4 transístores Q2->Q5 ( BC548);
- 4 – 7 resistências R6->R13 ( 270  $\Omega$ );
- 5 – 7 pads J8 (ligação directa aos displays);
- 6 – Integrado HEF4511B (socket 16 pinos);
- 7 – Condensador C8 ( 10 uF);
- 8 – 5 Resistências R11->R16 ( 4.7 K $\Omega$ );
- 9 – 1 pad J12 (DP para activar o ponto nos displays);
- 10 – 4 pads J7 ( para activar e efectuar a multiplexagem dos displays);
- 11 – Jumper J11 ( para activar o decodificador de BCD);
- 12 – 4 pads J5 (para aceder às 4 entradas do decodificador BCD) ;
- 13 – Condensador C7 ( 100 nF).

## Portas dos integrados nos pads:

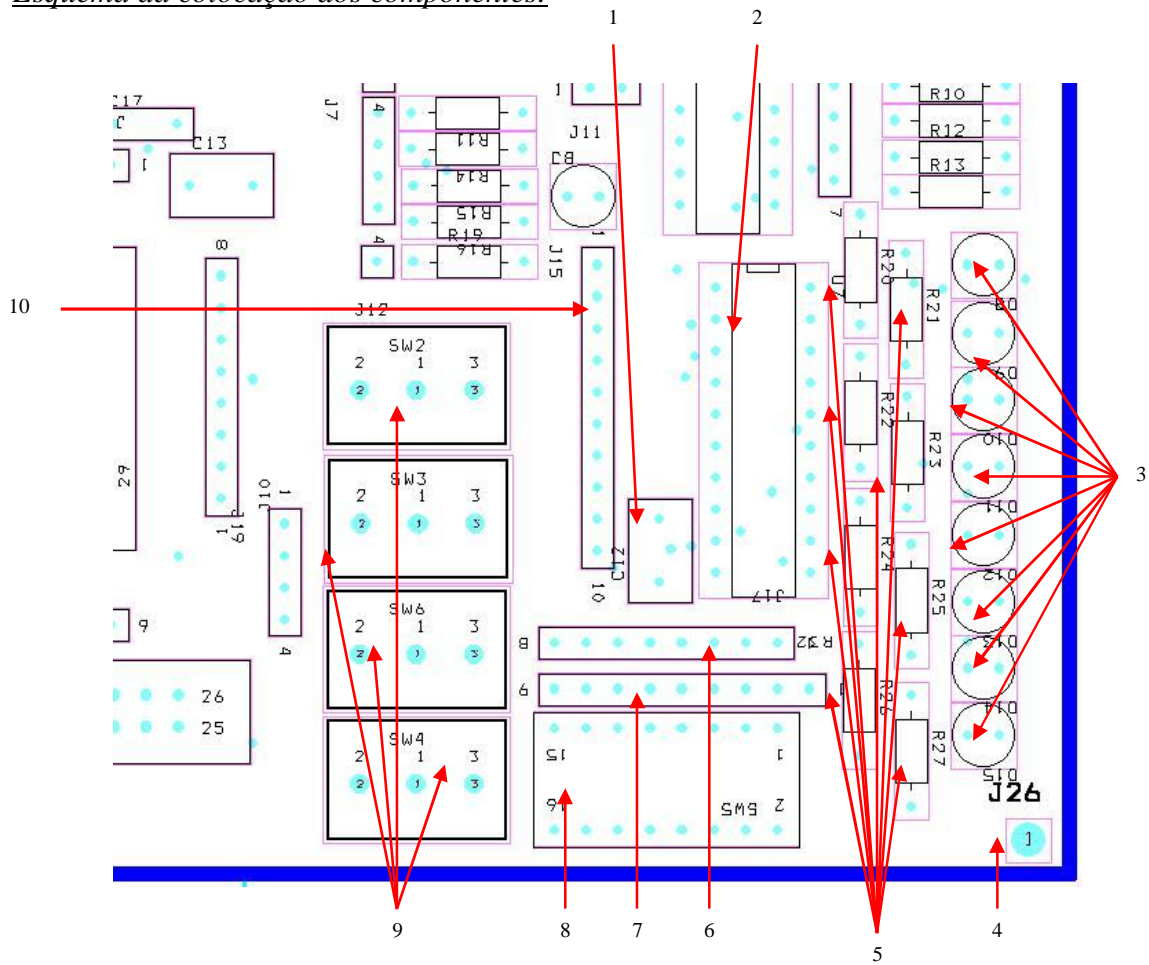
HEF4511B:



Vista do canto inferior direito:



Esquema da colocação dos componentes:

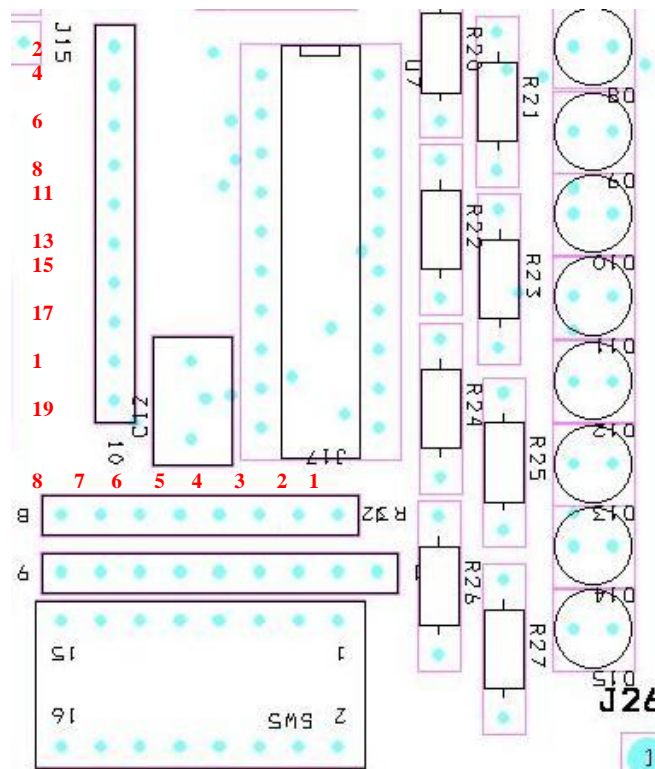


### Legendas:

- 1 – Condensador C12 ( 100 nF);
- 2 – Integrado 74LS244 (socket de 20 pinos);
- 3 – 8 LEDS vermelhos D8->D15 ;
- 4 – Buraco para parafuso;
- 5 – 8 resistências R20->R27 ( 270  $\Omega$ );
- 6 – 8 pads J17 (para ligar aos micro switches(DIP-switch));
- 7 – 1 resistência pull-up ( 8 de 100 K $\Omega$ );
- 8 – 8 micro switches (Dip-switch);
- 9 – 4 interruptores de alavanca;
- 10 – 10 pads J15 (para ligar ao buffer 74LS244).

### Portas dos integrados nos pads:

74LS244:



### Dados Finais

Procurou-se neste manual responder às questões potenciais levantadas pela placa de teste desenvolvida por este grupo, embora a relativa complexidade da placa não permita abarcar todas as possíveis questões. Qualquer programação deve ser efectuada através dos programas disponibilizados pela Altera no sitio <http://www.altera.com>