# Manual de Instalação da Plataforma Scorpion

1. Como conectar a Plataforma Scorpion com a Xilinx Starter-3E kit

Para começar a ler este manual, é bom que você conheça os componentes desta conexão.

- Plataforma Xilinx Starter-3E

Nesta Plataforma, existe uma porta USB localiza à esquerda da figura. Esta porta deve ser conectada ao computador para que se possa configurar a FPGA. Na parte superior esquerda, possui uma conexão com a fonte de alimentação, que deve estar ligada o tempo todo na energia; pois, a FPGA trabalha como a memória RAM, e só vai ficar programada após você ter feito as configurações necessárias e até ela ser desligada da tomada.



Figura 1: Plataforma Xilinx Starter-3E

- Plataforma Scorpion

Esta Plataforma possui uma porta USB à direita da imagem. Esta porta deve ser conectada ao computador que irá executar o projeto, após a devida configuração da placa.



Figura 2: Plataforma Scorpion

- Flat Controller

O Flat Controller é composto por quatro fios, que irão fazer o controle da transmissão de dados entre as duas plataformas. Este controle é necessário porque os bytes que representam a operação e os operandos serão divididos em dois grupos de quatro bits cada. Então, estes fios farão o controle de quando uma plataforma poderá enviar/ler os bits que forem transferidos.



Figura 3: Flat Controller

Inicialmente, você precisa conectar as plataformas através do encaixe de pinos e ligar um Flat Controller.

A Plataforma Scorpion possui dois grupos de quatro pinos, localizados em seu lado esquerdo. Tais pinos funcionam para entrada e saída de dados. Eles devem ser encaixados à plataforma Xilinx Starter-3E através de seus conectores, localizados na parte inferior direita. Esta conexão é mostrada na figura 4.



Figura 4: Conexão entre a Plataforma Xilinx Starter-3E e a Scorpion

Feito isso, ligue o Flat Controller (mostrado na figura 3). Os quatro fios devem ser ligados aos pinos IO9, IO10, IO11, IO12; esta conexão é mostrada na figura 5.



*Figura 5: Conexão entre as plataformas e o Flat Controller* 

2. Programando a FPGA

Primeiramente, é importante dar uma breve explicação sobre o FPGA. O FPGA (Field Programmable Gate Array) é um chip que suporta a implementação de circuitos lógicos relativamente grandes. Consiste de um grande arranjo de células lógicas ou blocos lógicos configuráveis contidos em um único circuito integrado. Cada célula contém capacidade computacional para implementar funções lógicas e realizar roteamento para comunicação entre elas.

Para que você possa fazer um teste de conexão entre as plataformas, estamos disponibilizando um projeto de somador-subtrator de 8 bits, que já possui um protocolo de comunicação preparado para funcionar em conjunto com a Plataforma Scorpion (o princípio de funcionamento está descrito no Anexo I). Após carregar o *bitstream* (é uma sequência de bits que representa o projeto compilado) para o FPGA, o projeto estará pronto para comunicar-se com a Scorpion, enviando e recebendo dados.

Para carregar o projeto, você deve abrir o Xilinx ISE 10.1 e ir até o menu File > Open Project. Procure a pasta onde você salvou o arquivo que disponibilizamos para teste, abra as pastas Somador-LCD > Somador-LCD > Scorpion\_ADD\_LCD > ScorpionNovo > Scorpion\_20082009 > LCD e selecione o arquivo LCD.ise.



Figura 6: Arquivo do Projeto Somador-Subtrator

Com o LCD.ise aberto, você deve ir até a aba Processes e seguir quatro passos:

a) Dê dois cliques em Synthesize – XST. Aqui o programa vai sintetizar o seu projeto e buscar possíveis erros;



Figura 7: Synthesize - XST

b) Dê dois cliques em Implement Design;



Figura 8: Implement Design

c) Dê dois cliques em Generate Programming File;

	EPGA Design Summany	tion of the last 1 mm	LOD D		(2010 10:00:25)		_	
urces for: Implementation	Design Overview	Designet Ciles	LCD Pr	oject Status (06/18	/2010 - 16.06.35)	Placed and Pouted		
CLCD	Summary	Project File:	LCD.ise	Cur	Current State. Placed and Route			
@xc3s500e-4fg320	- 🖹 IOB Properties	Module Name:	Projeto_code		• Errors:	INO Errors		
<u>Nath</u> Projeto_code - Benavioral (icd.vnd) <u>SomadarSub - addaub - Bobaviaral (addaub vbd)</u>	Module Level Utilization	Target Device:	xcosoue-4igozu	0.11	• warnings.	35 Warnings		
Constraints.ucf (constraints.ucf)	Iming Constraints     Discust Report	Product Version:	ISE IU.I - Foundation	n Simulator	Routing Results:	All Signals Complet	ely Routed	
	Clock Report	Design Goal:	balanced		Timing Constraints:	A Trailing Constrail	<u>nı</u>	
	Errors and Warnings	Design Strategy:	Xilinx Default (unlock	ed)	Final Timing Score:	795 (Timing Report)		
	Synthesis Messages		LCD	Partition Summary	r		1	
Sources Piles & Snapshots CLibraries	Translation Messages     Map Messages	No partition information wa						
ocesses for Projeto code - Behavioral	- E Place and Route Messages				20 X X			
Add Existing Source	- 🖹 Timing Messages		Device	Utilization Summa	ary		ŀ	
Create New Source	Bitgen Messages	Logic Utilization		Used	Available	Utilization	Note(s)	
View Design Summary	Detailed Reports	Total Number Slice Regis	ters	199 9,31		2%	( <u> </u>	
p ≫ Design Utilities ⇒ Use Constaints p ( ) Synthesize - XST b ( )	Synthesis Report	Number used as Flip Flops		182				
	- 🖹 Translation Report	Number used as Latches		17				
	- 🖹 Map Report	Number of 4 input LUTs		292	9,312	3%	(	
	Place and Route Report	Logic Distribution						
Configure Target Device	Design De	Number of occupied Slices		228	4,656	4%		
	Finable Enhanced Design Summary	Number of Slices containing	only related logic	228	228	100%		
	Enable Message Filtering	Number of Slices containing	unrelated logic	0	228	0%		
	- Display Incremental Messages	Total Number of 4 input LU	JTs	338	9.312	3%		
	Enhanced Design Summary Contents	ntents Number used as logic 2	292					
	Show Partition Data	Number used as a route-thru	imber used as a route-thru					
	Show Warnings	Number of bonded IOBs		30	0 232	12%		
	- Show Failing Constraints	Number of BUFGMUXs		1	24	4%	( <u>)</u>	
	Show Clock Report							
		Final Timing Score:	795	initialitie Gammary	Pinout Data:		Pinout Repo	
		Routing Results:	All Signals Co	All Signals Completely Bouted			Clock Report	
		Timing Constraints:	X 1 Failing Co	Instraint				
Processes	What's New in ISE Design Suite 10.1	Design Summary						
Started : "Generate Programming File".	Files							

Figura 9: Generate Programming File

 d) Clique no '+' que está ao lado de Configure Target Device e dê dois cliques em Manage Configuration Project. Se aparecer o aviso que está na tela abaixo, clique em OK.

D 🖻 🗑 🖗 🖉 🖉 🖗 🖉 🗙 🕼 🎯 🖉 💭 🗙 🖄	: 🔎 🗟   🔀	😤 🗄 🛄 🗁 🎤 🎌 🕅 🐼 Datum		D H H X X O	0 🛛 🕫 🖓 🖓	00				
aureas for Implementation	×	EPGA Design Summary		LCD	Project Status (06)	/18/2010 - 16:06:48)				
- GLCD		B Design Overview	Project File:	LCD.ise	C	Current State:	Programming File G	Senerated		
axc3s500e-4fg320		IOB Properties	Module Name:	Projeto_code		Errors:	Errors: No Errors			
Ball Projeto_code - Behavioral (Icd.vhd)		Module Level Utilization	Target Device:	xc3s500e-4fg320		Warnings:	35 Warnings			
SomadorSub - addsub - Behavioral (addsub.vhd)		Timing Constraints	Product Version:	ISE 10.1 - Founda	ation Simulator	<ul> <li>Routing Results:</li> </ul>	All Signals Complet	ely Routed		
Constraints.ucf (constraints.ucf)		- Pinout Report	Design Goal:	Balanced		Timing Constraints:	X 1 Failing Constrai	nt		
		Clock Report	Design Strategy:	Xilinx Default (unl	ocked)	<ul> <li>Final Timing Score:</li> </ul>	795 (Timing Report)	L.		
		Synthesis Messages	-		CD Destition Summ					
📽 Sources 👔 Files 📸 Snapshots 👔 Libraries 📄 Translation Messages			No partition information w	as found	CD Partuon Summ	aiy				
	83	Map Messages     Place and Route Messages		do lound.						
cesses for. Projeto_code - Behavioral		Timing Messages		Der	vice Utilization Sum	nmary				
Create New Source		🚽 📄 Bitgen Messages	Logic Utilization		Used	Available	Utilization	Note(s		
View Design Summary	_	All Current Messages	Total Number Slice Regis	ters	19	9 9,312	2%			
🤣 Design Utilities	ISE Pro	ject Navigator	Nambur and a Pip. Prov	×	18	2				
y User Constraints			-		1	7		-		
Synthesize - XST		Warning: No iMPACT project file exis	No IMPACL project the exists. Lick UK to open IMPACL 1: You will then     o define a configuration chain, designate which device in that chain is the     device and then save the IMPACL project file device in that chain is the     device and then save the IMPACL project file device in their test of the test of the test of test							
Calimplement Design		target device, and then save the iME								
Configure Target Device		subsequent runs of the "configure Target Device" process can program the target								
		device without needing to open the	IMPACT GUL		221	228 228 10				
					4	0 228	0%			
			DK		33	8 9,312	3%			
					293	2				
		Show Partition Data	Number used as a route-thru Number of bonded IOBs		41	6				
		- D Show Warnings			31	30 232	12%			
		- Show Failing Constraints	Number of BUFGMUXs			1 24	4%			
		Show Clock Report	Performance Summa			ary				
			Final Timing Score:	795		Pinout Data:		Pinout Rep		
			Routing Results:	All Signal:	s Completely Routed	Clock Data:		Clock Repo		
			Timing Constraints:	X 1 Failing	Constraint					
Processes		What's New in ISE Design Suite 10.1	E Design Summary							
	Eind in Eilon									

Figura 10: Manage Configuration Project

Após isso, aparecerá a tela abaixo. Basta clicar em Finish.

Xilinx - ISE - U:\ProjetoPabloSistemasDigitais\Somador-LCD\Somador-	LCD\Scorpion_ADD_LCD\ScorpionNovo\S	Scorpion_2008200	9\LCD\LCD.ise - [I	Design Summary]				_ = ×
File Edit View Project Source Process Window Help								
D 🖻 🗑 🕼 🕹 💥 🖞 🖄 🖉 🖉 🖉 🖉 🖉 🖉	🕾 🗄 🔟 🗁 🎤 🏘 🚧 🙀 Datum_s	- 11	▲ 1 · · · · · · · · · · · · · · · · · ·	x x x 00 x	₽₽ 💡	00		
<u> </u>	😰 FPGA Design Summary			LCD Proje	ct Status (06	6/18/2010 - 16:06:48)		
Sources for: Implementation	B Design Overview	Project File:		LCD.ise		Current State:	Programming File	Generated
→ eiccb	- Summary	Module Name:		Projeto_code		• Errors:	No Errors	
Set Projeto_code - Behavioral (lcd.vhd)	Module Level Utilization	Target Device:	1	xc3s500e-4fg320		• Warnings:	35 Warnings	
🐵 🔂 SomadorSub - addsub - Behavioral (addsub.vhd)	Timing Constraints	Product Version	r: 1	ISE 10.1 - Foundation Si	mulator	Routing Results:	All Signals Compl	etely Routed
Constraints.ucf (constraints.ucf)	Pinout Report	Design Goal:		Balanced		Timing Constrain	ts: X 1 Failing Constr	aint
	iMPACT - Welcome to iMPAC	T manager Tributterage				Final Timing Sco	re: 795 (Timing Repo	(III)
	e-Err							
Sources Files Snapshots Libraries	Please select an action from the li	ist below			ition Summ	nary		E
	<ul> <li>Configure devices using Bour</li> </ul>	ndary-Scan (JTAG)						
Processes for Projeto code - Behavioral	Automatically connect	t to a cable and iden	tify Boundary-Scan	chain 💌				
Add Existing Source	Prepare a PROM File				ization Sur	nmary		E
Create New Source	<ul> <li>Prepare a System ACE File</li> </ul>				sed	Available	Utilization	Note(s)
- 🗵 View Design Summary	Prepare a Boundary-Scan Fil	le			19	9.9	.312 2	%
🗈 🐲 Design Utilities		CV/E			18	32		
Suntharize XST		SVF (*			1	17		
A Implement Design	Configure devices				29	9.	.312 3	%
Ogenerate Programming File	using	Slave Serial mode	*					
Configure Target Device	Drain				22	28 4.1	.656 4	%
	Fioled				22	28	228 100	%
						0	228 0'	%
					33	9,	312 3	%
	Enhan				29	02		
					4	16		
					3	30	232 12	%
						1	24 4	%
					nce Summa	ary		E
			<back fin<="" td=""><td>ish Cancel</td><td></td><td>Pinout Dat</td><td>a:</td><td>Pinout Report</td></back>	ish Cancel		Pinout Dat	a:	Pinout Report
					tely Routed	Clock Data	a:	Clock Report
Guo		Timing Constrai	ints:	X 1 Failing Const	raint			
Trocesses	What's New in ISE Design Suite 10.1 🛛 🕱 🛙	Design Summary						
3								
E Console CErrors Warnings Tcl Shell 😹 Find in Files								
								10
🔗 📼 🧔 🌋 🦌 5 - Paint 🔤 Xilinx - ISE	- U:\Proje						PT < 🚺 🖓 👬 🕯	🤞 🛃 🌒 16:07

Figura 11: iMPACT

Agora, você só precisa carregar o *bitstream* para o FPGA. O quadrado verde que aparece na imagem abaixo representa a FPGA. Nesta parte, você deve abrir o arquivo lcd.bit, que está na mesma pasta que o LCD.ise.

Xilinx - ISE - U:\ProjetoPabloSistemasDigitais\Somador-LCD\Se	omador-LCD\Scorpion_ADD_LCD\ScorpionNovo\Scorpion_20082009\LCD\LCD.ise - [Boundary Scan]	= 0 X
E File Edit View Project Source Process Operations Output	Debug Window Help	. 8 (
	3 🔀 🗄 🗉 🗁 🌽 🕅 🐼 Datur_s 💿 🗑 🗑 🦛 🗵 武武武武 🏷 😋 🖉 🖉 👹 🗱 🖬 🖬 🖬	# 0 😺 N?
Sources     S	IDI     IDI     IDI     IDI       xc3s500e     xcf04s     xc2c64a       TDO	
Available Operations are:	LCD_xdb	
	File name: Icd.bit Open	
	File type: All Design Files (".bit *.nky *.isc *.bsd)	
	Cancel All Bypass None Cancel All Bypass Cancel All Enable Programming of SPI Flash Device Attached to this FPGA Enable Programming of SPI Flash Device Attached to this FPGA	
Configuration Operations	What's New in ISE Design Suite 10.1 👷 Design Summary 🚱 Boundary Scan	
PROGRESS END - End Operation.     Elapsed time = 0 sec.     (/ *** BACCH CMD : identifumPH		
// and BAICH CHD . IdentifymPM		
		Þ
📱 Console 🔞 Errors 🔔 Warnings 🔤 Tcl Shell 🙀 Find	in Files	
	Configuration Platform	Cable USB 6 MHz usb-bs
🛛 🚰 💷 🥔 🧉 🚈 Xilinx - ISE - U:\Proje 🖌 10	- Paint PT < 🐓	🚰 🦓 📬 🔲 📢 🕩 16:10

Figura 12: Assign New Configuration File (FPGA)

Os próximos quadros representam a memória PROM e o CPLD, que não serão

configurados. Então, nas próximas telas, você só precisa clicar em Cancel.

Xilinx - 15E - Ut/ProjetoPabloSistemasDigitals/Somador-LCD(Somador-LCD(Scorpion_ADD_LCD(ScorpionNavo/Scorpion_20082009)LCD(Scorpion_2008009)LCD(Scorpion_2008009)LCD(Scorpion_2008009)LCD(Scorpion_2008009)LCD(Scorpion_2008009)LCD(Scorpion_2009009)LCD(Scorpion_200909	_ <b>_</b> ×
File Edit View Project Source Process Operations Output Debug Window Help	
D 👌 🗄 🗗 😓 兰 缶 缶 🗙 🛏 🖉 🖉 PPXX 🔎 🕲 🎘 😤 🗄 🗖 🗁 🔑 🖬 🕷 Datum_s 💿 🔮 🗑 🛞 🕱 工 武武 武武 😋 色 PP 🖇 🌍 👙 🎎 👯 👯	# # 0 😺 N?
Image: Start Start     Image: Start Start Start       Image: Start	
Piles       Snapshol       Libraries       Configuration rice         Look in       D_LCD/Scorpion/20082009/LCD/*       * * * * * * * * * * * * * * * * * * *	
INFO: IMPACT: S01 - '1': Added Device xc3s500e successfully.         INFO: IMPACT: S01 - '1': Added Device xc3s500e successfully.         INFO: IMPACT: S01 - '1': Added Device xc3s500e successfully.         INFO: IMPACT: S01 - '1': Added Device xc3s500e successfully.	•
Configuration	latform Cable USB 6 MHz usb-hs
🔰 📷 🔚 🍐 🎢 🖇 - Paint 🔤 Xilinx - ISE - U:\Proje P1	🔷 < 🙆 🦓 🗞 ij 🗖 📢 16:08

Figura 13: Assign New Configuration File (PROM)

Xilinx - ISE - U:\ProjetoPabloSistemasDigitais\Somador-LCD	Somador-LCD\Scorpton_ADD_LCD\ScorptonNovo\Scorpton_20082009\LCD\LCD.tse - [Boundary Scan]	
E File Edit View Project Source Process Operations Output	t Debug Window Help	
1,774990000000000000000000000000000000000	2 2 2 3 5 5 5 0 0 / / / M X Datum_s	12 4 20 20
B \$\$Boundary Scan     BSlaveSerial     SelectMAP     Solution     BSPT     Configuration     SystemACE     BPROM File Formatter	TDI Emar xc3s500e xc04s xc2c54a Icd bit - file ?	
Sources Files gy Snapshol CLibraries Configura	Look in:  )_LCD/ScorpionNovo/Scorpion_20082009/LCD/  ( )  LOok in:  )_LCD/ScorpionNovo/Scorpion_20082009/LCD/  ( )  LOC/Add  )	
Configuration Operations	© Design Summary © cdvhd © Boundary Scan s500e successfully.	^
۰ III		Þ
📱 Console 🔞 Errors 🔔 Warnings 📷 Tcl Shell 🙀 Fin	nd in Files	
	Configu	ration Platform Cable USB 6 MHz usb-hs
🛛 🚰 🔚 🥔 🦈 🚾 Xilinx - ISE - U:\Proje 🥻 U	til 💦 🔿 Reprodução Automá 🚈 10 - Galeria de Fotos 🕜 Windows Driver Kit L	PT < 🏶 👡 🎑 🆓 🝓 🙀 💷 🕕 16:15

Figura 14: Assign New Configuration File (CPLD)

A próxima tela serve para configurações mais avançadas, você só precisa clicar em OK.

2007 XIIInx - ISE - UXProjetoPabloSistemasDigitais/Somador-LCD/Somador-LCD/Scorpion_ADD_LCD/ScorpionNovo/Scorpion_20082009\LCD/LCD/LCD/Scorpion_20082009\LCD/LCD/Scorpion_20082009\LCD/LCD/Scorpion_20082009\LCD/LCD/Scorpion_20082009\LCD/Scorpion_2008	
E File Edit View Project Source Process Operations Output Debug Window Help	
🗅 👌 🖬 🕼 👃 🗴 ၆ ၆ 🗶 🛥 🖅 🖉 👂 РАХХР 🛛 🌅 🐂 🗄 🗂 🗁 🎢 🎌 🕅 🖓 Dalum_s 💿 🗐 🖉 🗐 🐲 工業業業業 🔇 😋 ല РА	◎ 💡 😋 🤤 🗮 💥 🟥 🟥 🟥 🟥 🟥 🟥 😫 😂 🚱 🚱
Processes       Configuration	
📱 Console 🕜 Errors 🔔 Warnings 📷 Tcl Shell 🛛 🥁 Find in Files	
	Configuration Platform Cable USB 6 MHz usb-hs
🚽 🚰 🙋 🖉 🚾 Xilinx - ISE - U:\Proje 🖌 8 - Paint	PT < 🙆 🖉 🔧 🙀 📢 🕦 16:09

Figura 15: Device 1 Programming Properties

Agora, selecione o dispositivo FPGA (representado no primeiro quadrinho), clique com o botão direito e, em seguida, clique em Program.

Xilinx - ISE - U:\ProjetoPabloSistemasDigitais\Somador-LCD\Somador-L	.CD\Scorpion_ADD_LCD\ScorpionNovo\Scorpion_20082009\LCD\LCD.ise - [Boundary Scan]	_ D _×
E File Edit View Project Source Process Operations Output Debug	Window Help	. 2 :
	<b>ききロロ シ タ タ が 液 Datum_s                                     </b>	<b>k?</b>
Bendary Scan     Sources     PROM File Formater      Sources     PROM File Formater      Set Device ID     Get Devi	TO	N
Configuration Operations	What's New in ISE Design Suite 10.1 😰 Design Summary 🚳 Boundary Scan	
INFO: iMPACT: 501 - '1': Added Device xc3s500e s	uccessfully.	*
		-
<		۴
📄 Console 🛛 🙆 Errors 🔬 Warnings 🔤 Tcl Shell 🛛 🙀 Find in Files		
	Configuration Platform Cable USB	6 MHz usb-hs
🔰 🖾 🥻 🌌 Xilinx - ISE - U:\Proje 👸 8 - Paint	PT < 🧐 🧧 📽 🍓	📲 🖤 16:11

Figura 16: Program

Se tudo der certo e o programa conseguir configurar a FPGA corretamente, a próxima tela será assim:

Xilinx - ISE - U:\ProjetoPabloSistemasDigitais\Somador-LCD\Somad	or-LCD\Scorpion_ADD_LCD	ScorpionNovo\S	corpion_20082009	\LCD\LCD.ise - [I	Boundary Scan	]				• ×
E File Edit View Project Source Process Operations Output Debr	ig Window Help									
🗋 🖻 🖉 🕹 🔏 🛍 🗶 🛤 🖉 🖉 🖉 🖉 🖉	3 7 8 8 8 C 🔑 🕅	🕅 🐹 Datum_s	. 1	0   🗰 🛛 🏋 🕄	n n n O	O 🛛 🕫 🖓 🖓	00	****	# 0   4/ <b>\?</b>	
30 33Boundary Scan     31 33BreeSerial     32 SelectMAP     32 SelectMAP     32 SelectMAP     32 SelectMAP     - 32 SelectAP Configuration    32 SystemACE    32 SystemACE    32 SystemACE    32 SystemACE    32 SystemACE	TDI	xcf04s file ?	x:2c64a file ?							
ag Sources Files ⊚ Snapshol Libraries Configuration Mor Available Operations are: ⇒ Program ⇒ Get Device D Get Device Signatura/Usercode ⇒ Check Idcode ⇒ Read Status Register				Pr	ogram S	ucceeded				
94 Processes Configuration Operations	What's New in ISE Design	Suite 10.1 🛛 🗝 D	esign Summary	Boundary Scan						
<pre>'1': Programmed successfully. PROGRESS_END - End Operation. Elapsed time = 1 sec.</pre>										
•										•
📱 Console 👩 Errors 🔔 Warnings 🧰 Tcl Shell 🙀 Find in File	s									
Beady								Configuration Platform	Cable USB 6 MHz	usb-hs
(7) 🖻 🔲 🏉 * 🜌 Xilinx - ISE - U:\Proje 🔓 11 - Pain								PT < 💱	🖸 🖉 🔧 🙀 🛛 😨 🛛	)) 16:11

Figura 17: Program Succeeded

## 3. Ativação da Plataforma Scorpion

Até aqui, a configuração poderia ser feita usando tanto o Windows quanto o Linux. A partir de agora, todos os passos deverão ser executados em alguma plataforma Linux.

O próximo passo é ativar a Plataforma Scorpion; para isso, é bom que você entenda um pouco sobre seu funcionamento.

A Plataforma Scorpion trabalha com transferência de dados via USB, fazendo uso de funções primitivas da biblioteca LIBHID, da linguagem C++. Para que seja possível fazer o nosso programa funcionar corretamente na placa, você deve instalar esta biblioteca no Linux. Após a instalação, é necessário apenas, conectar a Plataforma ao computador através da porta USB citada na explicação da figura 2.

Você pode instalar a LIBHID de duas maneiras:

- pelo gerenciador Synaptic

Vá no menu System > Administration > Synaptic Package Manager. Em Quick Search, procure por "libhid" e instale os pacotes: libhid0 e libhid-dev.

- a partir do arquivo libhid-0.2.16.tar.gz, que é disponibilizado juntamente com este manual Se você optar por instalar desta maneira, necessita apenas fazer a instalação via terminal no
- Linux. Para instalar no Ubuntu, primeiramente você deve descompactar o arquivo com o comando: tar -zxvf libhid-0.2.16.tar.gz

Após isso, navegue até a pasta criada e execute no diretório raiz os seguintes comandos:

sudo ./configure sudo ./make sudo ./make install

Feito isso, o sistema já estará configurado para comunicar-se corretamente com a Scorpion.

Preparando a Scorpion

Para que a Scorpion funcione corretamente, você deve ter seguido corretamente os passos contidos neste manual: fazer as ligações dos pinos e do Flat Controller com a Xilinx Starter-3E e conectá-la ao computador através do cabo USB, e instalar a biblioteca LIBHID. Feito isso, você pode rodar o projeto que nós fornecemos – somador-subtrator de 8 (oito) bits – no terminal.

4. Rodando o aplicativo

Abra o terminal do seu Linux, navegue até a pasta onde o terminal (que nós disponibilizamos juntamente com este manual) está salvo (neste caso, o projeto está na Área de Trabalho, na pasta TerminalSomador) e execute o terminal.out com a seguinte linha de comando:

## sudo ./terminal.out

Os outros comandos presentes na imagem serviram para buscar a pasta onde o terminal,out está e para listar os arquivos presentes em cada pasta.



Figura 18: Terminal do Linux

Logo após, aparecerá a seguinte tela:



Figura 19: Terminal do Somador-Subtrator de 8 bits

O programa é bem simples: primeiramente, você escolhe a operação que deseja realizar, 0 (zero) para soma ou 1 (um) para subtração. Depois, o software solicitará que você insira os operandos; lembre-se que este projeto dá suporte à operações com palavras de até 8 (oito) bits. A entrada dos operandos é feita com caracteres ASCII, cada caractere possui um código binário correspondente; no exemplo abaixo, nós tentamos somar o caractere 3 com o caractere >, que têm como correspondentes binários, 00110011 e 00111110, respectivamente.

😣 🛇 🔗 🛛 ana	@ana-laptop:	: ~/Área de Trabalh	o/TerminalSom	ador	
Arquivo Editar	Ver Terminal	Ajuda			
		ADD-SUB 8bits FPG	A LCCV-UFAL		<u>^</u>
Operacao: 0 ( Operando1: 3 Operando2: > TRACE: hid_i	00110000) (00110011) (00111110) .nterrupt_rea	ad(): retrieving in	terrupt repor	t from device 007	/002[0
] WARNING: hid_i 0]: could not FAILURE callin	nterrupt_rea claim interf g hid_interr	ad(): failed to get face 0: Device or r rupt_read	interrupt rea esource busy	ad from device 00	7/002[
Resultado (0	0000000)	ADD-SUB 8bits FPG	A LCCV-UFAL		
0peracao +(0) □	-(1)				
			×		
					H +

Figura 20: Execução do Somador-Subtrator de 8 bits

Logo após a entrada do segundo operando, o software enviará as informações para a Plataforma Scorpion via USB, que aguardará o retorno do FPGA. Quando o FPGA responder, o resultado será mostrado na tela. Após a exibição do resultado, o FPGA já estará pronto para uma nova operação.

OBS: No teste usado para o preparo deste manual, ocorreu um erro durante o envio dos dados à FPGA, portanto, não obtivemos o resultado correto da nossa soma.

#### Anexo I

## Princípio de Funcionamento do Protocolo FPGA-Scorpion-computador

A Plataforma Scorpion possui dois grupos de pinos compostos por quatro pinos cada um, o grupo superior é responsável pelo envio de dados e o inferior, pelo recebimento de dados. Desta forma, a comunicação é realizada com 4 (quatro) bits de cada vez.

A Scorpion foi configurada para comunicar-se com a porta USB enviando e recebendo apenas 1 (um) byte por vez, como só possui 4 (pinos) de comunicação, é necessário dividir o byte em dois grupos de 4 (quatro) bits.

Além da divisão do byte, também é necessário o controle do tráfego de dados (envio e recebimento), para que possamos garantir a integridade da informação. Assim, faz-se necessária uma verificação realizada por cada plataforma para saber se ela está pronta para enviar ou receber algum dado. Desta maneira, podemos garantir que não haverá perda de dados, pois a transferência só vai acontecer se o dispositivo que vai receber o dado estiver pronto. Este controle de envio e recebimento de dados é realizado pelo Flat Controller. O Flat Controller é composto de 4 (quatro) fios.